

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 11 月 6 日 (06.11.2003)

PCT

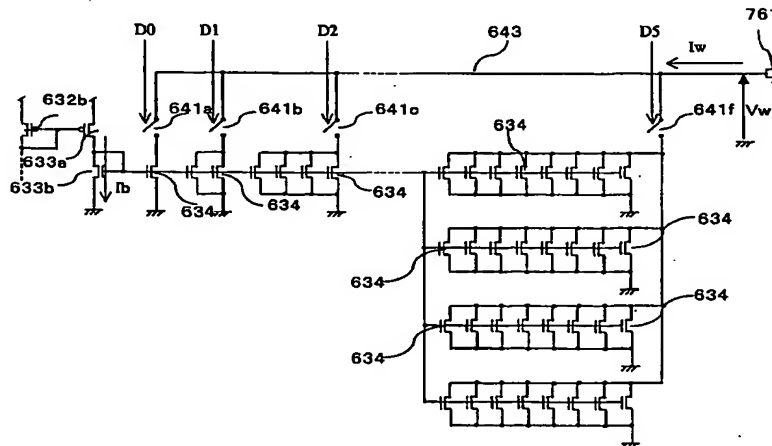
(10) 国際公開番号
WO 03/091977 A1

- (51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14 特願2002-127637 2002 年 4 月 26 日 (26.04.2002) JP
特願2002-284393 2002 年 9 月 27 日 (27.09.2002) JP
- (21) 国際出願番号: PCT/JP03/02535
- (22) 国際出願日: 2003 年 3 月 5 日 (05.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-127532 2002 年 4 月 26 日 (26.04.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 東芝
松下ディスプレイテクノロジー株式会社 (TOSHIBA
MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.)
[JP/JP]; 〒108-0075 東京都 港区 港南 4-1-8 Tokyo
(JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高原 博司
(TAKAHARA, Hiroshi) [JP/JP]; 〒571-0807 大阪府 寝
屋川市 太秦 1 0 1 1-1-3 4 5 Osaka (JP). 柘植 仁

[続葉有]

(54) Title: DRIVER CIRCUIT OF EL DISPLAY PANEL

(54) 発明の名称: E L 表示パネルのドライバ回路



(57) Abstract: A source driver circuit of EL display panel in which variation of output current is suppressed. The source driver circuit comprises unit transistors (634) each representing one unit. The 0-th bit comprises one unit transistor (634), the first bit comprises two unit transistors (634), the second bit comprises four unit transistors (634), the third bit comprises eight unit transistors (634), the fourth bit comprises sixteen unit transistors (634), and the fifth bit comprises thirty two unit transistors (634). Each unit transistor (634) constitutes a current mirror circuit in conjunction with a transistor (633a). The current flowing through the unit transistor (634) can be altered by regulating a current Ib flowing through the transistor (633a). When an output current circuit is constituted of unit transistors and the reference current is regulated, output current of the unit transistor can be regulated resulting in a highly accurate source driver IC in which variation of output current is suppressed.

(57) 要約: 出力電流ばらつきの小さいEL表示パネルのソースドライバ回路を提供する。ソースドライバ回路は、1単位を示す単位トランジスタ634から構成される。第0ビットは1個の単位トランジスタ634、第1ビットは2個の単位トランジスタ634、第2ビットは4個の単位トランジスタ634、第3ビットは8個の単位トランジスタ634、第4ビットは16個の単位トランジスタ634、第5ビットは32個の単位トランジスタ634から構成される。各単位トランジスタ(634)は、トランジスタ(633a)と共に関与して電流ミラー回路を構成する。トランジスタ(633a)を流れる電流Ibを調節することにより、単位トランジスタ(634)を流れる電流を調節することができ、出力電流回路が単位トランジスタで構成され、参考電流が調節される場合、単位トランジスタの出力電流を調節することができ、出力電流の変動が抑制された高精度のソースドライバICが提供される。

[続葉有]



志 (TSUGE,Hitoshi) [JP/JP]; 〒571-0074 大阪府 門真
市 宮前町 1 6-1 Osaka (JP).

添付公開書類:
— 国際調査報告書

(74) 代理人: 松田 正道 (MATSUDA,Masamichi); 〒532-
0003 大阪府 大阪市 淀川区宮原 5 丁目 1 番 3 号 新大
阪生島ビル Osaka (JP).

(81) 指定国 (国内): CN, JP, KR, US.

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

ットは32個の単位トランジスタ634で構成される。各単位トランジスタ634はトランジスタ633aとカレントミラー回路を構成している。トランジスタ633aに流れる電流Ibを調整することにより、単位トランジスタ634に流れる電流を変更できる。出力電流回路を単位トランジスタで構成し、基準電流を調整することにより、単位トランジスタの出力電流を調整できるので、精度のよく、バラツキが小さいソースドライバICを提供できる。

明 細 書

EL表示パネルのドライバ回路

技術分野

本発明は、有機または無機エレクトロルミネッセンス（EL）素子を用いたEL表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルの駆動回路（IC）に関するものである。EL表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

背景技術

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（EL）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が増加する。

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機EL表示パネルは各画素に発光素子を有する自発光型である。そのため、有機EL表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

有機EL表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であると

いう点で液晶表示パネルとは大きく異なる。

有機EL表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。

このアクティブマトリクス方式の有機EL表示パネルは、特開平8-234683号公報に開示されている。この表示パネルの画素分の等価回路を図62に示す。画素16は発光素子であるEL素子15、第1のトランジスタ11a、第2のトランジスタ11bおよび蓄積容量19からなる。EL素子15は有機エレクトロルミネッセンス（EL）素子である。本明細書では、EL素子15に電流を供給（制御）するトランジスタ11aを駆動用トランジスタ11と呼ぶ。また、図62のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

有機EL素子15は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。図62ではEL素子15としてダイオードの記号を用いている。

ただし、本明細書におけるEL素子15はOLEDに限るものではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機EL素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、EL素子15

は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。本明細書のEL素子15はこのいずれでもよい。

図62の例では、Pチャンネル型のトランジスタ11aのソース端子(S)をV_{dd}(電源電位)とし、EL素子15のカソード(陰極)は接地電位(V_k)に接続される。一方、アノード(陽極)はトランジスタ11bのドレイン端子(D)に接続されている。一方、Pチャンネル型のトランジスタ11aのゲート端子はゲート信号線17aに接続され、ソース端子はソース信号線18に接続され、ドレイン端子は蓄積容量19およびトランジスタ11aのゲート端子(G)に接続されている。

画素16を動作させるために、まず、ゲート信号線17aを選択状態とし、ソース信号線18に輝度情報を表す映像信号を印加する。すると、トランジスタ11aが導通し、蓄積容量19が充電又は放電され、トランジスタ11bのゲート電位は映像信号の電位に一致する。ゲート信号線17aを非選択状態とすると、トランジスタ11aがオフになり、トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート電位は蓄積容量(コンデンサ)19によって安定に保持される。トランジスタ11aを介してEL素子15に流れる電流は、トランジスタ11aのゲート/ソース端子間電圧V_{gs}に応じた値となり、EL素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点が

あった。

有機EL表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機EL素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。

発明の開示

この目的を達成するために本発明のEL表示パネル（EL表示装置）のドライバ回路は、単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、多段のカレントミラー回路で構成されたことを特徴としている。信号の受け渡しは電圧受け渡しとなるトランジスタ群は密に形成し、カレントミラー回路の群との信号の受け渡しは、電流受け渡しの構成を採用する。また、基準電流は、複数のトランジスタで行う。

第1の本発明は、基準電流を発生する基準電流発生手段と、

前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対応する第1の電流を、複数の第2の電流源に出力する第1の電流源と、

前記第1の電流源から出力される第1の電流が入力され、かつ前記第1の電流に対応する第2の電流を、複数の第3の電流源に出力する第2

の電流源と、

前記第 2 の電流源から出力される第 2 の電流が入力され、かつ前記第 2 の電流に対応する第 3 の電流を複数の第 4 の電流源に出力する第 3 の電流源を有し、

前記第 4 の電流源は、入力画像データに対応した個数の単位電流源が選択される E L 表示パネルのドライバ回路である。

第 2 の本発明は、2 の乗数に対応した個数の単位トランジスタを有する複数の電流発生回路と、

前記各電流発生回路に接続されたスイッチ回路と、

出力端子に接続された内部配線と、

入力データに対応して前記スイッチ回路をオンオフさせる制御回路を具備し、

前記スイッチ回路の一端は前記電流発生回路に接続され、他端は前記内部配線に接続されている E L 表示パネルのドライバ回路である。

第 3 の本発明は、前記単位トランジスタのチャンネル幅 W は、 $2 \mu m$ 以上 $9 \mu m$ 以下であり、

前記単位トランジスタのサイズ (WL) は、 4 平方 μm 以上である第 2 の本発明の E L 表示パネルのドライバ回路である。

第 4 の本発明は、前記単位トランジスタのチャンネル長 L / チャンネル幅 W は 2 以上であり、

使用する電源電圧が $2.5 (V)$ 以上 $9 (V)$ 以下である請求項 2 記載の E L 表示パネルのドライバ回路である。

第 5 の本発明は、第 1 の単位電流を流す複数個の単位トランジスタからなる第 1 の出力電流回路と、

第 2 の単位電流を流す複数個の単位トランジスタからなる第 2 の出力電流回路と、

6

前記第 1 の出力電流回路の出力電流と、前記第 2 の出力電流回路の出力電流を加算して、出力する出力段を具備し、

前記第 1 の単位電流は、前記第 2 の単位電流よりも小さく、

前記第 1 の出力電流回路は、階調に応じて低階調領域と高階調領域で動作し、

前記第 2 の出力電流回路は、階調に応じて高階調領域で動作し、前記第 2 の出力電流回路が動作する際に、前記第 1 の出力電流回路は、高階調領域では、出力電流値が変化しない E L 表示パネルのドライバ回路である。

第 6 の本発明は、出力端子ごとに複数の単位トランジスタを有するプログラム電流発生回路と、

前記単位トランジスタに流れる電流を規定する第 1 の基準電流を発生する第 1 のトランジスタと、

前記複数の第 1 のトランジスタのゲート端子に接続されたゲート配線と、

前記ゲート配線にゲート端子が接続され、かつ前記第 1 のトランジスタとカレントミラー回路を形成する第 2 および第 3 のトランジスタを具備し、

前記第 2 および第 3 のトランジスタに第 2 の基準電流が供給されている E L 表示パネルのドライバ回路である。

第 7 の本発明は、出力端子ごとに複数の単位トランジスタを有するプログラム電流発生回路と、

前記単位トランジスタとカレントミラー回路を構成する複数の第 1 のトランジスタと、

第 1 のトランジスタに流れる基準電流を発生する第 2 のトランジスタを具備し、

前記第 2 のトランジスタが発生する基準電流は、前記複数の第 1 のトランジスタに分岐されて流れる第 6 の本発明の E L 表示パネルのドライバ回路である。

第 8 の本発明は、ドライバ回路を内包するドライバ I C チップ内の、前記第 1 の基準電流供給配線が配置される領域において、該領域に配線される基準電流供給配線群のうち、最も外側に配置される 2 本の配線に前記第 3 のトランジスタが電氣的に接続されている第 6 または第 7 の本発明の E L 表示パネルのドライバ回路である。

第 9 の本発明は、駆動用トランジスタがマトリックス状に配置され、前記駆動用トランジスタに対応して E L 素子が形成された表示領域を有する第 1 の基板と、

前記駆動用トランジスタにプログラム電流あるいは電圧を印加するソースドライバ I C と、

前記ソースドライバ I C 下に位置する前記第 1 の基板上に形成された第 1 の配線と、

前記第 1 の配線と電氣的に接続され、前記ソースドライバ I C と前記表示領域間に形成された第 2 の配線と、

前記第 2 の配線から分岐され、前記表示領域の画素にアノード電圧を供給するアノード配線を具備する E L 表示装置である。

第 10 の本発明は、第 1 の配線は、遮光機能を有する第 9 の本発明の E L 表示装置である。

第 11 の本発明は、E L 素子を有する画素がマトリックス状に形成された表示領域と、

前記 E L 素子に発光電流を供給する駆動用トランジスタと、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタは、Pチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生するトランジスタはNチャンネルトランジスタであるEL表示装置である。

第12の本発明は、EL素子と、前記EL素子に発光電流を供給する駆動用トランジスタと、前記駆動用トランジスタと前記EL素子間の経路を形成する第1のスイッチング素子と、前記駆動用トランジスタとソース信号線間の経路を形成する第2のスイッチング素子がマトリックス状に形成された表示領域と、

前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバ回路と、

前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバ回路と、

前記トランジスタ素子に映像信号を印加するソースドライバ回路を具備し、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタは、Pチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生するトランジスタはNチャンネルトランジスタであるEL表示装置である。

第13の本発明は、EL素子と、

前記EL素子に発光電流を供給するPチャンネルの駆動用トランジスタと、

EL素子と前記駆動用トランジスタ間に形成されたスイッチングトランジスタと、

プログラム電流を供給するソースドライバ回路と、

前記スイッチングトランジスタを1フレーム期間に2水平走査期間以

上オフ状態に制御するゲートドライバ回路を具備するEL表示装置である。

図面の簡単な説明

図1は、本発明の表示パネルの画素構成図である。

図2は、本発明の表示パネルの画素構成図である。

図3は、本発明の表示パネルの動作の説明図である。

図4は、本発明の表示パネルの動作の説明図である。

図5は、本発明の表示装置の駆動方法の説明図である。

図6は、本発明の表示装置の構成図である。

図7は、本発明の表示パネルの製造方法の説明図である。

図8は、本発明の表示装置の構成図である。

図9は、本発明の表示装置の構成図である。

図10は、本発明の表示パネルの断面図である。

図11は、本発明の表示パネルの断面図である。

図12は、本発明の表示パネルの説明図である。

図13は、本発明の表示装置の駆動方法の説明図である。

図14は、本発明の表示装置の駆動方法の説明図である。

図15は、本発明の表示装置の駆動方法の説明図である。

図16は、本発明の表示装置の駆動方法の説明図である。

図17は、本発明の表示装置の駆動方法の説明図である。

図18は、本発明の表示装置の駆動方法の説明図である。

図19は、本発明の表示装置の駆動方法の説明図である。

図20は、本発明の表示装置の駆動方法の説明図である。

図21は、本発明の表示装置の駆動方法の説明図である。

図22は、本発明の表示装置の駆動方法の説明図である。

- 図 2 3 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 4 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 7 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 8 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 9 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 0 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 1 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 2 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 3 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 4 は、本発明の表示装置の構成図である。
- 図 3 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 7 は、本発明の表示装置の構成図である。
- 図 3 8 は、本発明の表示装置の構成図である。
- 図 3 9 は、本発明の表示装置の駆動方法の説明図である。
- 図 4 0 は、本発明の表示装置の構成図である。
- 図 4 1 は、本発明の表示装置の構成図である。
- 図 4 2 は、本発明の表示パネルの画素構成図である。
- 図 4 3 は、本発明の表示パネルの画素構成図である。
- 図 4 4 は、本発明の表示装置の駆動方法の説明図である。
- 図 4 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 4 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 4 7 は、本発明の表示パネルの画素構成図である。
- 図 4 8 は、本発明の表示装置の構成図である。

図 4 9 は、本発明の表示装置の駆動方法の説明図である。

図 5 0 は、本発明の表示パネルの画素構成図である。

図 5 1 は、本発明の表示パネルの画素図である。

図 5 2 は、本発明の表示装置の駆動方法の説明図である。

図 5 3 は、本発明の表示装置の駆動方法の説明図である。

図 5 4 は、本発明の表示パネルの画素構成図である。

図 5 5 は、本発明の表示装置の駆動方法の説明図である。

図 5 6 は、本発明の表示装置の駆動方法の説明図である。

図 5 7 は、本発明の携帯電話の説明図である。

図 5 8 は、本発明のビューファインダの説明図である。

図 5 9 は、本発明のビデオカメラの説明図である。

図 6 0 は、本発明のデジタルカメラの説明図である。

図 6 1 は、本発明のテレビ（モニター）の説明図である。

図 6 2 は、従来の表示パネルの画素構成図である。

図 6 3 は、本発明のドライバ回路の機能ブロック図である。

図 6 4 は、本発明のドライバ回路の説明図である。

図 6 5 は、本発明のドライバ回路の説明図である。

図 6 6 は、電圧受け渡し方式の多段式カレントミラー回路の説明図である。

図 6 7 は、電流受け渡し方式の多段式カレントミラー回路の説明図である。

図 6 8 は、本発明の他の実施例におけるドライバ回路の説明図である。

図 6 9 は、本発明の他の実施例におけるドライバ回路の説明図である。

図 7 0 は、本発明の他に実施例におけるドライバ回路の説明図である。

図 7 1 は、本発明の他の実施例におけるドライバ回路の説明図である。

図 7 2 は、従来のドライバ回路の説明図である。

図 7 3 は、本発明のドライバ回路の説明図である。

図 7 4 は、本発明のドライバ回路の説明図である。

図 7 5 は、本発明のドライバ回路の説明図である。

図 7 6 は、本発明のドライバ回路の説明図である。

図 7 7 は、本発明のドライバ回路の制御方法の説明図である。

図 7 8 は、本発明のドライバ回路の説明図である。

図 7 9 は、本発明のドライバ回路の説明図である。

図 8 0 は、本発明のドライバ回路の説明図である。

図 8 1 は、本発明のドライバ回路の説明図である。

図 8 2 は、本発明のドライバ回路の説明図である。

図 8 3 は、本発明のドライバ回路の説明図である。

図 8 4 は、本発明のドライバ回路の説明図である。

図 8 5 は、本発明のドライバ回路の説明図である。

図 8 6 は、本発明のドライバ回路の説明図である。

図 8 7 は、本発明のドライバ回路の説明図である。

図 8 8 は、本発明の駆動方法の説明図である。

図 8 9 は、本発明のドライバ回路の説明図である。

図 9 0 は、本発明の駆動方法の説明図である。

図 9 1 は、本発明の E L 表示装置の構成図である。

図 9 2 は、本発明の E L 表示装置の構成図である。

図 9 3 は、本発明のドライバ回路の説明図である。

図 9 4 は、本発明のドライバ回路の説明図である。

図 9 5 は、本発明の E L 表示装置の構成図である。

図 9 6 は、本発明の E L 表示装置の構成図である。

図 9 7 は、本発明の E L 表示装置の構成図である。

図 9 8 は、本発明の E L 表示装置の構成図である。

図 9 9 は、本発明の E L 表示装置の構成図である。

図 1 0 0 は、本発明の E L 表示装置の断面図である。

図 1 0 1 は、本発明の E L 表示装置の断面図である。

図 1 0 2 は、本発明の E L 表示装置の構成図である。

図 1 0 3 は、本発明の E L 表示装置の構成図である。

図 1 0 4 は、本発明の E L 表示装置の構成図である。

図 1 0 5 は、本発明の E L 表示装置の構成図である。

図 1 0 6 は、本発明の E L 表示装置の構成図である。

図 1 0 7 は、本発明の E L 表示装置の構成図である。

図 1 0 8 は、本発明の E L 表示装置の構成図である。

図 1 0 9 は、本発明の E L 表示装置の構成図である。

図 1 1 0 は、本発明のソースドライバ I C の説明図である。

図 1 1 1 は、本発明のゲートドライバ回路のブロック図である。

図 1 1 2 は、図 1 1 1 のゲートドライバ回路のタイミングチャート図である。

図 1 1 3 は、本発明のゲートドライバ回路の 1 部のブロック図である。

図 1 1 4 は、図 1 1 3 のゲートドライバ回路のタイミングチャート図である。

図 1 1 5 は、本発明の E L 表示装置の駆動方法の説明図である。

図 1 1 6 は、本発明の E L 表示装置の駆動方法の説明図である。

図 1 1 7 は、本発明の E L 表示装置の駆動回路の説明図である。

図 1 1 8 は、本発明のソースドライバ I C の説明図である。

図 1 1 9 は、本発明のソースドライバ I C の説明図である。

図 1 2 0 は、本発明のソースドライバ I C の説明図である。

図 1 2 1 は、本発明のソースドライバ I C の説明図である。

図 1 2 2 は、本発明のソースドライバ I C の説明図である。

- 図 1 2 3 は、本発明のソースドライバ I C の説明図である。
- 図 1 2 4 は、本発明のソースドライバ I C の説明図である。
- 図 1 2 5 は、本発明のソースドライバ I C の説明図である。
- 図 1 2 6 は、本発明のソースドライバ I C の説明図である。
- 図 1 2 7 は、本発明のソースドライバ I C の説明図である。
- 図 1 2 8 は、本発明のソースドライバ I C の説明図である。
- 図 1 2 9 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 0 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 1 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 2 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 3 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 4 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 5 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 6 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 7 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 8 は、本発明のソースドライバ I C の説明図である。
- 図 1 3 9 は、本発明のソースドライバ I C の説明図である。
- 図 1 4 0 は、本発明の表示パネルの説明図である。
- 図 1 4 1 は、本発明の表示パネルの説明図である。
- 図 1 4 2 は、本発明の表示パネルの説明図である。
- 図 1 4 3 は、本発明の表示パネルの説明図である。
- 図 1 4 4 は、本発明の表示パネルの画素構成の説明図である。
- 図 1 4 5 は、本発明の表示パネルの画素構成の説明図である。
- 図 1 4 6 は、本発明のソースドライバ I C の説明図である。
- 図 1 4 7 は、本発明のソースドライバ I C の説明図である。
- 図 1 4 8 は、本発明のソースドライバ I C の説明図である。

- 図 1 4 9 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 0 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 1 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 2 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 3 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 4 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 5 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 6 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 7 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 8 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 9 は、本発明のソースドライバ I C の説明図である。
- 図 1 5 0 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 1 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 2 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 3 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 4 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 5 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 6 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 7 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 8 は、本発明のソースドライバ I C の説明図である。
- 図 1 6 9 は、本発明のソースドライバ I C の説明図である。
- 図 1 7 0 は、本発明のソースドライバ I C の説明図である。
- 図 1 7 1 は、本発明のソースドライバ I C の説明図である。
- 図 1 7 2 は、本発明のソースドライバ I C の説明図である。
- 図 1 7 3 は、本発明のソースドライバ I C の説明図である。
- 図 1 7 4 は、本発明の E L 表示装置の駆動方法の説明図である。

図 1 7 5 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 7 6 は、本発明の E L 表示装置の駆動回路の説明図である。
図 1 7 7 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 7 8 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 7 9 は、本発明の E L 表示装置の駆動回路の説明図である。
図 1 8 0 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 8 1 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 8 2 は、本発明の E L 表示装置の説明図である。
図 1 8 3 は、本発明の E L 表示装置の説明図である。
図 1 8 4 は、本発明の E L 表示装置の説明図である。
図 1 8 5 は、本発明の E L 表示装置の説明図である。
図 1 8 6 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 8 7 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 8 8 は、本発明の E L 表示装置の駆動回路の説明図である。
図 1 8 9 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 0 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 1 は、本発明の E L 表示装置の駆動回路の説明図である。
図 1 9 2 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 3 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 4 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 5 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 6 は、本発明の E L 表示装置の駆動回路の説明図である。
図 1 9 7 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 8 は、本発明の E L 表示装置の駆動方法の説明図である。
図 1 9 9 は、本発明の E L 表示装置の駆動回路の説明図である。
図 2 0 0 は、本発明の E L 表示装置の駆動方法の説明図である。

図 2 0 1 は、本発明の E L 表示装置の説明図である。

図 2 0 2 は、本発明の E L 表示装置の説明図である。

図 2 0 3 は、本発明の E L 表示装置の説明図である。

図 2 0 4 は、本発明の E L 表示装置の説明図である。

図 2 0 5 は、本発明の E L 表示装置の説明図である。

図 2 0 6 は、本発明の E L 表示装置の説明図である。

図 2 0 7 は、本発明の E L 表示装置の説明図である。

図 2 0 8 は、本発明の E L 表示装置の説明図である。

図 2 0 9 は、本発明の E L 表示装置の説明図である。

図 2 1 0 は、本発明の E L 表示装置の説明図である。

図 2 1 1 は、本発明のソースドライバ I C の説明図である。

図 2 1 2 は、本発明のソースドライバ I C の説明図である。

図 2 1 3 は、本発明のソースドライバ I C の説明図である。

図 2 1 4 は、本発明のソースドライバ I C の説明図である。

図 2 1 5 は、本発明のソースドライバ I C の説明図である。

図 2 1 6 は、本発明のソースドライバ I C の説明図である。

図 2 1 7 は、本発明のソースドライバ I C の説明図である。

図 2 1 8 は、本発明のソースドライバ I C の説明図である。

図 2 1 9 は、本発明のソースドライバ I C の説明図である。

図 2 2 0 は、本発明のソースドライバ I C の説明図である。

図 2 2 1 は、本発明の表示装置の説明図である。

図 2 2 2 は、本発明の表示装置の説明図である。

図 2 2 3 は、本発明のソースドライバ I C の説明図である。

図 2 2 4 は、本発明のソースドライバ I C の説明図である。

図 2 2 5 は、本発明のソースドライバ I C の説明図である。

図 2 2 6 は、本発明のソースドライバ I C の説明図である。

図 2 2 7 は、本発明の表示装置の説明図である。

図 2 2 8 は、本発明の表示装置の説明図である。

(符号の説明)

- 1 1 トランジスタ (薄膜トランジスタ)
- 1 2 ゲートドライバ I C (回路)
- 1 4 ソースドライバ I C (回路)
- 1 5 E L (素子) (発光素子)
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 (付加コンデンサ、付加容量)
- 5 0 表示画面
- 5 1 書き込み画素 (行)
- 5 2 非表示画素 (非表示領域、非点灯領域)
- 5 3 表示画素 (表示領域、点灯領域)
- 6 1 シフトレジスタ
- 6 2 インバータ
- 6 3 出力バッファ
- 7 1 アレイ基板 (表示パネル)
- 7 2 レーザー照射範囲 (レーザースポット)
- 7 3 位置決めマーカ
- 7 4 ガラス基板 (アレイ基板)
- 8 1 コントロール I C (回路)
- 8 2 電源 I C (回路)
- 8 3 プリント基板

- 8 4 フレキシブル基板
- 8 5 封止フタ
- 8 6 カソード配線
- 8 7 アノード配線 (V d d)
- 8 8 データ信号線
- 8 9 ゲート制御信号線
- 1 0 1 土手 (リブ)
- 1 0 2 層間絶縁膜
- 1 0 4 コンタクト接続部
- 1 0 5 画素電極
- 1 0 6 カソード電極
- 1 0 7 乾燥剤
- 1 0 8 $\lambda/4$ 板
- 1 0 9 偏光板
- 1 1 1 薄膜封止膜
- 2 8 1 ダミー画素 (行)
- 3 4 1 出力段回路
- 3 7 1 O R 回路
- 4 0 1 点灯制御線
- 4 7 1 逆バイアス線
- 4 7 2 ゲート電位制御線
- 5 6 1 電子ボリウム回路
- 5 6 2 トランジスタの S D (ソースドレイン) ショート
- 5 7 1 アンテナ
- 5 7 2 キー
- 5 7 3 筐体

20.

- 5 7 4 表示パネル
- 5 8 1 接眼リング
- 5 8 2 拡大レンズ
- 5 8 3 凸レンズ
- 5 9 1 支点（回転部）
- 5 9 2 撮影レンズ
- 5 9 3 格納部
- 5 9 4 スイッチ
- 6 0 1 本体
- 6 0 2 撮影部
- 6 0 3 シャッタスイッチ
- 6 1 1 取り付け枠
- 6 1 2 脚
- 6 1 3 取り付け台
- 6 1 4 固定部
- 6 3 1 電流源
- 6 3 2 電流源
- 6 3 3 電流源
- 6 4 1 スイッチ（オンオフ手段）
- 6 3 4 電流源（1単位）
- 6 4 3 内部配線
- 6 5 1 ボリウム（電流調整手段）
- 6 8 1 トランジスタ群
- 6 9 1 抵抗（電流制限手段、所定電圧発生手段）
- 6 9 2 デコーダ回路
- 6 9 3 レベルシフタ回路

- 7 0 1 カウンタ (計数手段)
- 7 0 2 NOR
- 7 0 3 AND
- 7 0 4 電流出力回路
- 7 1 1 嵩上げ回路
- 7 2 1 D/A変換器
- 7 2 2 オペアンプ
- 7 3 1 アナログスイッチ (オンオフ手段)
- 7 3 2 インバータ
- 7 6 1 出力パッド (出力信号端子)
- 7 7 1 基準電流源
- 7 7 2 電流制御回路
- 7 8 1 温度検出回路
- 7 8 2 温度制御回路
- 9 3 1 カスケード電流接続線
- 9 3 2 基準電流信号線
- 9 4 1 i 電流入力端子
- 9 4 1 o 電流出力端子
- 9 5 1 ベースアノード線 (アノード電圧線)
- 9 5 2 アノード配線
- 9 5 3 接続端子
- 9 6 1 接続アノード線
- 9 6 2 共通アノード線
- 9 7 1 コンタクトホール
- 9 9 1 ベースカソード線
- 9 9 2 入力信号線

- 1 0 0 1 接続樹脂（導電性樹脂、異方向性導電樹脂）
- 1 0 1 1 光吸収膜
- 1 0 1 2 樹脂ビーズ
- 1 0 1 3 封止樹脂
- 1 0 2 1 回路形成部
- 1 0 5 1 ゲート電圧線
- 1 0 9 1 電源回路（I C）
- 1 0 9 2 電源 I C 制御信号
- 1 0 9 3 ゲートドライバ回路制御信号
- 1 1 1 1 単位ゲート出力回路
- 1 2 4 1 調整用トランジスタ
- 1 2 5 1 カット箇所
- 1 2 5 2 共通端子
- 1 3 4 1 ダミートランジスタ
- 1 3 5 1 トランジスタ（1 単位トランジスタ）
- 1 3 5 2 サブトランジスタ
- 1 4 0 1 切り替え回路（アナログスイッチ）
- 1 4 9 1 フラッシュメモリ（設定値記憶手段）
- 1 5 0 1 レーザー装置
- 1 5 0 2 レーザー光
- 1 5 0 3 抵抗アレイ（調整用抵抗）
- 1 5 2 1 スイッチ（オンオフ手段）
- 1 5 3 1 定常トランジスタ
- 1 5 4 1 NAND 回路
- 1 6 0 1 コンデンサ
- 1 6 1 1 スリープスイッチ（オンオフ制御手段、基準電流オンオフ手

段)

- 1 6 7 1 保護ダイオード
- 1 7 3 1 一致回路 (階調検出回路)
- 1 7 4 1 出力切り替え回路
- 1 7 4 2 切り替えスイッチ
- 1 8 2 1 アノード接続端子
- 2 0 1 1 コイル (トランス)
- 2 0 1 2 制御回路
- 2 0 1 3 ダイオード
- 2 0 1 4 コンデンサ
- 2 0 2 1 スイッチ
- 2 0 2 2 温度センサ
- 2 0 4 1 レベルシフタ回路
- 2 0 4 2 ゲートドライバ制御信号
- 2 0 6 1 接着層 (接続層、熱伝導層、密着層)
- 2 0 6 2 シャーシ (金属シャーシ)
- 2 0 6 3 凹凸
- 2 0 7 1 穴
- 2 2 1 1 制御電極
- 2 2 1 2 映像信号回路
- 2 2 1 3 電子放出突起
- 2 2 1 4 保持回路
- 2 2 1 5 オンオフ制御回路
- 2 2 2 1 選択信号線
- 2 2 2 2 オンオフ信号線
- 2 2 8 1 封止樹脂

発明を実施するための最良の形態

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図 11 に図示する表示パネルの断面図では薄膜封止膜 111 などを十分厚く図示している。一方、図 10 において、封止フタ 85 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図 8 の表示パネルにタッチパネルなどを付加し、図 19、図 59 から図 61 に図示する情報表示装置とすることができる。また、拡大レンズ 582 を取り付け、ビデオカメラ（図 59 など参照のこと）などに用いるビューファインダ（図 58 を参照のこと）を構成することもできる。また、図 4、図 15、図 18、図 21、図 23 など説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。

なお、本明細書では、駆動用トランジスタ 11、スイッチング用トランジスタ 11 は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。基板 71 をシリコンウエハで形成すればよい。もちろん、FET、MOS-FET、MOS トランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トラ

ンジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ11、ゲートドライバ回路12、ソースドライバ回路14などは、これらのいずれでも使用することができる。

以下、本発明のELパネルについて図面を参照しながら説明をする。有機EL表示パネルは、図10に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極105及び金属電極106間に直流を印加することにより、有機機能層（EL層）15が発光する。

金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤107によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

図10はガラスの封止フタ85を用いて封止する構成であるが、図1

1のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンド ライク カーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを薄膜封止膜111として用いる。また、DLCダイヤモンド ライク カーボン）膜などを金属電極106の表面に直接蒸着する構成のものもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

以上のように封止フタ85を用いず、薄膜封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す「下取り出し（図10を参照、光取り出し方向は図10の矢印方向である）」の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠

陥が発生する。薄膜封止膜 111 は前述したように、DLC（ダイヤモンド ライク カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

EL 層 15 側から光を取り出す「上取り出し図 11 を参照、光取り出し方向は図 11 の矢印方向である」の場合の薄膜封止は、EL 膜 15 を形成後、EL 膜 15 上にカソード（アノード）となる Ag-Mg 膜を 20 オングストローム以上 300 オングストロームの膜厚で形成する。その上に、ITO などの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に薄膜封止膜 111 を形成する。

有機 EL 層 15 から発生した光の半分は、金属電極 106 で反射され、アレイ基板 71 と透過して出射される。しかし、金属電極 106 は外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板 71 に $\lambda/4$ 位相板 108 および偏光板（偏光フィルム）109 を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

なお、画素が反射電極の場合は EL 層 15 から発生した光は上方向に出射される。したがって、位相板 108 および偏光板 109 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 105 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 105 の表面に、凸部（もしくは凹凸部）を設けることで有機 EL 層 15 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 106（アノード 105）となる反射膜を透明電極に形成する、あるいは反射率を 30% 以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

トランジスタ 11 は LDD (ロー ドーピング ドレイン) 構造を採用することが好ましい。また、本明細書では EL 素子として有機 EL 素子 (OEL、PEL、PLED、OLED など多種多様な略称で記述される) 15 を例にあげて説明するがこれに限定するものではなく、無機 EL 素子にも適用されることは言うまでもない。

まず、有機 EL 表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること、1 フレーム期間を通じて EL 素子に電流を流すことができることという 2 つの条件を満足させなければならない。

この 2 つの条件を満足させるため、図 6 2 に図示する従来の有機 EL の画素構成では、第 1 のトランジスタ 11 b は画素を選択するためのスイッチング用トランジスタ、第 2 のトランジスタ 11 a は EL 素子 (EL 膜) 15 に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ 11 a のゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ 11 a のオン電流のばらつきがそのまま表示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450 度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが $\pm 0.2 \text{ V} \sim 0.5 \text{ V}$ の範囲でばらつきがある。そのため、駆動用トランジスタ 11 a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 11 の劣化によっても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（C G S）成長させた半導体膜を用いてトランジスタなどを形成したもので発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

したがって、図62のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

本発明のE L表示装置の画素構造は、具体的には図1に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにE L素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイパーチャ（H A）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線（第1の走査線）17aをアクティブ（O N電圧を印加）とすることによりE L素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記E L素子15に流すべき電流値をソースドライバ回路14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号

線 17 a アクティブ (ON 電圧を印加) となることにより開くと共に、トランジスタ 11 a のゲートとソース間に接続されたコンデンサ (キャパシタ、蓄積容量、付加容量) 19 にトランジスタ 11 a のゲート電圧 (あるいはドレイン電圧) を記憶する (図 3 の (a) を参照のこと)。

なお、コンデンサ (蓄積容量) 19 の大きさは、 0.2 pF 以上 2 pF 以下とすることがよく、中でもコンデンサ (蓄積容量) 19 の大きさは、 0.4 pF 以上 1.2 pF 以下とすることがよい。画素サイズを考慮してコンデンサ 19 の容量を決定する。1 画素に必要な容量を $C_s (\text{pF})$ とし、1 画素が占める面積 (開口率ではない) を $S_p (\text{平方} \mu\text{m})$ とすれば、 $500/S_p \leq C_s \leq 20000/S_p$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいう Q とは、蓄積容量 (コンデンサ) 19 単独の容量である。

ゲート信号線 17 a を非アクティブ (OFF 電圧を印加)、ゲート信号線 17 b をアクティブとして、電流の流れる経路を前記第 1 のトランジスタ 11 a 並びに EL 素子 15 に接続されたトランジスタ 11 d ならびに前記 EL 素子 15 を含む経路に切り替えて、記憶した電流を前記 EL 素子 15 に流すように動作する (図 3 の (b) を参照のこと)。

この回路は 1 画素内に 4 つのトランジスタ 11 を有しており、トランジスタ 11 a のゲートはトランジスタ 11 b のソースに接続されている。また、トランジスタ 11 b およびトランジスタ 11 c のゲートはゲート信号線 17 a に接続されている。トランジスタ 11 b のドレインはトランジスタ 11 c のソースならびにトランジスタ 11 d のソースに接続され、トランジスタ 11 c のドレインはソース信号線 18 に接続されている。トランジスタ 11 d のゲートはゲート信号線 17 b に接続され、トランジスタ 11 d のドレインは EL 素子 15 のアノード電極に接続さ

れている。

なお、図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

最適には画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まり化を実現できる。

以下、さらに本発明の理解を容易にするために、本発明の EL 素子構成について図 3 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 11 b ならびにトランジスタ 11 c が ON することにより、等価回路として図 3 の (a) となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ 11 a はゲートとドレインが接続された状態となり、このトランジスタ 11 a とトランジスタ 11 c を通じて電流 I_w が流れる。したがって、トランジスタ 11 a のゲートーソースの電圧は I_1 が流れるような電圧となる。

第 2 のタイミングはトランジスタ 11 a とトランジスタ 11 c が閉じ、トランジスタ 11 d が開くタイミングであり、そのときの等価回路は図 3 の (b) となる。トランジスタ 11 a のソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ 11 a は常に飽和領域で

動作するため、 I_w の電流は一定となる。

このように動作させると、図5に図示するようになる。つまり、図5の(a)の51aは表示画面50における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。この画素(行)51aは、図5の(b)に図示するように非点灯(非表示画素(行))とする。他の、画素(行)は表示画素(行)53とする(非画素53のEL素子15には電流が流れ、EL素子15が発光している)。

図1の画素構成の場合、図3の(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

次に、EL素子15に電流を流す期間は図3の(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

このタイミングチャートを図4に図示する。なお、図4などにおいて、括弧内の添え字(たとえば、(1)など)は画素行の番号を示している。つまり、ゲート信号線17a(1)とは、画素行(1)のゲート信号線17aを示している。また、図4の上段の*H(「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す)とは、水平走査期間を示している。つまり、1Hとは第1番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定(1Hの番号、1H周期、画素行番号の順番など)するものではない。

図4でわかるように、各選択された画素行(選択期間は、1Hとして

いる)において、ゲート信号線17aにオン電圧が印加されている時には、ゲート信号線17bにはオフ電圧が印加されている。また、この期間は、EL素子15には電流が流れていない(非点灯状態)。選択されていない画素行において、ゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにはオン電圧が印加されている。また、この期間は、EL素子15に電流が流れている(点灯状態)。

なお、トランジスタ11aのゲートとトランジスタ11cのゲートは同一のゲート信号線11aに接続している。しかし、トランジスタ11aのゲートとトランジスタ11cのゲートとを異なるゲート信号線11に接続してもよい(図32を参照のこと)。1画素のゲート信号線は3本となる(図1の構成は2本である)。トランジスタ11bのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aのばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dが異なった導電型(NチャンネルとPチャンネル)とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることができる。

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ11aのソース(S)ーゲート(G)間容量(コンデンサ)に記憶されない。トランジスタ11cとトランジスタ11dを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ11cがオフしたのちに、トランジスタ11dがオンすることが可能になる。

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを図2に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

なお、本発明の画素構成は図1、図2の構成に限定されるものではない。たとえば、図140のように構成してもよい。図140は、図1の構成に比較してトランジスタ11dがない。代わりに切り替えスイッチ1401が形成または配置されている。図1のスイッチ11dは駆動用トランジスタ11aからEL素子15に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ11dのオンオフ制御機能が重要な構成要素である。トランジスタ11dを形成せず、オンオフ機能を実現するのが、図140の構成である。

図140において、切り替えスイッチ1401のa端子は、アノード電圧V_{dd}に接続されている。なお、a端子に印加する電圧はアノード電圧V_{dd}に限定されるものではなく、EL素子15に流れる電流をオフできる電圧であればいずれでもよい。

切り替えスイッチ1401のb端子は、カソード電圧（図140ではグラウンドと図示している）に接続されている。なお、b端子に印加する電圧はカソード電圧に限定されるものではなく、EL素子15に流れる電流をオンできる電圧であればいずれでもよい。

切り替えスイッチ1401のc端子にはEL素子15のカソード端子

が接続されている。なお、切り替えスイッチ1401はEL素子15に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図140の形成位置に限定されるものではなく、EL素子15の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、EL素子15に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、EL素子15の電流経路にEL素子15に流す電流をオンオフできるスイッチング手段を具備すればいずれの画素構成でもよい。

また、オフとは完全に電流が流れない状態を意味するものではない。EL素子15に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。

切り替えスイッチ1401は、PチャンネルとNチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを2回路形成すればよい。もちろん、切り替えスイッチ1401はEL素子15に流れる電流をオンオフするだけであるから、PチャンネルトランジスタあるいはNチャンネルトランジスタでも形成することができることは言うまでもない。

切り替えスイッチ1401がa端子に接続されている時は、EL素子15のカソード端子にV_dd電圧が印加される。したがって、駆動用トランジスタ11aのゲート端子Gがいずれの電圧保持状態であってもEL素子15には電流が流れない。したがって、EL素子15は非点灯状態となる。

切り替えスイッチ1401がb端子に接続されている時は、EL素子15のカソード端子にGND電圧が印加される。したがって、駆動用トランジスタ11aのゲート端子Gに保持された電圧状態に応じてEL素子15に電流が流れる。したがって、EL素子15は点灯状態となる。

以上のことより図140の画素構成では、駆動用トランジスタ11aとEL素子15間にはスイッチングトランジスタ11dが形成されていない。しかし、切り替えスイッチ1401を制御することによりEL素子15の点灯制御を行うことができる。

図1、図2などの画素構成では、駆動用トランジスタ11aは1画素につき1個である。本発明はこれに限定するものではなく、駆動用トランジスタ11aは1画素に複数個を形成または配置してもよい。図144はその実施例である。図144では1画素に2個の駆動用トランジスタ11a1、11a2が形成され、2個の駆動用トランジスタ11a1、11a2のゲート端子は共通のコンデンサ19に接続されている。駆動用トランジスタ11aを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図1などと同様であるので説明を省略する。

図1、図2は駆動用トランジスタ11aが出力する電流をEL素子15に流し、前記電流を駆動用トランジスタ11aとEL素子15間に配置されたトランジスタ11dでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図145の構成が例示される。

図145の実施例では、EL素子15に流す電流が駆動用トランジスタ11aで制御される。EL素子15に流れる電流をオンオフさせるのはVdd端子とEL素子15間に配置されたトランジスタ11dで制御される。したがって、本発明はトランジスタ11dの配置はどこでもよく、EL素子15に流れる電流を制御できるものであればいずれでもよい。

トランジスタ11aの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第1のトランジスタ11aのチ

チャンネル長が $5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長Lを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

以上のように、本発明は、EL素子15に電流が流れこむ経路、またはEL素子15から電流が流れ出す経路（つまり、EL素子15の電流経路である）にEL素子15に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

なお、EL素子15に流れる電流経路を制御する構成は、図1、図140などの電流プログラム方式の画素構成に限定されるものではない。たとえば、図141の電圧プログラム方式の画素構成においても実施することができる。図141では、EL素子15と駆動用トランジスタ11a間にトランジスタ11dを配置することによりEL素子15に流れる電流を制御することができる。もちろん、図140に図示するように、切り替え回路1401を配置してもよい。

また、電流プログラム方式の1つであるカレントミラー方式であっても、図142に図示するように、駆動用トランジスタ11bとEL素子15間にスイッチング素子としてのトランジスタ11gを形成または配置することによりEL素子15に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ11gは図140の切り替えスイッチ1401に置き換えても良い。

なお、図142のスイッチングトランジスタ11d、11cは1本のゲート信号線17aに接続されているが、図143に図示するように、トランジスタ11cはゲート信号線17a1で制御し、トランジスタ11dはゲート信号線17a2で制御するように構成してもよい。図14

3の構成の方が、画素16の制御の汎用性が高くなる。

また、図42の(a)に図示するように、トランジスタ11b、11cなどはNチャンネルトランジスタで形成してもよい。また、図42の(b)に図示するようにトランジスタ11c、11dなどはPチャンネルトランジスタで形成してもよい。

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

また、蓄積容量19の容量値を C_s 、第2のトランジスタ11bのオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ11bのオフ電流を5pA以下とすることにより、ELを流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間(コンデンサの両端)に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間

の電流値の変動を2%以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタがp-チャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ11特性のバラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、図1などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相(CGS)成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

この課題に対して、本発明では図7に示すように、アニールの時のレーザー照射スポット(レーザー照射範囲)72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図72のRGBを1画素16という単位でレーザーを照射しても

よい（この場合は、3画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素はR G Bの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

図7の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。

図7で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザー照射スポットを照射する方式）は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているため

である（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 11 a に流す電流はほぼ同一のため、ソースドライバ IC 14 から出力する電流振幅の変化が少ない。もし、図 1 のトランジスタ 11 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線 18 の電位は一定である。したがって、ソース信号線 18 の電位変動は発生しない。1つのソース信号線 18 に接続されたトランジスタ 11 a の特性がほぼ同一であれば、ソース信号線 18 の電位変動は小さいことになる。このことは、図 38 などの他の電流プログラム方式の画素構成でも同一である（つまり、図 7 の製造方法を適用することが好ましい）。

また、図 27、図 30 などの説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図 27 などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはソースドライバ回路 14 で吸収できる。

なお、図 7 では、ソースドライバ回路 14 は、IC チップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路 14 を画素 16 と同一プロセスで形成してもよいことは言うまでもない。

本発明では特に、駆動用トランジスタ 11 b の閾電圧 V_{th2} が画素内で対応する駆動用トランジスタ 11 a の閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ 11 b のゲート長 L_2 を

トランジスタ 11a のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

なお、以上の事項は、図 38 に図示するカレントミラーの画素構成にも適用できる。図 38 では、信号電流が流れる駆動用トランジスタ 11a、EL 素子 15 等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ 11b の他、ゲート信号線 17a1 の制御によって画素回路とデータ線 data とを接続もしくは遮断する取込用トランジスタ 11c、ゲート信号線 17a2 の制御によって書き込み期間中にトランジスタ 11a のゲート・ドレインを短絡するスイッチ用トランジスタ 11d、トランジスタ 11a のゲート・ソース間電圧を書き込み終了後も保持するための容量 C_{19} および発光素子としての EL 素子 15 などから構成される。

図 38 でトランジスタ 11c、11d は N チャンネルトランジスタ、その他のトランジスタは P チャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量 C_s は、その一方の端子をトランジスタ 11a のゲートに接続され、他方の端子は V_{dd} (電源電位) に接続されているが、 V_{dd} に限らず任意の一定電位でも良い。EL 素子 15 のカソード (陰極) は接地電位に接続されている。

次に、本発明の EL 表示パネルあるいは EL 表示装置について説明をする。図 6 は EL 表示装置の回路を中心とした説明図である。画素 16 がマトリックス状に配置または形成されている。各画素 16 には各画素の電流プログラムを行う電流を出力するソースドライバ回路 14 が接続されている。ソースドライバ回路 14 の出力段は映像信号のビット数に

対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている（図64を参照のこと）。

なお、1つのカレントミラー回路の最小出力電流は10 nA以上50 nAにしている。特にカレントミラー回路の最小出力電流は15 nA以上35 nAにすることがよい。ソースドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBで異なるからである（プリチャージ回路については図70、図173およびその説明を参照のこと）。

有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を調整する（変化させる）。

本発明において、ソースドライバ14は半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソースドライバ14の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成

としてもよい。また、ドライブ IC は電源 IC 82 を別途作製し、3チップ構成としてもよい。

ソースドライバ IC 14 の実装前にパネル検査を行う。検査はソース信号線 18 に定電流を印加することにより行う。定電流の印加は、図 227 に図示するように、ソース信号線 18 端に形成されたパッド 1522 から引き出し線 2271 を形成し、その端に検査パッド 2272 を形成する。検査パッド 2272 を形成することによりパッド 1522 を用いることなく検査を実施できる。ソースドライバ IC 14 は基板 71 に実装後、図 228 に図示するように、IC 14 の周辺部を封止樹脂 2281 で封止する。

一方、ゲートドライバ回路 12 は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路 14 に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ 12 をシリコンチップで形成し、COG 技術などを用いて基板 71 上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

ゲートドライバ 12 はゲート信号線 17a 用のシフトレジスタ回路 61a と、ゲート信号線 17b 用のシフトレジスタ回路 61b とを内蔵する。各シフトレジスタ回路 61 は正相と負相のクロック信号（CLK_xP、CLK_xN）、スタートパルス（ST_x）で制御される（図 6 を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UP

DWM) 信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロール IC 81 からの制御信号で制御される (図 8、図 208 を参照のこと)。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。

シフトレジスタ回路 61 のバッファ容量は小さいため、直接にはゲート信号線 17 を駆動することができない。そのため、シフトレジスタ回路 61 の出力とゲート信号線 17 を駆動する出力ゲート 63 間には少なくとも 2 つ以上のインバータ回路 62 が形成されている (図 204 を参照のこと)。

ソースドライバ 14 を低温ポリシリなどのポリシリ技術で基板 71 上に直接形成する場合も同様であり、ソース信号線 18 を駆動するトランスファージェットなどのアナログスイッチのゲートとソースドライバ回路 14 のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項 (シフトレジスタの出力と、信号線を駆動する出力段 (出力ゲートあるいはトランスファージェットなどの出力段間に配置されるインバータ回路に関する事項) は、ソースドライブおよびゲートドライブ回路に共通の事項である。

たとえば、図 6 ではソースドライバ 14 の出力が直接ソース信号線 18 に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファージェットなどのアナログスイッチのゲートに接続されている。

インバータ回路 62 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタから構成される。先にも説明したようにゲート

ドライバ回路 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力ゲート回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

図 8 は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロール IC 8 1 からソースドライバ回路 1 4 a に供給する信号（電源配線、データ配線など）はフレキシブル基板 8 4 を介して供給する。

図 8 ではゲートドライバ 1 2 の制御信号はコントロール IC で発生させ、ソースドライバ 1 4 で、レベルシフトを行った後、ゲートドライバ 1 2 に印加している。ソースドライバ 1 4 の駆動電圧は 4 ~ 8 (V) であるから、コントロール IC 8 1 から出力された 3.3 (V) 振幅の制御信号を、ゲートドライバ 1 2 が受け取れる 5 (V) 振幅に変換することができる。

なお、図 8 などにおいて 1 4 をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図 8 などの説明する構成にあっても、図 9 など説明する 3 辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯電話などの情報表示装置に使用する場合、図 9 に示すように、ソースドライバ IC（回路） 1 4、ゲートドライバ IC（回路） 1 2 は、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバ IC（回路）を実装（形成）する形態を 3 辺フリー構成（構造）と呼ぶ。従来は、表示領域の X 辺にゲートドラ

イバIC12が実装され、Y辺にソースドライバIC14が実装されていた)。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリーの構成で作製してもよい(つまり、図9のソースドライバ回路14とゲートドライバ回路12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する)。

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC(回路)14、ゲートドライバIC(回路)12などを取り付けたフィルム(TCP、TAB技術など)を基板71の一边(もしくはほぼ一边)にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分(画面下部)は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分(画面上部)はゲート信号線17が1本形成されている。

C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

前述の画像ノイズを低減するためには、ゲート信号線 17 を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線 17 上に配置すればよい。

図 9 の C 辺のゲート信号線 17 は ITO 電極で形成してもよいが、低抵抗化するため、ITO と金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITO と積層する場合は、ITO 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくは ITO 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

なお、図 9 などにおいて、ゲート信号線 17 などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線 17 a を表示画面 50 の右側に配置（形成）し、ゲート信号線 17 b を表示画面 50 の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

また、ソースドライバ IC 14 とゲートドライバ IC 12 とを 1 チップ化してもよい。1 チップ化すれば、表示パネルへの IC チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ IC 内で使用する各種電圧も同時に発生することができる。

なお、ソースドライバ IC 14、ゲートドライバ IC 12 はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよいことは言うまでもない。

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

RGBなどの3原色を1組の画素とする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が7000K（ケルビン）以上1200

0 K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100 A/平方メートルとすれば、3原色がいずれも70 A/平方メートル以上130 A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85 A/平方メートル以上115 A/平方メートル以下となるようにする。

有機EL素子15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50 nm以上150 nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

51

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

画素16のトランジスタ11の欠陥は、ソースドライバIC14などにも影響を与える。例えば、図56では駆動用トランジスタ11aにソースドレイン（SD）ショート562が発生していると、パネルのV_{dd}電圧がソースドライバIC14に印加される。したがって、ソースドライバIC14の電源電圧は、パネルの電源電圧V_{dd}と同一かもしくは高くしておくことが好ましい。なお、ソースドライバICで使用する基準電流は電子ボリウム561で調整できるように構成しておくことが好ましい（図148を参照のこと）。

トランジスタ11aにSDショート562が発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図56において、トランジスタ11aのソースドレイン（SD）ショートが発生していると、トランジスタ11aのゲート（G）端子電位の大小に関わらず、V_{dd}電圧からEL素子15に電流が常時流れる（トランジスタ11dがオンの時）。したがって、輝点となる。

一方、トランジスタ11aにSDショートが発生していると、ラン

ジスタ 11c がオン状態の時、V_{dd} 電圧がソース信号線 18 に印加されソースドライバ 14 に V_{dd} 電圧が印加される。もし、ソースドライバ 14 の電源電圧が V_{dd} 以下であれば、耐圧を越えて、ソースドライバ 14 が破壊される恐れがある。そのため、ソースドライバ 14 の電源電圧は V_{dd} 電圧(パネルの高い方の電圧)以上にすることが好ましい。

トランジスタ 11a の S D ショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路の破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ 11a と EL 素子 15 間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。

以下、本発明の駆動方法について説明をする。図 1 に示すように、ゲート信号線 17a は行選択期間に導通状態（ここでは図 1 のトランジスタ 11 が p チャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線 17b は非選択期間時に導通状態とする。

ソース信号線 18 には寄生容量(図示せず)が存在する。寄生容量は、ソース信号線 18 とゲート信号線 17 とのクロス部の容量、トランジスタ 11b、11c のチャンネル容量などにより発生する。

ソース信号線 18 の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ であるため電流値を 10 倍大きくできることは電流値変化に要する時間が 10 分の 1 近くまで短くできる、またはソース信号線 18 の寄生容量が 10 倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

入力電流を 10 倍にすると出力電流も 10 倍となり、EL の輝度が 1

0倍となるため所定の輝度を得るために、図1のトランジスタ17dの導通期間を従来の10分の1とし、発光期間を10分の1とすることで、所定輝度を表示するようにした。なお、10倍を例示して説明しているのは理解を容易にするためである。10倍に限定するものでないことは言うまでもない。

つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムするためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を $1/10$ にするとしたがこれは一例である。場合によっては、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/5$ にしてもよい。逆に10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/2$ 倍にする場合もあるであろう。

本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を $1/N$ 倍にするとして説明する。

しかし、これに限定するものではなく、 N 1 倍の電流値を画素のトランジスタ 1 1 に書き込み、EL 素子 1 5 のオン時間を $1 / (N 2)$ 倍 ($N 1$ と $N 2$ とは異なる) でもよいことは言うまでもない。

白ラスタ表示において、表示画面 5 0 の 1 フィールド (フレーム) 期間の平均輝度を $B 0$ と仮定する。この時、各画素 1 6 の輝度 $B 1$ が平均輝度 $B 0$ よりも高くなるように電流 (電圧) プログラムを行う駆動方法である。かつ、少なくとも 1 フィールド (フレーム) 期間において、非表示領域 5 3 が発生するようにする駆動方法である。したがって、本発明の駆動方法では、1 フィールド (フレーム) 期間の平均輝度は $B 1$ よりも低くなる。

なお、間欠する間隔 (非表示領域 5 2 / 非表示領域 5 3) は等間隔に限定するものではない。たとえば、ランダムでもよい (全体として、表示期間もしくは非表示期間が所定値 (一定割合) となればよい)。また、RGB で異なってもよい。つまり、白 (ホワイト) バランスが最適になるように、R、G、B 表示期間もしくは非表示期間が所定値 (一定割合) となるように調整 (設定) すればよい。

本発明の駆動方法の説明を容易にするため、 $1 / N$ とは、1 F (1 フィールドまたは 1 フレーム) を基準にしてこの 1 F を $1 / N$ にするとして説明する。しかし、1 画素行が選択され、電流値がプログラムされる時間 (通常、1 水平走査期間 (1 H)) があるし、また、走査状態によっては誤差も生じることは言うまでもない。

たとえば、 $N = 10$ 倍の電流で画素 1 6 に電流プログラムし、 $1 / 5$ の期間の間、EL 素子 1 5 を点灯させてもよい。EL 素子 1 5 は、 $10 / 5 = 2$ 倍の輝度で点灯する。 $N = 2$ 倍の電流で画素 1 6 に電流プログラムし、 $1 / 4$ の期間の間、EL 素子 1 5 を点灯させてもよい。EL 素子 1 5 は、 $2 / 4 = 0.5$ 倍の輝度で点灯する。つまり、本発明は、 N

= 1 倍でない電流でプログラムし、かつ、常時点灯（1 / 1、つまり、間欠表示でない）状態以外の表示を実施するものである。また、E L 素子 1 5 に供給する電流を 1 フレーム（あるいは 1 フィールド）の期間において、少なくとも 1 回、オフする駆動方式である。また、所定値よりも大きな電流で画素 1 6 にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機（無機）E L 表示装置は、C R T のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、E L 表示装置では、1 F（1 フィールドあるいは 1 フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

本発明では、1 F / N の期間の間だけ、E L 素子 1 5 に電流を流し、他の期間（1 F（N - 1） / N）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では 1 F ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、C R T に近い動画表示を実現することができる。

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示は、トランジスタ 1 1 d を 1 H 周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素 1 6 に保持されている。したがって、間欠表示を実施するための画像メモリは不要である。

本発明はスイッチングのトランジスタ 11 d、あるいはトランジスタ 11 eなどをオンオフさせるだけで E L 素子 15 に流す電流を制御する。つまり、E L 素子 15 に流れる電流 I_w をオフしても、画像データはそのままコンデンサ 19 の保持されている。したがって、次のタイミングでトランジスタ 11 dなどをオンさせ、E L 素子 15 に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機 E L 素子 15 は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、E L 表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース信号線 18 の配線長が長くなり、ソース信号線 18 の寄生容量が大きくなる場合は、N 値を大きくすることにより対応できる。ソース信号線 18 に印加するプログラム電流値を N 倍にした場合、ゲート信号線 17 b（トランジスタ 11 d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

また、ソースドライバ回路 14 の出力段は定電流回路 704（図 70 を参照のこと）で構成されている。定電流回路であるから、液晶表示パネルのソースドライバ回路のように、表示パネルの大きさに応じて出力段のバッファサイズを変化させる必要はない。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 18 の寄生容量は、隣接したソース信号線 18 間の結合容量、ソースドライバ IC（回路）14 のバッファ出力容量、

ゲート信号線 17 とソース信号線 18 とのクロス容量などにより発生する。この寄生容量は通常 10 pF 以上となる。電圧駆動の場合は、ソースドライバ IC 14 からは低インピーダンスで電圧がソース信号線 18 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ 19 をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1 画素行にプログラムする時間（通常、1 H 以内、ただし、2 画素行を同時に書き込む場合もあるので 1 H 以内に限定されるものではない。）内に寄生容量を充放電することができない。1 H 期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

図 1 の画素構成の場合、図 3 の (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11a を流れ、 I_w を流す電流が保持されるように、コンデンサ 19 に電圧設定（プログラム）される。このとき、トランジスタ 11d はオープン状態（オフ状態）である。

次に、EL 素子 15 に電流を流す期間は図 3 の (b) のように、トランジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧 (V_{gh}) が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧 (V_{gl}) が印加され、トランジスタ 11d がオンする。

今、電流 I_1 が本来流す電流（所定値）の N 倍であるとする、図 3 の (b) の EL 素子 15 に流れる電流も I_w となる。したがって、所定値の 10 倍の輝度で EL 素子 15 は発光する。つまり、図 12 に図示するように、倍率 N を高くするほど、画素 16 の表示輝度 B も高くなる。したがって、倍率と画素 16 の輝度とは比例関係となる。

そこで、トランジスタ 11d を本来オンする時間（約 1 F）の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、1 F 全体の平均輝度は所定の輝度となる。この表示状態は、CRT が電子銃で画面を走査しているのと近似する。異なる点は、画面全体の $1/N$ （全画面を 1 とする）が点灯している点である（CRT では、点灯している範囲は 1 画素行（厳密には 1 画素である））。

本発明では、この $1 F/N$ の画像表示領域 53 が図 13 の（b）に示すように画面 50 の上から下に移動する。本発明では、 $1 F/N$ の期間の間だけ、EL 素子 15 に電流が流れ、他の期間 $(1 F \cdot (N-1)/N)$ は電流が流れない。したがって、各画素 16 は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

なお、図 13 に図示するように、書き込み画素行 51a は非点灯表示 52a とする。しかし、これは、図 1、図 2 などの画素構成の場合である。図 38 などで図示するカレントミラーの画素構成では、書き込み画素行 51a は点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図 1 の画素構成を例示して説明をする。また、図 13、図 16 などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法を N 倍パルス駆動と呼ぶ。

この表示状態では 1 F ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外の EL 表示パネル）では、1 F の期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現で

きる。つまり、CRTに近い動画表示を実現することができる。

なお、図13に図示するように、駆動するためには、画素16の電流プログラム期間（図1の画素構成においては、ゲート信号線17aのオン電圧 V_{g1} が印加されている期間）と、EL素子15をオフまたはオン制御している期間（図1の画素構成においては、ゲート信号線17bのオン電圧 V_{g1} またはオフ電圧 V_{gh} が印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線17aとゲート信号線17bは分離されている必要がある。

たとえば、ゲートドライバ回路12から画素16に配線されたゲート信号線17が1本である場合、ゲート信号線17に印加されたロジック（ V_{gh} または V_{g1} ）をトランジスタ11bに印加し、ゲート信号線17に印加されたロジックをインバータで変換して（ V_{g1} または V_{gh} ）して、トランジスタ11dに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線17aを操作するゲートドライバ回路12aと、ゲート信号線17bを操作するゲートドライバ回路12bが必要となる。

また、本発明の駆動方法は、図1の画素構成においても、電流プログラム期間（1H）以外の期間においても、非点灯表示にする駆動方法である。

図13の駆動方法のタイミングチャートを図14に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図1であるとする。図14でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧（ V_{g1} ）が印加されている時（図14の（a）を参照）には、ゲート信号線17bにはオフ電圧（ V_{gh} ）が印加されている（図14の（b）を参照）。また、この期間は、EL素子15には電流が流れていない（非点灯状態）。選択

されていない画素行において、ゲート信号線 17 a にオフ電圧 (V_{gh}) が印加され、ゲート信号線 17 b にはオン電圧 (V_{g1}) が印加されている。また、この期間は、EL 素子 15 に電流が流れている (点灯状態)。また、点灯状態では、EL 素子 15 は所定の N 倍の輝度 ($N \cdot B$) で点灯し、その点灯期間は $1F/N$ である。したがって、 $1F$ を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度) となる。

図 15 は、図 14 の動作を各画素行に適用した実施例である。ゲート信号線 17 に印加する電圧波形を示している。電圧波形はオフ電圧を V_{gh} (H レベル) とし、オン電圧を V_{g1} (L レベル) としている。(1) (2) などの添え字は選択している画素行番号を示している。

図 15 において、ゲート信号線 17 a (1) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ回路 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。したがって、コンデンサ 19 には 10 倍に電流がトランジスタ 11 a に流れるようにプログラムされる。画素行 (1) が選択されている時は、図 1 の画素構成ではゲート信号線 17 b (1) はオフ電圧 (V_{gh}) が印加され、EL 素子 15 には電流が流れない。

1H 後には、ゲート信号線 17 a (2) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ回路 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$ として説明する) である。したがって、コンデンサ 19 には 10 倍に電流がトランジスタ

1 1 a に流れるようにプログラムされる。画素行 (2) が選択されている時は、図 1 の画素構成ではゲート信号線 1 7 b (2) はオフ電圧 (V_{gh}) が印加され、E L 素子 1 5 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 1 7 a (1) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 1 7 b (1) にはオン電圧 (V_{gl}) が印加されるため、点灯状態となっている。

次の 1 H 後には、ゲート信号線 1 7 a (3) が選択され、ゲート信号線 1 7 b (3) はオフ電圧 (V_{gh}) が印加され、画素行 (3) の E L 素子 1 5 には電流が流れない。しかし、先の画素行 (1) (2) のゲート信号線 1 7 a (1) (2) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 1 7 b (1) (2) にはオン電圧 (V_{gl}) が印加されるため、点灯状態となっている。

以上の動作を 1 H の同期信号に同期して画像を表示していく。しかし、図 1 5 の駆動方式では、E L 素子 1 5 には 1 0 倍の電流が流れる。したがって、表示画面 5 0 は約 1 0 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、非点灯領域 5 2 の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

なお、本発明の駆動方法において、所定電流よりも高い電流が E L 素子 1 5 に流れるようにし、ソース信号線 1 8 の寄生容量を十分に充放電するという概念である。つまり、E L 素子 1 5 に N 倍の電流を流さなくともよい。たとえば、E L 素子 1 5 に並列に電流経路を形成し (ダミーの E L 素子を形成し、この E L 素子は遮光膜を形成して発光させないなど)、ダミー E L 素子と E L 素子 1 5 に分流して電流を流しても良い。

たとえば、信号電流が $0.2 \mu A$ のとき、プログラム電流を $2.2 \mu A$ として、トランジスタ 11a には $2.2 \mu A$ を流す。この電流のうち、信号電流 $0.2 \mu A$ を EL 素子 15 に流して、 $2 \mu A$ をダミーの EL 素子に流すなどの方式が例示される。つまり、図 27 のダミー画素行 281 を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線 18 に流す電流を N 倍に増加させることにより、駆動用トランジスタ 11a に N 倍の電流が流れるようにプログラムすることができ、かつ、電流 EL 素子 15 には、N 倍よりは十分小さい電流を流すことができることになる。以上の方法では、図 5 に図示するように、非点灯領域 52 を設けることなく、全表示画面 50 を画像表示領域 53 とすることができる。

図 13 の (a) は表示画面 50 への書き込み状態を図示している。図 13 の (a) において、51a は書き込み画素行である。ソースドライバ IC 14 から各ソース信号線 18 にプログラム電流が供給される。なお、図 13 などでは 1 H 期間に書き込む画素行は 1 行である。しかし、何ら 1 H に限定するものではなく、 $0.5 H$ 期間でも、 $2 H$ 期間でもよい。また、ソース信号線 18 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線 18 に書き込まれるのは電圧である電圧プログラム方式（図 62 など）でもよい。

図 13 の (a) において、ゲート信号線 17a が選択されるとソース信号線 18 に流れる電流がトランジスタ 11a にプログラムされる。この時、ゲート信号線 17b はオフ電圧が印加され EL 素子 15 には電流が流れない。これは、EL 素子 15 側にトランジスタ 11d がオン状態

であると、ソース信号線 18 から EL 素子 15 の容量成分が見え、この容量に影響されてコンデンサ 19 に十分に正確な電流プログラムができなくなるためである。したがって、図 1 の構成を例にすれば、図 13 の (b) で示すように電流を書き込まれている画素行は非点灯領域 52 となる。

今、 N （ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になる。したがって、表示画面 50 の 90% の範囲を非点灯領域 52 とすればよい。したがって、画像表示領域の水平走査線が QCIF の 220 本 ($S=220$) とすれば、22 本と表示領域 53 とし、 $220-22=198$ 本を非表示領域 52 とすればよい。一般的に述べれば、水平走査線（画素行数）を S とすれば、 S/N の領域を表示領域 53 とし、この表示領域 53 を N 倍の輝度で発光させる。そして、この表示領域 53 を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域 52 とする。この非点灯領域は黒表示（非発光）である。また、この非発光部 52 はトランジスタ 11d をオフさせることにより実現する。なお、 N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値を調整することは言うまでもない。

また、先の実施例で、10 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になり、表示画面 50 の 90% の範囲を非点灯領域 52 とすればよいとした。しかし、これは、RGB の画素を共通に非点灯領域 52 とすることに限定するものではない。例えば、R の画素は、 $1/8$ を非点灯領域 52 とし、G の画素は、 $1/6$ を非点灯領域 52 とし、B の画素は、 $1/10$ を非点灯領域 52 と、それぞれの色により変化させてもよい。また、RGB の色で個別に非点灯領域 52（あるいは点灯領域 53）を調整できるようにしてもよい。これらを実現するためには、

R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる(図41を参照のこと)。

図13の(b)に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面のS/N(時間的には1F/N)の範囲を表示領域53とする(書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる)。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図13の明るさと同等になる。なお、分割された表示領域53は等しく(等分に)する必要はない。また、分割された非表示領域52も等しくする必要はない。

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

図17はゲート信号線17の電圧波形およびELの発光輝度を図示している。図17で明らかなように、ゲート信号線17bを V_{g1} にする期間(1F/N)を複数に分割(分割数K)している。つまり、 V_{g1}

にする期間は $1 F / (K \cdot N)$ の期間を K 回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

なお、図 17 などにおいて、ゲート信号線 17b を V_{g1} にする期間 ($1 F / N$) を複数に分割 (分割数 K) し、 V_{g1} にする期間は $1 F / (K \cdot N)$ の期間を K 回実施するとしたがこれに限定するものではない。 $1 F / (K \cdot N)$ の期間を L ($L \neq K$) 回実施してもよい。つまり、本発明は、EL 素子 15 に流す期間 (時間) を制御することにより表示画面 50 を表示するものである。したがって、 $1 F / (K \cdot N)$ の期間を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、表示画面 50 の輝度をデジタル的に変更することができる。たとえば、 $L = 2$ と $L = 3$ では 50% の輝度 (コントラスト) 変化となる。また、画像の表示領域 53 を分割する時、ゲート信号線 17b を V_{g1} にする期間は同一期間に限定するものではない。

以上の実施例は、EL 素子 15 に流れる電流を遮断し、また、EL 素子に流れる電流を接続することにより、表示画面 50 をオンオフ (点灯、非点灯) するものであった。つまり、コンデンサ 19 に保持された電荷によりトランジスタ 11a に複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ 19 に保持された電荷を充放電させることにより、表示画面 50 をオンオフ (点灯、

非点灯) する方式でもよい。

図 1 8 は図 1 6 の画像表示状態を実現するための、ゲート信号線 1 7 に印加する電圧波形である。図 1 8 と図 1 5 の差異は、ゲート信号線 1 7 b の動作である。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ (V_{g1} と V_{gh}) 動作する。他の点は図 1 5 と同一であるので説明を省略する。

EL 表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図 1 の構成においては、トランジスタ 1 1 d をオンオフ操作するだけで間欠表示を実現できる。また、図 3 8、図 5 1 の構成においては、トランジスタ素子 1 1 e をオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ 1 9 に画像データがメモリ (アナログ値であるから階調数は無限大) されているからである。つまり、各画素 1 6 に、画像データは 1 F の期間中は保持されている。この保持されている画像データに相当する電流を EL 素子 1 5 に流すか否かをトランジスタ 1 1 d、1 1 e の制御により実現しているのである。

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、EL 素子 1 5 に流す電流が各画素内で保存している構成において、駆動用トランジスタ 1 1 を EL 素子 1 5 間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ 1 9 の端子電圧を維持することは重要である。1 フィールド (フレーム) 期間でコンデンサ 1 9 の端子電圧が変化 (充放電) すると、画面輝度に変化し、フレームレートが低下した時にちらつき (フリッカなど) が発生するからである。トランジスタ 1 1 a が 1 フレーム (1 フィールド) 期間で EL 素子 1 5 に流す電流は、少なくとも 65% 以下

に低下しないようにする必要がある。この65%とは、画素16に書き込み、EL素子15に流す電流の最初が100%とした時、次のフレーム（フィールド）で前記画素16に書き込む直前のEL素子15に流す電流が65%以上とすることである。

図1の画素構成では、間欠表示を実現する場合としない場合では、1画素を構成するトランジスタ11の個数に変化はない。つまり、画素構成はそのまま、ソース信号線18の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

また、ゲートドライバ回路12の動作クロックはソースドライバ回路14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

なお、画像表示方向（画像書き込み方向）は、1フィールド（1フレーム）目では画面の上から下方向とし、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

さらに、1フィールド（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。また、1フレームを3フィールドに分割し、第1のフィールドではR、第2の

フィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間(1H)ごとに、R、G、Bを切り替えて表示してもよい(図175から図180などを参照のこと)。以上の事項は他の本発明の実施例でも同様である。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈すべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。また、R、G、B画像表示のうち、1色または2色のみが低輝度の画像表示状態という場合も含まれる。

基本的には表示領域53の輝度(明るさ)が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100 (nt)の場合、表示領域53が全画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。画面50の表示輝度は画面50に占める表示領域53の割合に比例する。

表示領域53の面積はシフトレジスタ回路61へのデータパルス(ST2)を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図16の表示状態と図13の表示状態とを切り替えることができる。1F周期でのデータパルス数を多くすれば、画面50は明るくなり、少なくすれば、画面50は暗くなる。また、連続してデータパルスを入力すれば図13の表示状態となり、間欠にデータパルスを入力すれば図16の表示状態となる。

図19の(a)は図13のように表示領域53が連続している場合の明るさ調整方式である。図19(a1)の画面50の表示輝度が最も明

る。図 19 (a 2) の画面 50 の表示輝度が次に明るく、図 19 (a 3) の画面 50 の表示輝度が最も暗い。図 19 の (a) は最も動画表示に適する。

図 19 (a 1) から図 19 (a 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 12 のシフトレジスタ回路 61 などの制御により、容易に実現できる。この際、図 1 の V_{dd} 電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面 50 の輝度変化を実施できる。また、図 19 (a 1) から図 19 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、画面 50 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。

従来の画面の輝度調整では、画面 50 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 64 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の 64 階調表示を実現できる。

図 19 の (b) は図 16 のように表示領域 53 が分散している場合の明るさ調整方式である。図 19 (b 1) の画面 50 の表示輝度が最も明るい。図 19 (b 2) の画面 50 の表示輝度が次に明るく、図 19 (b 3) の画面 50 の表示輝度が最も暗い。図 19 (b 1) から図 19 (b 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 12 のシフトレジスタ回路 61 などの制御により、容易に実現できる。図 19 の (b) のように表示領域 53 を分散させれば、低フレームレートでもフリッカが発生しない。

さらに低フレームレートでも、フリッカが発生しないようにするには、図 19 の (c) のように表示領域 53 を細かく分散させればよい。しか

し、動画の表示性能は低下する。したがって、動画を表示するには、図 19 の (a) の駆動方法が適している。静止面を表示し、低消費電力化を要望する時は、図 19 の (c) の駆動方法が適している。図 19 の (a) から図 19 の (c) の駆動方法の切り替えも、シフトレジスタ回路 61 の制御により容易に実現できる。

以上の実施例は、主として、 $N = 2$ 倍、4 倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、 $N = 2$ 以上に限定されるものでもない。たとえば、ある時刻で表示画面 50 の半分以下の領域を非点灯領域 52 とすることもあつる。所定値の $5/4$ 倍の電流 I_w で電流プログラムし、 $1F$ の $4/5$ 期間点灯させれば、所定の輝度を実現できる。

本発明はこれに限定されるものではない。一例として、 $10/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $4/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の 2 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $2/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/2$ 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $1/1$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $5/4$ 倍で点灯する。

つまり、本発明は、プログラム電流の大きさと、 $1F$ の点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、 $1F$ 期間よりも短い期間点灯させることにより、非点灯領域 52 を挿入でき、動画表示性能を向上できる。 $1F$ の期間、常時点灯させることにより明るい画面を表示できる。

画素に書き込む電流（ソースドライバ回路 14 から出力するプログラム電流）は、画素サイズが A 平方 mm とし、白ラスタ表示所定輝度を

B (n t) とした時、プログラム電流 I (μ A) は、

$$(A \times B) / 20 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書き込み不足が解消する。

さらに、好ましくは、プログラム電流 I (μ A) は、

$$(A \times B) / 10 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。

図 20 はソース信号線 18 に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線 18 の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1 画素あたりの駆動する電流を減少させることができる。したがって、EL 素子 15 に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する (ソース信号線 18 に流す電流を 10 倍にする)。

図 20 で説明する本発明は、画素行は同時に M 画素行を選択する。ソースドライバ IC 14 からは所定電流の N 倍電流をソース信号線 18 に印加する。各画素には EL 素子 15 に流す電流の N/M 倍の電流がプログラムされる。一例として、EL 素子 15 を所定発光輝度とするために、EL 素子 15 に流れる時間を 1 フレーム (1 フィールド) の M/N 時間にする (ただし、 M/N に限定するものではない。 M/N とするのは理解を容易にするためである。先にも説明したように、表示する画面 50 輝度により自由に設定できることはいうまでもない。)。このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

1 フレーム (1 フィールド) の M/N の期間の間だけ、EL 素子 15

に電流を流し、他の期間 ($1 F (N-1) M / N$) は電流を流さないように表示する。この表示状態では $1 F$ ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線 18 には N 倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

図 21 は、図 20 の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} (H レベル) とし、オン電圧を V_{gl} (L レベル) としている。各信号線の添え字は画素行の番号 ((1) (2) (3) など) を記載している。なお、行数は QCI F 表示パネルの場合は 220 本であり、VGA パネルでは 480 本である。

図 21 において、ゲート信号線 17a (1) が選択され (V_{gl} 電圧)、選択された画素行のトランジスタ 11a からソースドライバ回路 14 に向かってソース信号線 18 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 51a が画素行 (1) 番目であるとして説明する。

また、ソース信号線 18 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。また、5 画素行が同時に選択 ($M=5$) として説明をする。したがって、理想的には 1 つの画素のコンデンサ 19 には 2 倍 ($N/M=10/5=2$) に電流がトランジスタ 11a に流れるようにプログラムされる。

書き込み画素行が (1) 画素行目である時、図 21 で図示したように、ゲート信号線 17a は (1) (2) (3) (4) (5) が選択されてい

る。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ゲート信号線 17b はゲート信号線 17a の逆位相となっている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

理想的には、5 画素のトランジスタ 11a が、それぞれ $I_w \times 2$ の電流をソース信号線 18 に流す（つまり、ソース信号線 18 には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明の N 倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の 10 倍の電流がソース信号線 18 に流れる）。

以上の動作（駆動方法）により、各画素 16 のコンデンサ 19 には、2 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11a は特性（ V_t 、S 値）が一致しているとして説明をする。

同時に選択する画素行が 5 画素行（ $M=5$ ）であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $10/5 = 2$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、本来、書き込む電流 I_w とし、ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行 51b ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。

したがって、4 画素行 51b において、1 H 期間の間は 51a と同一

表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。ただし、図 3 8 のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (6) が選択され (V_{g1} 電圧)、選択された画素行 (6) のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (7) が選択され (V_{g1} 電圧)、選択された画素行 (7) のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

図 2 0 の駆動方法では、各画素には 2 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 1 5 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。これを所定の輝度とするためには、図 1 6 に図示するように、書き込み画素行 5 1 を含み、かつ表示画面 5 0 の $1/2$ の範囲を非表示領域 5 2 とすればよい。

図 1 3 と同様に、図 2 0 のように 1 つの表示領域 5 3 が画面の上から下方向に移動すると、フレームレートが低いと、表示領域 5 3 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上

下に移動させた時などに認識されやすくなる。

この課題に対しては、図 2 2 に図示するように、表示領域 5 3 を複数に分割するとよい。分割された非表示領域 5 2 を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

図 2 3 はゲート信号線 1 7 に印加する電圧波形である。図 2 1 と図 2 3 との差異は、基本的にはゲート信号線 1 7 b の動作である。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ (V_{g1} と V_{gh}) 動作する。他の点は図 2 1 とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特に EL 素子 1 5 の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、EL 素子 1 5 のオンオフは、ゲート信号線 1 7 b に印加する信号のオンオフで制御できる。そのため、本発明の駆動方法では、KHz オーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域 5 2 挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

図 2 4 は同時に選択する画素行が 2 画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2 画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ 1 1 a の特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレー

ザーの照射方向はソース信号線 18 と平行に照射することで良好な結果が得られた。

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの V_t 、モビリティがほぼ等しくなるためである。したがって、ソース信号線 18 の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線 18 に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図 24 などの説明する駆動方式とは相乗効果がある。

以上のように、レーザーショットの方向をソース信号線 18 の形成方向と略一致させる（図 7 を参照のこと）ことにより、画素の上下方向のトランジスタ 11a の特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ 11a の特性が一致していなくとも）。以上の動作は、1H（1 水平走査期間）に同期して、1 画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。

なお、図 8 で説明したように、レーザーショットの方向をソース信号線 18 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 18 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 18 に沿った画素の上下方向のトランジスタ 11a の特性はほ

ば一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線 18 の沿った任意の画素の上または下に隣接した画素を、1つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 18 とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では 1 H ごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2 H ごとにシフト（2 画素行ごと）してもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、1 画素行とばしでシフトしてもよい。

画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。たとえば、画面 50 の中央部は $200 \mu\text{sec}$ ごとに 1 画素行をシフトし、画面 50 の上下部は、 $100 \mu\text{sec}$ ごとに 1 画素行をシフトする。このようにシフトすることにより、画面 50 の中央部の発光輝度が高くなり、周辺（画面 50 の上部と下部）を低くできる）。なお、画面 50 の中央部と画面上部のシフト時間、画面 50 の中央部と画面下部のシフト時間は滑らかに時間変化するようにし、輝度輪郭がでないように制御することは言うまでもない。

なお、ソースドライバ回路 14 の基準電流を画面 50 の走査位置に対応して変化（図 146 などを参照のこと）させてもよい。たとえば、画面 50 の中央部の基準電流を $10 \mu\text{A}$ とし、画面 50 の上下部の基準電流は $5 \mu\text{A}$ とする。このように画面 50 位置に対応して基準電流を変化させることにより、画面 50 の中央部の発光輝度が高くなり、周辺（画面 50 の上部と下部）を低くできる）。なお、画面 50 の中央部と画面上部との間の基準電流、画面 50 の中央部と画面下部との間の基準電流

の値は滑らかに時間変化するようにし、輝度輪郭がでないように基準電流を制御することは言うまでもない。

また、画面位置に応じて、画素行をシフトする時間を制御する駆動方法と、画面 50 位置に対応して基準電流を変化させる駆動方法を組み合わせて画像表示を行っても良いことは言うまでもない。

フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1 画素行へだてた画素行を選択してもよい。

つまり、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行を選択し、第 2 番目の水平走査期間に第 2 番目の画素行と第 4 番目の画素行を選択し、第 3 番目の水平走査期間に第 3 番目の画素行と第 5 番目の画素行を選択し、第 4 番目の水平走査期間に第 4 番目の画素行と第 6 番目の画素行を選択する駆動方法である。もちろん、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行と第 5 番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図 1、図 2、図 3 2 の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図 3 8、図 4 2、図 5 0 などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図 4 3、図 5 1、図 5 4、図 6 2 などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線 18 に印加した電圧値により良好に電圧プログラムを実施できるからである。

図 2 4 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 17 a は (1) (2) が選択されている (図 2 5 を参照のこと)。

つまり、画素行（１）（２）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。したがって、少なくとも画素行（１）（２）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。

理想的には、２画素（行）のトランジスタ１１ａが、それぞれ $I_w \times 5$ （ $N=10$ の場合。つまり、 $K=2$ であるから、ソース信号線１８に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。

同時に選択する画素行が２画素行（ $K=2$ ）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、 $10/2=5$ 倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

たとえば、書き込み画素行５１ａに、本来、書き込む電流 I_d とし、ソース信号線１８には、 $I_w \times 10$ の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（ V_{g1} ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（ V_{g1} 電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作すること

により、画素行（１）には正規の画像データが保持される。

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（ V_{g1} ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（ V_{g1} 電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。

図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。

図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素１６ａと１６ｂが選択されている）。しかし、図２７の（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、図 27 の (b) に図示するように画面 50 の下辺にダミー画素行 281 を形成 (配置) している。したがって、選択画素行が画面 50 の下辺まで選択された場合は、画面 50 の最終画素行とダミー画素行 281 が選択される。そのため、図 27 の (b) の書き込み画素行には、規定どおりの電流が書き込まれる。

なお、ダミー画素行 281 は表示画面 50 の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示画面 50 から離れた位置に形成されていてもよい。また、ダミー画素行 281 は、図 1 のスイッチングトランジスタ 11d、EL 素子 15 などは形成する必要はない。形成しないことにより、ダミー画素行 281 のサイズは小さくなる。

図 28 は図 27 の (b) の状態を示している。図 28 で明らかなように、選択画素行が画面 50 の下辺の画素 16c 行まで選択された場合は、画面 50 の最終画素行 (ダミー画素行) 281 が選択される。ダミー画素行 281 は表示画面 50 外に配置する。つまり、ダミー画素行 (ダミー画素) 281 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極 105 とトランジスタ 11 とのコンタクトホールをなくすとか、ダミー画素行 281 には EL 膜 15 を形成しないとかである。また、ダミー画素行の画素電極 105 上に絶縁膜を形成する構成などが例示される。

図 27 では、画面 50 の下辺にダミー画素 (行) 281 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、図 29 の (a) に図示するように、画面の下辺から上辺に走査する (上下逆転走査) する場合は、図 29 の (b) に図示するように画面 50 の上辺にもダミー画素行 281 を形成すべきである。つまり、画面 50 の上辺を下辺のそれぞれにダミー画素行 281 を形成 (配置) する。以上

のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、2画素行を同時選択する場合であった。

本発明はこれに限定するものではなく、たとえば、5画素行を同時選択する方式（図23を参照のこと）でもよい。つまり、5画素行同時駆動の場合は、ダミー画素行281は4行分形成すればよい。したがって、ダミー画素行281は同時に選択する画素行-1の画素数分を形成すればよい。ただし、これは、1画素行ずつ選択する画素行をシフトする場合である。複数画素行ずつシフトする場合は、選択する画素数をMとし、シフトする画素行数をLとしたとき、 $(M-1) \times L$ 画素行分を形成すればよい。

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とN倍パルス駆動とを組み合わせる用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ11aの特性バラツキを吸収することが困難になる。しかし、同時選択画素行数Mが少なくなると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

図30はこの課題を解決するものである。図30の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、図22、図29で説明したように、複数の画素行を同時に選択する方法である。その後の $(1/2)H$ （水平走査期間の $1/2$ ）は図5、図13などで説明したように、1画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ11aの特性バラツキを吸収し、より高速にかつ面内均一性を良好にすることができる。なお、理解を容易にするため、

(1/2)Hで操作するとして説明するがこれに限定するものではない。最初の期間を(1/4)Hとし、後半の期間を(3/4)Hとしてもよい。

図30において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間(前半の1/2H)では、図30(a1)に図示するように、5画素行を同時に選択する。この動作は図22を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a(図1の画素構成の場合)には5倍の電流(25/5画素行=5)がプログラムされる。25倍の電流であるから、ソース信号線18などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も25倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の1/2H(1水平走査期間の1/2)とする。

当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるから、表示しないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は図30(a2)となる。

次の後半の1/2H期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を図30(b1)に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。図30(a1)と図30(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、図30(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のトランジス

タ 1 1 a でプログラムしているため、目標値に対してトランジスタのパラツキによる誤差が発生している。次の第 2 の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

なお、非点灯領域 5 2 を画面の上から下方向に走査し、また、書き込み画素行 5 1 a も画面の上から下方向に走査することは図 1 3 などの実施例と同様であるので説明を省略する。

図 3 1 は図 3 0 の駆動方法を実現するための駆動波形である。図 3 1 でわかるように、1 H (1 水平走査期間) は 2 つのフェーズで構成されている。この 2 つのフェーズは I S E L 信号で切り替える。I S E L 信号は図 3 1 に図示している。

まず、I S E L 信号について説明をしておく。図 3 0 を実施するドライバ回路 1 4 は、電流出力回路 A と電流出力回路 B とを具備している。それぞれの電流出力回路は、8 ビットの階調データを D A 変換する D A 回路とオペアンプなどから構成される。図 3 0 の実施例では、電流出力回路 A は 2.5 倍の電流を出力するように構成されている。一方、電流出力回路 B は 5 倍の電流を出力するように構成されている。電流出力回路 A と電流出力回路 B の出力は I S E L 信号により電流出力部に形成 (配置) されたスイッチ回路が制御され、ソース信号線 1 8 に印加される。この電流出力回路は各ソース信号線に配置されている。

I S E L 信号は、L レベルの時、2.5 倍電流を出力する電流出力回路 A が選択されてソース信号線 1 8 からの電流をソースドライバ I C 1 4 が吸収する (より適切には、ソースドライバ回路 1 4 内に形成された電流出力回路 A が吸収する)。2.5 倍、5 倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

図30に示すように書き込み画素行が(1)画素行目である時(図30の1Hの欄を参照)、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている(図1の画素構成の場合)。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(V_{gh})が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V_t 、S値)が一致しているとして説明をする。

同時に選択する画素行が5画素行($K=5$)であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線18には、 $I_w \times 25$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

したがって、画素行 5 1 b は、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。

次の $1/2$ H (水平走査期間の $1/2$) では、書き込み画素行 5 1 a のみを選択する。つまり、(1) 画素行目のみを選択する。図 3 1 で明らかなように、ゲート信号線 1 7 a (1) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 1 7 a (2) (3) (4) (5) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) のトランジスタ 1 1 a は動作状態 (ソース信号線 1 8 に電流を供給している状態) であるが、画素行 (2) (3) (4) (5) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオフ状態である。つまり、非選択状態である。

また、I S E L が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 B とソース信号線 1 8 とが接続されている。また、ゲート信号線 1 7 b の状態は先の $1/2$ H の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。

以上のことから、画素行 (1) のトランジスタ 1 1 a が、それぞれ $I_w \times 5$ の電流をソース信号線 1 8 に流す。そして、各画素行 (1) のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) である。最初の $1/2$ H の期間では、図 3 1 に示すように書き込み画素行が (2) 画素行目である時、ゲート信号線 1 7 a は (2) (3) (4) (5) (6) が選択されている。つまり、画素行 (2) (3) (4) (5) (6) のスイッチングトランジ

スタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、I S E L が L レベルであるから、2 5 倍電流を出力する電流出力回路 A が選択され、ソース信号線 1 8 と接続されている。また、ゲート信号線 1 7 b には、オフ電圧 (V_{gh}) が印加されている。

したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。一方、画素行 (1) のゲート信号線 1 7 b (1) は V_{g1} 電圧が印加されているから、トランジスタ 1 1 d はオン状態であり、画素行 (1) の E L 素子 1 5 は点灯する。

同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの駆動用トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $25/5=5$ 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、5 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 5 1 a のみを選択する。つまり、(2) 画素行目のみを選択する。図 3 1 で明らかなように、ゲート信号線 1 7 a (2) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 1 7 a (3) (4) (5) (6) はオフ (V_{gh}) が印加されている。

したがって、画素行 (1) (2) のトランジスタ 1 1 a は動作状態 (画素行 (1) は E L 素子 1 5 に電流を流し、画素行 (2) はソース信号線 1 8 に電流を供給している状態) であるが、画素行 (3) (4) (5) (6) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオフ状態である。つまり、非選択状態である。

また、I S E L が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 1 2 2 2 b とソース信号線 1 8 と

が接続されている。また、ゲート信号線 17b の状態は先の $1/2H$ の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

以上のことから、画素行 (2) のトランジスタ 11a が、それぞれ $I_w \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (2) のコンデンサ 19 には、5 倍の電流がプログラムされる。以上の動作を順次、実施することにより 1 画面を表示することができる。

図 30 で説明した駆動方法は、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行には N 倍の電流を流すようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、選択された画素行の総和の電流 (ただし、選択画素行が 1 の時は、1 画素行の電流) が N 倍となるようにプログラムする方式である。たとえば、図 30 (a1) において、5 画素行を同時に選択し、各画素のトランジスタ 11a には 2 倍の電流を流す。したがって、ソース信号線 18 には 5×2 倍 = 10 倍の電流が流れる。次の第 2 の期間では図 30 (b1) において、1 画素行を選択する。この 1 画素のトランジスタ 11a には 10 倍の電流を流す。

なお、図 31 において、複数の画素行を同時に選択する期間を $1/2H$ とし、1 画素行を選択する期間を $1/2H$ としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4H$ とし、1 画

素行を選択する期間を $3/4 H$ としてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は $1 H$ したがこれに限定するものではない。たとえば、 $2 H$ 期間でも、 $1.5 H$ 期間であっても良い。

また、図 30 において、5画素行を同時に選択する期間を $1/2 H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、図 30 において、5画素行を同時に選択する第1の期間を $1/2 H$ とし、1画素行を選択する第2の期間を $1/2 H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

以上の実施例は、1画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて1画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

図 186 は、1画素行を順次選択する駆動方式と複数画素行を順次選択する駆動方法を組み合わせたものである。理解を容易にするため、図 186 (a 2) に図示するように、複数画素行を同時に選択する場合は2画素行を例にして説明をする。したがって、ダミー画素行 281 は画面の上と下に各1行形成する。1画素行を順次選択する駆動方式の場合は、ダミー画素行は使用しなくてもよい。

なお、理解を容易にするため、図 186 (a 1) (1画素行を選択す

る)と図186(a2)(2画素行を選択する)のどちらの駆動方式でもソースドライバIC14が出力する電流は同一とする。したがって、図186(a2)のように2画素行を同時に選択する駆動方式の場合は、1画素行を順次選択する駆動方式(図186(a1))よりも画面輝度は $1/2$ になる。画面輝度を一致させる場合は、図186(a2)のdutyを2倍(たとえば、図186(a1)がduty $1/2$ であれば、図186(a2)のdutyを $1/2 \times 2 = 1/1$)にすればよい。また、ソースドライバIC14に入力する基準電流の大きさを2倍変化させればよい。あるいは、プログラム電流を2倍にすればよい。

図186(a1)は、本発明の通常の駆動方法である。入力される映像信号がノンインターレース(プログレッシブ)信号の場合は、図186(a1)の駆動方式を実施する。入力される映像信号がインターレース信号の場合は、図186(a2)を実施する。また、映像信号の画像解像度がない場合は、図186(a2)を実施する。また、動画では図186(a2)を実施し、静止画では図186(a1)を実施するように制御してもよい。図186(a1)と図186(a2)との切り替えは、ゲートドライバ回路12へのスタートパルスの制御により容易に変更することができる。

課題は、図186(a2)のように2画素行を同時に選択する駆動方式の場合は、1画素行を順次選択する駆動方式(図186(a1))よりも画面輝度は $1/2$ になるという点である。画面輝度を一致させる場合は、図186(a2)のdutyを2倍(たとえば、図186(a1)がduty $1/2$ であれば、図186(a2)のdutyを $1/2 \times 2 = 1/1$)にすればよい。つまり、図186の(b)の非表示領域52と表示領域53の割合を変化させればよい。

非表示領域52と表示領域53の割合は、ゲートドライバ回路12の

スタートパルスの制御により容易に実現できる。つまり、図 1 8 6 (a 1) と図 1 8 6 (a 2) の表示状態に応じて図 1 8 6 の (b) の駆動状態を可変すればよい。

以下、さらに詳しく、本発明のインターレース駆動について説明をする。図 1 8 7 はインターレース駆動を行う本発明の表示パネルの構成である。図 1 8 7 において、奇数画素行のゲート信号線 1 7 a はゲートドライバ回路 1 2 a 1 に接続されている。偶数画素行のゲート信号線 1 7 a はゲートドライバ回路 1 2 a 2 に接続されている。一方、奇数画素行のゲート信号線 1 7 b はゲートドライバ回路 1 2 b 1 に接続されている。偶数画素行のゲート信号線 1 7 b はゲートドライバ回路 1 2 b 2 に接続されている。

したがって、ゲートドライバ回路 1 2 a 1 の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路 1 2 b 1 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路 1 2 a 2 の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路 1 2 b 2 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。

図 1 8 8 の (a) は、第 1 フィールドでの表示パネルの動作状態である。図 1 8 8 の (b) は、第 2 フィールドでの表示パネルの動作状態である。図 1 8 8 において、斜線を記入したゲートドライバ回路 1 2 はデータの走査動作をしていないことを示している。つまり、図 1 8 8 の (a) の第 1 フィールドでは、プログラム電流の書き込み制御としてゲートドライバ回路 1 2 a 1 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 2 が動作する。図 1 8 8 の (b) の第 2 フィールドでは、プログラム電流の書き込み制御としてゲートドライバ回路 1 2 a 2 が動作

し、EL素子15の点灯制御としてゲートドライバ回路12b1が動作する。以上の動作が、フレーム内で繰り返される。

図189が第1フィールドでの画像表示状態である。図189の(a)が書込み画素行(電流(電圧)プログラムを行っている奇数画素行位置を図示している。図189(a1)→(a2)→(a3)と書込み画素行位置が順次シフトされる。第1フィールドでは、奇数画素行が順次書き換えられる(偶数画素行の画像データは保持されている)。図189の(b)が奇数画素行の表示状態を図示している。なお、図189の(b)は奇数画素行のみを図示している。偶数画素行は図189の(c)に図示している。図189の(b)でも明らかなように、奇数画素行に対応する画素のEL素子15は非点灯状態である。一方、偶数画素行は、図189の(c)に図示しているように表示領域53と非表示領域52を走査する(N倍パルス駆動)。

図190が第2フィールドでの画像表示状態である。図190の(a)が書込み画素行(電流(電圧)プログラムを行っている奇数画素行位置を図示している。図190(a1)→(a2)→(a3)と書込み画素行位置が順次シフトされる。第2フィールドでは、偶数画素行が順次書き換えられる(奇数画素行の画像データは保持されている)。図190の(b)が奇数画素行の表示状態を図示している。なお、図190の(b)は奇数画素行のみを図示している。偶数画素行は図190の(c)に図示している。図190の(b)でも明らかなように、偶数画素行に対応する画素のEL素子15は非点灯状態である。一方、奇数画素行は、図190の(c)に図示しているように表示領域53と非表示領域52を走査する(N倍パルス駆動)。

以上のように駆動することにより、インターレース駆動をEL表示パネルで容易に実現することができる。また、N倍パルス駆動を実施する

ことにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、EL素子15の点灯制御も容易であり、回路も容易に実現できる。

なお、本発明の駆動方式は、図189、図190の駆動方式に限定されるものではない。たとえば、図191の駆動方式も例示される。図189、図190は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域52（非点灯、黒表示）とするものであった。図191の実施例は、EL素子15の点灯制御を行うゲートドライバ回路12b1、12b2の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行51は非表示領域となるように制御することはいうまでもない（図38のカレントミラー画素構成ではその必要はない）。図191では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路12b1と12b2との2つを設ける必要はない。ゲートドライバ回路12bを1つで点灯制御することができる。

図191は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図192は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図192は奇数画素行の点灯状態（表示領域53、非表示領域52）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域53の面積と非表示領域52の面積とは同一になるようにしている。もちろん、表示領域53の面積と非表示領域52の面積とは同一になることに限定されるものではない。

以上の実施例は、1画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図193に図示するように2画素（複数画素）を同時に電流（電

庄) プログラム行っても良いことは言うまでもない。また、図 190、図 189 において、奇数画素行あるいは偶数画素行ですべての画素行を非点灯状態にすることに限定されるものではない。

本発明の N 倍パルス駆動方法では、各画素行で、ゲート信号線 17b の波形を同一にし、1H の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 15 が点灯している時間を $1F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線 17b の波形を同一にし、シフトさせていることを実現することは容易である。図 6 のシフトレジスタ回路 61a、61b に印加するデータである ST1、ST2 を制御すればよいからである。たとえば、入力 ST2 が L レベルの時、ゲート信号線 17b に Vg1 が出力され、入力 ST2 が H レベルの時、ゲート信号線 17b に Vg2 が出力されるとすれば、シフトレジスタ 17b に印加する ST2 を $1F/N$ の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された ST2 を 1H に同期したクロック CLK2 でシフトしていくだけである。

なお、EL 素子 15 をオンオフする周期は 0.5 msec 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上になると、点滅状態に見える。したがって、EL 素子のオンオフ周期は $0.5\text{ }\mu\text{sec}$ 以上 100 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 2 msec 以上 30 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 3 msec 以上 20 msec 以下にすべきである。

先にも記載したが、黒画面 152 の分割数は、1 つにすると良好な動

画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25%/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（ N で表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（ N で表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz

以上 65 Hz 以下) が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路 14 などからの書き込みが苦しくなり解像度が劣化する。

本発明では、ゲート信号線 17 の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線 18 に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図 33、図 35 などを用いて）ゲート信号線 17 の制御と、ソース信号線 18 に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

なお、以上の事項は、図 38 などの電流プログラムの画素構成、図 43、図 51、図 54 などの電圧プログラムの画素構成でも適用できることは言うまでもない。図 38 では、トランジスタ 11d を、図 43 ではトランジスタ 11d を、図 51 ではトランジスタ 11e をオンオフ制御すればよい。このように、EL 素子 15 に電流を流す配線をオンオフすることにより、本発明の N 倍パルス駆動を容易に実現できる。

また、ゲート信号線 17b の $1F/N$ の期間だけ、 V_{g1} にする時刻は $1F$ ($1F$ に限定するものではない。単位期間でよい。) の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけ EL 素子 15 をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間 ($1H$) 後、すぐにゲート信号線 17b を V_{g1} にして EL 素子 15 を発光させる方がよい。図 1 のコンデンサ 19 の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に

変化させるように構成してもよい。

このようにKの値（画像表示部53の分割数）を変化させることも容易に実現できる。図6においてSTに印加するデータのタイミング（1FのいつにLレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

なお、図16などでは、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数M）し、Vg1にする期間は $1F/(K \cdot N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F/(K \cdot N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより表示画面50を表示するものである。したがって、 $1F/(K \cdot N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、表示画面50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化となる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のN倍パルス駆動である。

以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

図 3 2 は基本的には図 1 の画素構成である。図 3 2 の画素構成では、プログラムされた I_w 電流が EL 素子 1 5 に流れ、EL 素子 1 5 が発光する。つまり、駆動用トランジスタ 1 1 a はプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ 1 1 a をリセット（オフ状態）にする方式が図 3 2 の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

図 1 の画素構成でリセット駆動を実現するためには、トランジスタ 1 1 b とトランジスタ 1 1 c を独立してオンオフ制御できるように構成する必要がある。つまり、図 3 2 で図示するようにトランジスタ 1 1 b をオンオフ制御するゲート信号線 1 7 a（ゲート信号線 WR）、トランジスタ 1 1 c をオンオフ制御するゲート信号線 1 7 c（ゲート信号線 EL）を独立して制御できるようにする。ゲート信号線 1 7 a とゲート信号線 1 7 c の制御は、図 6 に図示するように独立した 2 つのシフトレジスタ回路 6 1 で行えばよい。

トランジスタ 1 1 b を駆動するゲート信号線 1 7 a とトランジスタ 1 1 d を駆動するゲート信号線 1 7 b の駆動電圧は変化させるとよい（図 1 の画素構成の場合）。ゲート信号線 1 7 a の振幅値（オン電圧とオフ電圧との差）は、ゲート信号線 1 7 b の振幅値よりも小さくする。

ゲート信号線 1 7 の振幅値が大きいと、ゲート信号線 1 7 と画素 1 6 との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 1 7 a の振幅は、ソース信号線 1 8 の電位が画素 1 6 に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線 1 8 の電位変動は小さいから、ゲート信号線 1 7 a の振幅値は小さくすることができる。

一方、ゲート信号線 1 7 b は EL のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレ

ジスタ回路 6 1 a と 6 1 b との出力電圧を変化させる。画素が P チャンネルトランジスタで形成されている場合は、シフトレジスタ回路 6 1 a と 6 1 b の V_{gh} (オフ電圧) を略同一にし、シフトレジスタ回路 6 1 a の V_{g1} (オン電圧) をシフトレジスタ回路 6 1 b の V_{g1} (オン電圧) よりも低くする。

以下、図 3 3 を参照しながら、リセット駆動方式について説明をする。図 3 3 はリセット駆動の原理説明図である。まず、図 3 3 の (a) に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 d をオフ状態にし、トランジスタ 1 1 b をオン状態にする。すると、駆動用トランジスタ 1 1 a のドレイン (D) 端子とゲート (G) 端子はショート状態となり、 I_b 電流が流れる。一般的に、トランジスタ 1 1 a は 1 つ前のフィールド (フレーム) で電流プログラムされている。この状態でトランジスタ 1 1 d がオフ状態となり、トランジスタ 1 1 b がオン状態にすれば、駆動電流 I_b がトランジスタ 1 1 a のゲート (G) 端子に流れる。そのため、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 1 1 a はリセット (電流を流さない状態) になる。

このトランジスタ 1 1 a のリセット状態 (電流を流さない状態) は、図 5 1 など で説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 3 3 の (a) の状態では、コンデンサ 1 9 の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ 1 1 a の特性に応じて異なる電圧値である。したがって、図 3 3 の (a) の動作を実施することにより、各画素のコンデンサ 1 9 にはトランジスタ 1 1 a が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい) が保持されることになるのである。

なお、図 3 3 の (a) の動作の前に、トランジスタ 1 1 b、トランジスタ 1 1 c をオフ状態にし、トランジスタ 1 1 d をオン状態にし、駆動用トランジスタ 1 1 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間に完了させることが好ましい。E L 素子 1 5 に電流が流れて E L 素子 1 5 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H (1 水平走査期間) の 0. 1 % 以上 1 0 % 以下とすることが好ましい。さらに好ましくは 0. 2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0. 2 μ s e c 以上 5 μ s e c 以下となるようにすることが好ましい。また、全画面の画素 1 6 に一括して前述の動作 (図 3 3 の (a) の前に行う動作) を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 1 1 a のドレイン (D) 端子電圧が低下し、図 3 3 の (a) の状態でスムーズな I b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

図 3 3 の (a) の実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 3 3 の (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 3 3 の (a) の実施時間は、1 H 以上 5 H 以下にすることが好ましい。

なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で E L 材料が異なり、この E L 材料の立ち上がり電圧などに差異があるためである。R G B の各画素で、E L 材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入 (黒画面を書き込む) を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

図 3 3 の (a) を実施後、1 H 以上 5 H 以下の期間において、図 3 3

の (b) の状態にする。図 3 3 の (b) はトランジスタ 1 1 c、トランジスタ 1 1 b をオンさせ、トランジスタ 1 1 d をオフさせた状態である。図 3 3 の (b) の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路 1 4 からプログラム電流 I_w を出力 (あるいは吸収) し、このプログラム電流 I_w を駆動用トランジスタ 1 1 a に流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ 1 1 a のゲート (G) 端子の電位を設定するのである (設定電位はコンデンサ 1 9 に保持される)。

もし、プログラム電流 I_w が 0 (A) であれば、トランジスタ 1 1 a は図 3 3 の (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 3 3 の (b) で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 1 1 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 3 3 の (b) の電流プログラミング後、図 3 3 の (c) に図示するように、トランジスタ 1 1 b、トランジスタ 1 1 c とオフし、トランジスタ 1 1 d をオンさせて、駆動用トランジスタ 1 1 a からのプログラム電流 $I_w (= I_e)$ を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。図 3 3 の (c) に関しても、図 1 などで以前に説明をしたので詳細は省略する。

つまり、図 3 3 で説明した駆動方式 (リセット駆動) は、駆動用トランジスタ 1 1 a と EL 素子 1 5 間を切断 (電流が流れない状態) し、かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれ

ば駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。かつ、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、図32の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）。次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。図33の（a）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行もいれると6画素行）となるはずである。

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第2の水平走査期間に、画素行（3）（4）（5）（6）

をリセット状態にし、さらに次の第3の水平走査期間に、画素行(5)(6)(7)(8)をリセット状態にする。また、次の第4の水平走査期間に、画素行(7)(8)(9)(10)をリセット状態にするという駆動状態が例示される。なお、当然、図33の(b)、図33の(c)の駆動状態も図33の(a)の駆動状態と同期して実施される。

また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図33の(b)(c)の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態(1画素行あるいは複数画素行の飛び越し走査)で、リセット状態(1画素行あるいは複数画素行飛び越し)にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である(つまり、画面の上下方向の制御する)。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

なお、図33のリセット駆動は、本発明のN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図22の構成は、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。)を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上

のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせ実施することができることは言うまでもない。

図 3 4 はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路 1 2 a は、図 3 2 におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d がオンオフ制御される。ゲートドライバ回路 1 2 b は、図 3 2 におけるゲート信号線 1 7 c を制御する。ゲート信号線 1 7 c にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

したがって、ゲート信号線 1 7 a はゲートドライバ回路 1 2 a で操作し、ゲート信号線 1 7 c はゲートドライバ回路 1 2 b で操作する。そのため、トランジスタ 1 1 b をオンさせて駆動用トランジスタ 1 1 a をリセットするタイミングと、トランジスタ 1 1 c をオンさせて駆動用トランジスタ 1 1 a に電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

図 3 5 はリセット駆動のタイミングチャートである。ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b をオンさせ、駆動用トランジスタ 1 1 a をリセットしている時には、ゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフ状態にしている。したがって、図 3 2 の (a) の状態となっている。この期間に I b 電流が流れる。

図 3 5 のタイミングチャートでは、リセット時間は 2 H (ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b がオンする) としているが、これに限定するものではない。2 H 以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は 1 H 未満であって

もよい。

リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA (ST) パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に入力するDATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

1H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流 I_w がトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

電流プログラム後、画素(1)のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される(なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である)。また、ゲート信号線17bにはオン電圧が印加され、トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行(2)以降についても、画素行(1)と同様であり、また、図35からその動作は明らかであるから説明を省略する。

図35において、リセット期間は1H期間であった。図36はリセット期間を5Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA (ST) パルス期間で容易に変更できる。図36ではゲートドライバ回路12aのST1端子に入力するDATAを5H期間の間Hレベルし、各ゲート信号線17aから

出力されるリセット期間を5 H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

図36はリセット期間を5 Hとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線17aから出力される信号を1 Hごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路12に入力するDATA（ST）パルスを制御することで容易に実現できる。

図34の回路構成では、ゲートドライバ回路12aは少なくとも2つのシフトレジスタ回路（1つはゲート信号線17a制御用、他の1つはゲート信号線17b制御用）が必要であった。そのため、ゲートドライバ回路12aの回路規模が大きくなるという課題があった。図37はゲートドライバ回路12aのシフトレジスタを1つにした実施例である。図37の回路を動作させた出力信号のタイミングチャートは図35のごとくなる。なお、図35と図37とはゲートドライバ回路12a、12bから出力されているゲート信号線17の記号が異なっているので注意が必要である。

図37のOR回路371が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ回路61aの前段出力とのORをとって出力される。つまり、2 H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ回路61aの出力がそのまま出力される。したがって、1 H期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されている時、画素 1 6 (1) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (1) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (2) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (2) のトランジスタ 1 1 b がオン状態となり、画素 1 6 (2) の駆動用トランジスタ 1 1 a がリセットされる。

同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されている時、画素 1 6 (2) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (2) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (3) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (3) トランジスタ 1 1 b がオン状態となり、画素 1 6 (3) 駆動用トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

プログラム状態の時は、トランジスタ 1 1 b とトランジスタ 1 1 c が同時にオン状態となる (図 3 3 の (b)) ら、非プログラム状態 (図 3 3 の (c)) に移行する際、トランジスタ 1 1 c がトランジスタ 1 1 b よりも先にオフ状態となると、図 3 3 の (b) のリセット状態となってしまう。これを防止するためには、トランジスタ 1 1 c がトランジスタ 1 1 b よりもあとからオフ状態にする必要がある。そのためには、ゲート信号線 1 7 a がゲート信号線 1 7 c よりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、図 3 2 (基本的には図 1) の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図 3 8 に示すようなカレントミラーの画素構成であっても実施することができる。なお、図 3 8 ではトランジスタ 1 1 e をオンオフ制御す

ることにより、図 13、図 15 などで図示する N 倍パルス駆動を実現できる。図 39 は図 38 のカレントミラーの画素構成での実施例の説明図である。以下、図 39 を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

図 39 の (a) に図示するように、トランジスタ 11c、トランジスタ 11e をオフ状態にし、トランジスタ 11d をオン状態にする。すると、電流プログラム用トランジスタ 11b のドレイン (D) 端子とゲート (G) 端子はショート状態となり、図に示すように I_b 電流が流れる。一般的に、トランジスタ 11b は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流す能力がある (ゲート電位はコンデンサ 19 に 1 F 期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ 11e がオフ状態とし、トランジスタ 11d がオン状態にすれば、駆動電流 I_b がトランジスタ 11a のゲート (G) 端子の方向に流れる (ゲート (G) 端子とドレイン (D) 端子がショートされる)。そのため、トランジスタ 11a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 11a はリセット (電流を流さない状態) になる。また、駆動用トランジスタ 11b のゲート (G) 端子は電流プログラム用トランジスタ 11a のゲート (G) 端子と共通であるから、駆動用トランジスタ 11b もリセット状態となる。

このトランジスタ 11a、トランジスタ 11b のリセット状態 (電流を流さない状態) は、図 51 などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 39 の (a) の状態では、コンデンサ 19 の端子間には、オフセット電圧 (電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ 11 に電流が流れる) が保持されていることにな

る。このオフセット電圧はトランジスタ 11 a、トランジスタ 11 b の特性に応じて異なる電圧値である。したがって、図 39 の (a) の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a、トランジスタ 11 b が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

なお、図 39 の (a) においても図 33 の (a) と同様に、リセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 39 の (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 39 の (a) の実施時間は、1 H 以上 10 H（10 水平走査期間）以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましい。あるいは、 $20 \mu\text{sec}$ 以上 2msec 以下とすることが好ましい。このことは図 33 の駆動方式でも同様である。

図 33 の (a) も同様であるが、図 39 の (a) のリセット状態と、図 39 の (b) の電流プログラム状態とを同期をとって行う場合は、図 39 の (a) のリセット状態から、図 39 の (b) の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図 33 の (a) あるいは図 39 の (a) のリセット状態から、図 33 の (b) あるいは図 39 の (b) の電流プログラム状態までの期間が、1 H 以上 10 H（10 水平走査期間）以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましいのである。あるいは、 $20 \mu\text{sec}$ 以上 2msec 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。

また、画面 50 の輝度も低下する。

図 39 の (a) を実施後、図 39 の (b) の状態にする。図 39 の (b) はトランジスタ 11 c、トランジスタ 11 d をオンさせ、トランジスタ 11 e をオフさせた状態である。図 39 の (b) の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を電流プログラム用トランジスタ 11 a に流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ 11 b のゲート (G) 端子の電位をコンデンサ 19 に設定するのである。

もし、プログラム電流 I_w が 0 (A) (黒表示) であれば、トランジスタ 11 b は電流を図 33 の (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 39 の (b) で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧)から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a あるいはトランジスタ 11 b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 39 の (b) の電流プログラミング後、図 39 の (c) に図示するように、トランジスタ 11 c、トランジスタ 11 d とオフし、トランジスタ 11 e をオンさせて、駆動用トランジスタ 11 b からのプログラム電流 $I_w (= I_e)$ を EL 素子 15 に流し、EL 素子 15 を発光させる。図 39 の (c) に関しても、以前に説明をしたので詳細は省略する。

図 33、図 39 で説明した駆動方式(リセット駆動)は、駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断

(電流が流れない状態。トランジスタ 11e あるいはトランジスタ 11d で行う) し、かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流(電圧)プログラムを行う第 2 の動作とを実施するものである。

少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 間を切断せずに、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

図 39 のカレントミラーの画素構成は、電流プログラムトランジスタ 11a をリセットすることにより、結果として駆動用トランジスタ 11b をリセットする駆動方法であった。

図 39 のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ 11b と EL 素子 15 間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート (G) 端子を含む 2 端子、あるいは駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 1 の動作と、前記動作の後、電流プログラム用トランジスタに電流 (電圧) プログラムを行う第 2 の動作とを

実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図43は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

図43の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、図44を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

図44の（a）に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、駆動用トランジスタ11aはリセット（電流を流さない状態）になる。なお、トランジスタ11aをリセットする前に、図33あるいは

図 3 9 で説明したように、HD 同期信号に同期して、最初にトランジスタ 1 1 d をオンさせ、トランジスタ 1 1 e をオフさせて、トランジスタ 1 1 a に電流を流しておく。その後、図 4 4 の (a) の動作を実施する。

このトランジスタ 1 1 a、トランジスタ 1 1 b のリセット状態（電流を流さない状態）は、図 4 1 などでも説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 4 4 の (a) の状態では、コンデンサ 1 9 の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ 1 1 a の特性に応じて異なる電圧値である。つまり、図 4 4 の (a) の動作を実施することにより、各画素のコンデンサ 1 9 には駆動用トランジスタ 1 1 a が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図 4 4 の (a) のリセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 4 4 の (a) の実施時間は固定値にする必要がある。実施時間は、0.2 H 以上 5 H（5 水平走査期間）以下とすることが好ましい。さらには 0.5 H 以上 4 H 以下とすることが好ましい。あるいは、2 μ s e c 以上 400 μ s e c 以下とすることが好ましい。

また、ゲート信号線 1 7 e は前段の画素行のゲート信号線 1 7 a と共通にしておくことが好ましい。つまり、ゲート信号線 1 7 e と前段の画素行のゲート信号線 1 7 a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。

たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ11aのリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下になる。
着目する画素行が(N)画素行とし、そのゲート信号線がゲート信号線17e(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行は、画素行が(N-1)画素行とし、そのゲート信号線がゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。
また、着目画素行の次の1H後に選択される画素行が(N+1)画素行とし、そのゲート信号線がゲート信号線17e(N+1)、ゲート信号線17a(N+1)とする。

第(N-1)H期間では、第(N-1)画素行のゲート信号線17a(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがショート状態で形成されているからである。したがって、第(N-1)画素行の画素のトランジスタ11b(N-1)がオンし、ソース信号線18の電圧が駆動用トランジスタ11a(N-1)のゲート(G)端子に書き込まれる。同時に、第(N)画素行の画素のトランジスタ11e(N)がオンし、駆動用トランジスタ11a(N)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N)がリセットされる。

第(N-1)H期間の次の第(N)期間では、第(N)画素行のゲート信号線17a(N)にオン電圧が印加されると、第(N+1)画素行のゲート信号線17e(N+1)にもオン電圧が印加される。したがって、第(N)画素行の画素のトランジスタ11b(N)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N)

のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 11 e (N+1) がオンし、駆動用トランジスタ 11 a (N+1) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+1) がリセットされる。

以下同様に、第 (N) H期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 17 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11 b (N+1) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11 e (N+2) がオンし、駆動用トランジスタ 11 a (N+2) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+2) がリセットされる。

以上の本発明の前段ゲート制御方式では、1 H期間、駆動用トランジスタ 11 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

図 33 の (a) も同様であるが、図 44 の (a) のリセット状態と、図 44 の (b) の電圧プログラム状態とを同期をとって行う場合は、図 44 の (a) のリセット状態から、図 44 の (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 12 の輝度も低下する。

図 44 の (a) を実施後、図 44 の (b) の状態にする。図 44 の (b)

はトランジスタ 11 b をオンさせ、トランジスタ 11 e、トランジスタ 11 d をオフさせた状態である。図 4 4 の (b) の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路 1 4 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 11 a のゲート (G) 端子に書き込む (駆動用トランジスタ 11 a のゲート (G) 端子の電位をコンデンサ 1 9 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 11 d を必ずしもオフさせる必要はない。また、図 1 3、図 1 5 などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動 (1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 11 e をオンオフ動作させることにより容易に実現できる) を実施する必要がなければ、トランジスタ 11 e が不要でない。このことは以前に説明をしたので、説明を省略する。

図 4 3 の構成あるいは図 4 4 の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧 (各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧) から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 4 4 の (b) の電流プログラミング後、図 4 4 の (c) に図示するように、トランジスタ 11 b をオフし、トランジスタ 11 d をオンさせて、駆動用トランジスタ 11 a からのプログラム電流を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。

以上のように、図 4 3 の電圧プログラムにおける本発明のリセット駆動は、まず、HD 同期信号に同期して、最初にトランジスタ 11 d をオ

ンさせ、トランジスタ 11 e をオフさせて、トランジスタ 11 a に電流を流す第 1 の動作と、トランジスタ 11 a と E L 素子 15 間を切断し、かつ、駆動用トランジスタ 11 a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 11 a に電圧プログラムを行う第 3 の動作を実施するものである。

以上の実施例では、駆動用トランジスタ素子 11 a (図 1 の画素構成の場合) から E L 素子 15 に流す電流を制御するのに、トランジスタ 11 d をオンオフさせて行う。トランジスタ 11 d をオンオフさせるためには、ゲート信号線 17 b を走査する必要がある、走査のためには、シフトレジスタ回路 61 (ゲートドライバ回路 12) が必要となる。しかし、シフトレジスタ回路 61 は規模が大きく、ゲート信号線 17 b の制御にシフトレジスタ回路 61 を用いたのでは狭額縁化できない。図 40 で説明する方式は、この課題を解決するものである。

なお、本発明は、主として図 1 などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図 38 などで説明した他の電流プログラム構成 (カレントミラーの画素構成) であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図 41 などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、E L 素子 15 に流れる電流を間欠にする方式であるから、図 50 などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。

図 40 はブロック駆動方式の実施例である。まず、説明を容易にする

ため、ゲートドライバ回路 1 2 は基板 7 1 に直接形成したか、もしくはシリコンチップのゲートドライバ IC 1 2 を基板 7 1 に積載したとして説明をする。また、ソースドライバ回路 1 4 およびソース信号線 1 8 は図面が煩雑になるため省略する。

図 4 0 において、ゲート信号線 1 7 a はゲートドライバ回路 1 2 と接続されている。一方、各画素のゲート信号線 1 7 b は点灯制御線 4 0 1 と接続されている。図 4 0 では 4 本のゲート信号線 1 7 b が 1 つの点灯制御線 4 0 1 と接続されている。

なお、4 本のゲート信号線 1 7 b でブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示画面 5 0 は少なくとも 5 以上に分割することが好ましい。さらに好ましくは、10 以上に分割することが好ましい。さらには、20 以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線 4 0 1 の本数が多くなり、点灯制御線 4 0 1 のレイアウトが困難になる。

したがって、Q C I F 表示パネルの場合は、垂直走査線の本数が 220 本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要がある。好ましくは、 $220 / 10 = 22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で 2 つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2 つのブロック化で十分の場合がある。

図 4 0 の実施例では、点灯制御線 4 0 1 a、4 0 1 b、4 0 1 c、4 0 1 d …… 4 0 1 n と順次、オン電圧 (V_{gl}) を印加するか、もしくはオフ電圧 (V_{gh}) を印加し、ブロックごとに EL 素子 1 5 に流れる電流をオンオフさせる。

なお、図 4 0 の実施例では、ゲート信号線 1 7 b と点灯制御線 4 0 1

とがクロスすることがない。したがって、ゲート信号線 17 b と点灯制御線 401 とのショート欠陥は発生しない。また、ゲート信号線 17 b と点灯制御線 401 とが容量結合することがないため、点灯制御線 401 からゲート信号線 17 b 側を見た時の容量付加が極めて小さい。したがって、点灯制御線 401 を駆動しやすい。

ゲートドライバ回路 12 にはゲート信号線 17 a が接続されている。ゲート信号線 17 a にオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ 11 b、11 c はオンして、ソース信号線 18 に印加された電流（電圧）を各画素のコンデンサ 19 にプログラムする。一方、ゲート信号線 17 b は各画素のトランジスタ 11 d のゲート（G）端子と接続されている。したがって、点灯制御線 401 にオン電圧（ V_{g1} ）が印加されたとき、駆動用トランジスタ 11 a と EL 素子 15 との電流経路を形成し、逆にオフ電圧（ V_{gh} ）が印加された時は、EL 素子 15 のアノード端子をオープンにする。

なお、点灯制御線 401 に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路 12 がゲート信号線 17 a に出力する画素行選択電圧（ V_{g1} ）のタイミングは 1 水平走査クロック（1H）に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線 401 に印加する信号は単に、EL 素子 15 への電流をオンオフさせるだけである。また、ソースドライバ回路 14 が出力する画像データと同期がとれている必要もない。点灯制御線 401 に印加する信号は、各画素 16 のコンデンサ 19 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは 1H 信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

図 3 8 に図示したカレントミラーの画素構成の場合であっても、ゲート信号線 1 7 b を点灯制御線 4 0 1 に接続することにより、トランジスタ 1 1 e をオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、図 3 2 において、ゲート信号線 1 7 a を点灯制御線 4 0 1 に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1 つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

以上の実施例は、1 画素行ごとに 1 本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で 1 本の選択ゲート信号線を配置（形成）してもよい。

図 4 1 はその実施例である。なお、説明を容易にするため、画素構成は図 1 の場合を主として例示して説明をする。図 4 1 では画素行の選択ゲート信号線 1 7 a は 3 つの画素（1 6 R、1 6 G、1 6 B）を同時に選択する。R の記号とは赤色の画素関連を意味し、G の記号とは緑色の画素関連を意味し、B の記号とは青色の画素関連を意味するものとする。

したがって、ゲート信号線 1 7 a の選択により、画素 1 6 R、画素 1 6 G および画素 1 6 B が同時に選択されデータ書き込み状態となる。画素 1 6 R はソース信号線 1 8 R からデータをコンデンサ 1 9 R に書き込み、画素 1 6 G はソース信号線 1 8 G からデータをコンデンサ 1 9 G に書き込む。画素 1 6 B はソース信号線 1 8 B からデータをコンデンサ 1 9 B に書き込む。

画素 1 6 R のトランジスタ 1 1 d はゲート信号線 1 7 b R に接続されている。また、画素 1 6 G のトランジスタ 1 1 d はゲート信号線 1 7 b G に接続され、画素 1 6 B のトランジスタ 1 1 d はゲート信号線 1 7 b B に接続されている。したがって、画素 1 6 R の EL 素子 1 5 R、画素

16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61の4つを形成（配置）することが適切である。

なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

なお、このコンデンサ 19 への突き抜けによる補償回路は、ソースドライバ回路 14 内に導入する。この事項については後ほど説明をする。

また、図 1 などのスイッチングトランジスタ 11b、11c などは N チャンネルで形成することが好ましい。コンデンサ 19 への突き抜け電圧が低減するからである。また、コンデンサ 19 のオフリークも減少するから、10 Hz 以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧が EL 素子 15 に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

逆に、図 1 のスイッチングトランジスタ 11b、11c を P チャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。P チャンネルトランジスタ 11b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11a のゲート (G) 端子電圧は上昇し、より黒表示となる。また、第 1 階調表示とする電流値を大きくすることができるから (階調 1 までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

以下、図面を参照しながら本発明の他の駆動方式について説明をする。図 174 は本発明のシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路 14 は接続端子 761 に R、G、B データを切り替えて出力する。したがって、ソースドライバ回路 14 の出力端子数は図 48 などの場合に比較して 1/3 の出力端子数ですむ。

ソースドライバ回路 14 から接続端子 761 に出力する信号は、出力切り替え回路 1741 のよりソース信号線 18R、18G、18B に振り分けられる。出力切り替え回路 1741 はポリシリコン技術で基板 7

1に直接形成する。また、出力切り替え回路1741はシリコンチップで形成し、COG技術で基板71に実装してもよい。また、出力切り替え回路1741は出力切り替え回路1741をソースドライバ回路14の回路として、ソースドライバ回路14に内蔵させてもよい。

切り替えスイッチ1742がR端子に接続されている時は、ソースドライバ回路14からの出力信号は、ソース信号線18Rに印加される。切り替えスイッチ1742がG端子に接続されている時は、ソースドライバ回路14からの出力信号は、ソース信号線18Gに印加される。切り替えスイッチ1742がB端子に接続されている時は、ソースドライバ回路14からの出力信号は、ソース信号線18Bに印加される。

なお、図175の構成では、切り替えスイッチ1742がR端子に接続されている時は、切り替えスイッチのG端子およびB端子はオープンである。したがって、ソース信号線18Gおよび18Bに入力される電流は0Aである。したがって、ソース信号線18Gおよび18Bに接続された画素16は黒表示となる。

切り替えスイッチ1742がG端子に接続されている時は、切り替えスイッチのR端子およびB端子はオープンである。したがって、ソース信号線18Rおよび18Bに入力される電流は0Aである。したがって、ソース信号線18Rおよび18Bに接続された画素16は黒表示となる。

なお、図175の構成では、切り替えスイッチ1742がB端子に接続されている時は、切り替えスイッチのR端子およびG端子はオープンである。したがって、ソース信号線18Rおよび18Gに入力される電流は0Aである。したがって、ソース信号線18Rおよび18Gに接続された画素16は黒表示となる。

基本的には、1フレームが3フィールドで構成される場合、第1フィールドで、表示画面50の画素16に順次R画像データが書き込まれる。

第2フィールドでは、表示画面50の画素16に順次G画像データが書き込まれる。また、第3フィールドでは、表示画面50の画素16に順次B画像が書き込まれる。

以上のように、フィールドごとにRデータ→Gデータ→Bデータ→Rデータ→・・・・・・が順次書き換えられシーケンス駆動が実現される。図1のようにスイッチングトランジスタ11dをオンオフさせて、N倍パルス駆動を実現することなどは、図5、図13、図16などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。

また、先に説明した実施例では、R画素16に画像データを書き込む時は、G画素およびB画素には黒データを書き込むとした。G画素16に画像データを書き込む時は、R画素およびB画素には黒データを書き込むとした。B画素16に画像データを書き込む時は、R画素およびG画素には黒データを書き込むとした。本発明はこれに限定するものではない。

たとえば、R画素16に画像データを書き込む時は、G画素およびB画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面50輝度を明るくすることができる。G画素16に画像データを書き込む時は、R画素およびB画素の画像データは前フィールドで書き換えられた画像データを保持するようにする。B画素16に画像データを書き込む時は、G画素およびR画素の画像データは前フィールドで書き換えられた画像データを保持する。

以上のように、書き換えている色画素以外の画素の画像データを保持するには、RGB画素でゲート信号線17aを独立に制御できるようにすればよい。たとえば、図174に図示するように、ゲート信号線17

a Rは、R画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。また、ゲート信号線17a Gは、G画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。ゲート信号線17a Bは、B画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。一方、ゲート信号線17bはR画素、G画素、B画素のトランジスタ11dを共通でオンオフさせる信号線とする。

以上のように構成すれば、ソースドライバ回路14がRの画像データを出し、切り替えスイッチ1742がR接点に切り替わっているときは、ゲート信号線17a Rにオン電圧を印加し、ゲート信号線a Gとゲート信号線a Bとにオフ電圧を印加することができる。したがって、Rの画像データをR画素16に書き込み、G画素16およびB画素16は前にフィールドの画像データを保持したままにできる。

第2フィールドでソースドライバ回路14がGの画像データを出し、切り替えスイッチ1742がG接点に切り替わっているときは、ゲート信号線17a Gにオン電圧を印加し、ゲート信号線a Rとゲート信号線a Bとにオフ電圧を印加することができる。したがって、Gの画像データをG画素16に書き込み、R画素16およびB画素16は前にフィールドの画像データを保持したままにできる。

第3フィールドでソースドライバ回路14がBの画像データを出し、切り替えスイッチ1742がB接点に切り替わっているときは、ゲート信号線17a Bにオン電圧を印加し、ゲート信号線a Rとゲート信号線a Gとにオフ電圧を印加することができる。したがって、Bの画像データをB画素16に書き込み、R画素16およびG画素16は前にフィールドの画像データを保持したままにできる。

図174の実施例では、RGBごとに画素16のトランジスタ11b

をオンオフさせるゲート信号線 17 a を形成あるいは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図 175 に図示するように、RGB の画素 16 に共通のゲート信号線 17 a を形成または配置する構成であってもよい。

図 174 などの構成において、切り替えスイッチ 1742 が R のソース信号線を選択しているときは、G のソース信号線と B のソース信号線はオープンになるとして説明をした。しかし、オープン状態は電氣的にはフローティング状態であり、好ましいことではない。

図 175 は、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路 1741 の切り替えスイッチ 1742 の a 端子は V_{aa} 電圧（黒表示となる電圧）に接続されている。b 端子はソースドライバ回路 14 の出力端子と接続されている。切り替えスイッチ 1742 は RGB それぞれに設けられている。

図 175 の状態では、切り替えスイッチ 1742 R は V_{aa} 端子に接続されている。したがって、ソース信号線 18 R には、V_{aa} 電圧（黒電圧）が印加されている。切り替えスイッチ 1742 G は V_{aa} 端子に接続されている。したがって、ソース信号線 18 G には、V_{aa} 電圧（黒電圧）が印加されている。切り替えスイッチ 1742 B はソースドライバ回路 14 の出力端子に接続されている。したがって、ソース信号線 18 B には、B の映像信号が印加されている。

以上の状態では、B 画素の書き換え状態であり、R 画素と G 画素には黒表示電圧が印加される。以上のように切り替えスイッチ 1742 を制御することにより、画素 16 の画像は書き換えられる。なお、ゲート信号線 17 b の制御などに関しては以前説明した実施例と同様であるので説明を省略する。

以上の実施例では、第 1 フィールドで R 画素 16 を書き換え、第 2 フ

フィールドでG画素16を書き換え、第3フィールドでB画素16を書き換えるとした。つまり、1フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。1水平走査期間(1H)ごとに書き換える画素の色を変化させてもよい。たとえば、1H目にR画素を書き換え、2H番目にG画素を書き換え、3H番目にB画素を書き換え、4H番目にR画素を書き換え、・・・・・・と駆動する方法である。もちろん、2H以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、1/3フィールドごとに書き換える画素の色を変化させてもよい。

図176は1Hごとに書き換える画素の色を変化させた実施例である。なお、図176から図178において、斜線でしめした画素16は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。

なお、図174から図178の駆動方式において、図13などのN倍パルス駆動やM行同時駆動を実施してもよいことは言うまでもない。図174から図178などは画素16の書き込み状態を説明している。EL素子15の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。

また、1フレームは3フィールドで構成されることに限定されるものではない。2フィールドでもよいし、4フィールド以上でもよい。1フレームが2フィールドで、RGBの3原色の場合は、第1フィールドで、RとG画素を書き換え、第2フィールドでB画素を書き換えるという実施例が例示される。また、1フレームが4フィールドで、RGBの3原色の場合は、第1フィールドで、R画素を書き換え、第2フィールドでG画素を書き換え、第3フィールドと第4フィールドでB画素を書き換

えるという実施例が例示される。これらのシーケンスは、RGBのEL素子15の発光効率を考慮して検討することにより効率よくホワイトバランスをとることができる。

以上の実施例では、第1フィールドでR画素16を書き換え、第2フィールドでG画素16を書き換え、第3フィールドでB画素16を書き換えるとした。つまり、1フィールドごとに書き換えられる画素の色が変化する。

図176の実施例では、第1フィールドの1H目にR画素を書き換え、2H番目にG画素を書き換え、3H番目にB画素を書き換え、4H番目にR画素を書き換え、・・・・・・と駆動する方法である。もちろん、2H以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、1/3フィールドごとに書き換える画素の色を変化させてもよい。

図176の実施例では、第1フィールドの1H目にR画素を書き換え、2H番目にG画素を書き換え、3H番目にB画素を書き換え、4H番目にR画素を書き換える。第2フィールドの1H目にG画素を書き換え、2H番目にB画素を書き換え、3H番目にR画素を書き換え、4H番目にG画素を書き換える。第3フィールドの1H目にB画素を書き換え、2H番目にR画素を書き換え、3H番目にG画素を書き換え、4H番目にB画素を書き換える。

以上のように、各フィールドでR、G、B画素を任意にあるいは所定の規則性を持って書き換えることにより、R、G、Bのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

図177では、1Hごとに書き換えられる画素16の色数は複数となっている。図176では、第1フィールドにおいて、1H番目は書き換えられる画素16はR画素であり、2H番目は書き換えられる画素16

はG画素である。また、3H番目は書き換えられる画素16はB画素であり、4H番目は書き換えられる画素16はR画素である。

図177では、1Hごとに、書き換える画素の色位置を異ならせている。各フィールドでR、G、B画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、R、G、Bのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

なお、図177の実施例においても、各絵素（RGB画素の組）では、RGBの点灯時間あるいは発光強度を一致させる。このことは、図175、図176などの実施例においても当然実施することは言うまでもない。色ムラになるからである。

図177のように、1Hごとに書き換える画素の色数（図177の第1フィールドの1H番目は、R、G、Bの3色が書き換えられている）を複数にするのは、図174において、ソースドライバ回路14が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、切り替えスイッチ1742が接点R、G、Bを任意（一定の規則性があってもよい）に接続できるように構成すればよい。

図178の実施例の表示パネルでは、RGBの3原色に加えて、W（白）の画素16Wを有している。画素16Wを形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図178の（a）は1画素行に、R、G、B、W画素16を形成した実施例である。図178の（b）は、1画素行ごとに、RGBWの画素16を配置した構成である。

図178の駆動方法においても、図176、図177などの駆動方式を実施できることは言うまでもない。また、N倍パルス駆動や、M画素行同時駆動などを実施できることは言うまでもない。これらの事項は、

当業者であれば本明細書により容易に具現化できるので説明を省略する。

なお、本発明は説明を容易にするため、本発明の表示パネルはRGBの3原色を有するとして説明しているが、これに限定するものではない。RGBに加えて、シアン、イエロー、マゼンダを加えても良いし、R、G、Bのいずれかの単色、R、G、Bのいずれかの2色を用いた表示パネルであってもよい。

また、以上のシーケンス駆動方式では、フィールドごとにRGBを操作するとしてが、本発明はこれに限定されるものではないことは言うまでもない。また、図174から図178の実施例は、画素16に画像データを書き込む方法について説明したものである。図1などのトランジスタ11dを操作し、EL素子15に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。EL素子15に流れる電流は、図1の画素構成では、トランジスタ11dを制御することにより行う。

また、図176、図177などの駆動方法では、トランジスタ11d（図1の場合）を制御することにより、RGB画像を順次表示することができる。たとえば、図179の（a）は1フレーム（1フィールド）期間にR表示領域53R、G表示領域53G、B表示領域53Bを画面の上から下方向（下方向から上方向でもよい）に走査する。RGBの表示領域以外の領域は非表示領域52とする。つまり、間欠駆動を実施する。

図179の（b）は1フィールド（1フレーム）期間にRGB表示領域53を複数発生するように実施した実施例である。この駆動方法は、図16の駆動方法と類似である。したがって、説明を必要としないであろう。図179の（b）に表示領域53を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

図180の(a)は、RGBの表示領域53で表示領域53の面積を異ならせたものである(表示領域53の面積は点灯期間に比例することはいうまでもない)。図180の(a)では、R表示領域53RとG表示領域53Gと面積を同一にしている。G表示領域53GよりB表示領域53Bの面積を大きくしている。有機EL表示パネルでは、Bの発光効率が悪い場合が多い。図180の(a)のようにB表示領域53Bを他の色の表示領域53よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。

図180の(b)は、1フィールド(フレーム)期間で、B表示期間53Bが複数(53B1、53B2)となるようにした実施例である。図180の(a)は1つのB表示領域53Bを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図180の(b)は、同一面積のB表示領域53Bを複数表示させることにより、ホワイトバランスを良好にする。

本発明の駆動方式は図180の(a)と図180の(b)のいずれに限定するものではない。R、G、Bの表示領域53を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素16への書き込み不足を改善することを目的としている。なお、図16の駆動方法では、R、G、Bが独立の表示領域53は発生しない。RGBが同時に表示される(W表示領域53が表示されると表現すべきである)。なお、図180の(a)と図180の(b)とは組み合わせてもよいことはいうまでもない。たとえば、図180の(a)のRGBの表示面積53を変化し、かつ図180の(b)のRGBの表示領域53を複数発生させる駆動方法の実施である。

なお、図179から図180の駆動方式は、図174から図178の本発明の駆動方式に限定されるものではない。図41のように、RGB

ごとにEL素子15（EL素子15R、EL素子15G、EL素子15B）に流れる電流を制御できる構成であれば、図179、図180の駆動方式を容易に実施できることは言うまでもないであろう。ゲート信号線17bRにオンオフ電圧を印加することにより、R画素16Rをオンオフ制御することができる。ゲート信号線17bGにオンオフ電圧を印加することにより、G画素16Gをオンオフ制御することができる。ゲート信号線17bBにオンオフ電圧を印加することにより、B画素16Bをオンオフ制御することができる。

また、以上の駆動を実現するためには、図181に図示するように、ゲート信号線17bRを制御するゲートドライバ回路12bR、ゲート信号線17bGを制御するゲートドライバ回路12bG、ゲート信号線17bBを制御するゲートドライバ回路12bBを形成または配置すればよい。図181のゲートドライバ12bR、12bG、12bBを図6などで説明した方法で駆動することにより、図179、図180の駆動方法を実現できる。もちろん、図181の表示パネルの構成で、図16の駆動方法なども実現できることは言うまでもない。

また、図174から図177の構成で、画像データを書き換える画素16以外の画素16に、黒画像データを書き換える方式であれば、EL素子15Rを制御するゲート信号線17bR、EL素子15Gを制御するゲート信号線17bG、EL素子15Bを制御するゲート信号線17bBが分離されておらず、RGB画素に共通のゲート信号線17bであっても、図179、図180の駆動方式を実現できることは言うまでもない。

図15、図18、図21などでは、ゲート信号線17b（EL側選択信号線）は1水平走査期間（1H）を単位として、オン電圧（ V_{g1} ）、オフ電圧（ V_{gh} ）を印加するとして説明をした。しかし、EL素子15の発光量は、流す電流が定電流の時、流す時間に比例する。したがっ

て、流す時間は1 H単位に限定する必要はない。

図194は、1/4 duty 駆動である。4 H期間に1 H期間の間、ゲート信号線17b (EL側選択信号線) にオン電圧が印加され、水平同期信号 (HD) に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は1 H単位である。

しかし、本発明はこれに限定するものではなく、図197に図示するように1 H未満 (図197は1/2 H) としてもよく、また、1 H以下としてもよい。つまり、1 H単位に限定されるものではなく、1 H単位以外の発生も容易である。ゲートドライバ回路12b (ゲート信号線17bを制御する回路である) の出力段に形成または配置されたOE V 2回路を用いればよい。

アウトプットイネーブル (OE V) の概念を導入するため、以下のように規定する。OE V制御を行うことにより、1 水平走査期間 (1 H) 以内のゲート信号線17a、17bにオンオフ電圧 (V_{g1} 電圧、 V_{gh} 電圧) を画素16に印加できるようになる。

説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線17a (図1の場合) であるとして説明をする。また、ゲート信号線17aを制御するゲートドライバ回路12aの出力をWR側選択信号線と呼ぶ。EL素子15を選択するゲート信号線17b (図1の場合) であるとして説明をする。また、ゲート信号線17bを制御するゲートドライバ回路12bの出力をEL側選択信号線と呼ぶ。

ゲートドライバ回路12は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路12aのシフトレジスタ内の保持データにより、WR側選択信号線に出力される電圧がオン電圧 (V_{g1}) かオフ電圧 (V

g h) かが決定される。さらに、ゲートドライバ回路 1 2 a の出力段には、強制的に出力をオフにする O E V 1 回路 (図示せず) が形成または配置されている。O E V 1 回路が L レベルの時には、ゲートドライバ回路 1 2 a の出力である W R 側選択信号をそのままゲート信号線 1 7 a に出力する。以上の関係をロジック的に図示すれば、図 2 2 4 の (a) の関係となる (O R 回路である)。なお、オン電圧をロジックレベルの L (0) とし、オフ電圧をロジック電圧の H (1) としている。

つまり、ゲートドライバ回路 1 2 a がオフ電圧を出力している場合は、ゲート信号線 1 7 a にオフ電圧が印加される。ゲートドライバ回路 1 2 a がオン電圧 (ロジックでは L レベル) を出力している場合は、O R 回路で O E V 1 回路の出力と O R が取られてゲート信号線 1 7 a に出力される。つまり、O E V 1 回路は、H レベルの時、ゲートドライバ信号線 1 7 a に出力する電圧をオフ電圧 (V g h) にする (図 2 2 4 のタイミングチャートの例を参照のこと)。

ゲートドライバ回路 1 2 b のシフトレジスタ内の保持データにより、ゲート信号線 1 7 b (E L 側選択信号線) に出力される電圧がオン電圧 (V g l) かオフ電圧 (V g h) かが決定される。さらに、ゲートドライバ回路 1 2 b の出力段には、強制的に出力をオフにする O E V 2 回路 (図示せず) が形成または配置されている。O E V 2 回路が L レベルの時には、ゲートドライバ回路 1 2 b の出力をそのままゲート信号線 1 7 b に出力する。以上の関係をロジック的に図示すれば、図 1 1 6 の (a) の関係となる。なお、オン電圧をロジックレベルの L (0) とし、オフ電圧をロジック電圧の H (1) としている。

つまり、ゲートドライバ回路 1 2 b がオフ電圧を出力している場合 (E L 側選択信号はオフ電圧) は、ゲート信号線 1 7 b にオフ電圧が印加される。ゲートドライバ回路 1 2 b がオン電圧 (ロジックでは L レベル)

を出力している場合は、OR回路でOE V 2回路の出力とORが取られてゲート信号線17bに出力される。つまり、OE V 2回路は、入力信号がHレベルの時、ゲートドライバ信号線17bに出力する電圧をオフ電圧(V_{g h})にする。したがって、OE V 2回路のよりEL側選択信号がオン電圧出力状態であっても、強制的にゲート信号線17bに出力される信号はオフ電圧(V_{g h})になる。なお、OE V 2回路の入力がLであれば、EL側選択信号がスルーでゲート信号線17bに出力される(図224のタイミングチャートの例を参照のこと)。

なお、OE V 2の制御により、画面輝度を調整する。画面輝度により変化できる明るさの許容範囲がある。図223は許容変化(%)と画面輝度(n t)の関係を図示したものである。図223でわかるように、比較的暗い画像で許容変化量が小さい。したがって、OE V 2による制御あるいはd u t y比制御による画面50の輝度調整は、画面50輝度を考慮して制御する。制御による許容変化は画面が明るい時よりも暗い時を短くする。

図195は、ゲート信号線17b(EL側選択信号線)のオン時間は1Hを単位としていない。奇数画素行のゲート信号線17b(EL側選択信号線)は1H弱の期間オン電圧が印加される。偶数画素行のゲート信号線17b(EL側選択信号線)は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線17b(EL側選択信号線)に印加されるオン電圧時間T1と偶数画素行のゲート信号線17b(EL側選択信号線)に印加されるオン電圧時間T2を加えた時間を1H期間とるようにしている。図195を第1フィールドの状態とする。

第1フィールドの次の第2フィールドでは、偶数画素行のゲート信号線17b(EL側選択信号線)は1H弱の期間オン電圧が印加される。奇数画素行のゲート信号線17b(EL側選択信号線)は、極短い期間

オン電圧が印加される。また、偶数画素行のゲート信号線 17b (EL 側選択信号線) に印加されるオン電圧時間 T1 と奇数画素行のゲート信号線 17b (EL 側選択信号線) に印加されるオン電圧時間 T2 を加えた時間を 1H 期間となるようにしている。

以上のように、複数画素行でのゲート信号線 17b (EL 側選択信号線) に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行の EL 素子 15 の点灯時間を一定となるようにしてもよい。

図 196 は、ゲート信号線 17b (EL 側選択信号線) のオン時間を 1.5H をしている。また、A 点におけるゲート信号線 17b (EL 側選択信号線) の立ち上りと立下りが重なるようにしている。ゲート信号線 17b (EL 側選択信号線) とソース信号線 18 とはカップリングしている。そのため、ゲート信号線 17b (EL 側選択信号線) の波形が変化すると波形の変化がソース信号線 18 に突き抜ける。この突き抜けによりソース信号線 18 に電位変動が発生すると電流 (電圧) プログラムの精度が低下し、駆動用トランジスタ 11a の特性ムラが表示されるようになる。

図 196 において、A 点において、ゲート信号線 17B (EL 側選択信号線) (1) はオン電圧 (V_{g1}) 印加状態からオフ電圧 (V_{gh}) 印加状態に変化する。ゲート信号線 17B (EL 側選択信号線) (2) はオフ電圧 (V_{gh}) 印加状態からオン電圧 (V_{g1}) 印加状態に変化する。したがって、A 点では、ゲート信号線 17B (EL 側選択信号線) (1) の信号波形とゲート信号線 17B (EL 側選択信号線) (2) の信号波形が打ち消しあう。したがって、ソース信号線 18 とゲート信号線 17B (EL 側選択信号線) とがカップリングしていても、ゲート信号線 17B (EL 側選択信号線) の波形変化がソース信号線 18 に突き

抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

なお、図 196 は、オン時間が 1.5 H の実施例であった。しかし、本発明はこれに限定するものではなく、図 198 に図示するように、オン電圧の印加時間を 1 H 以下としてもよいことは言うまでもない。

ゲート信号線 17B（EL 側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面 50 の輝度をリニアに調整することができる。これは OEV2 回路を制御することにより容易に実現できる。たとえば、図 199 では、図 199 の（a）よりも図 199 の（b）の方が表示輝度は低くなる。また、図 199 の（b）よりも図 199 の（c）の方が表示輝度は低くなる。

また、図 200 に図示するように、1 H 期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図 200 の（a）は 6 回設けた実施例である。図 200 の（b）は 3 回設けた実施例である。図 200 の（c）は 1 回設けた実施例である。図 200 では、図 200 の（a）よりも図 200 の（b）の方が表示輝度は低くなる。また、図 200 の（b）よりも図 200 の（c）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

本発明の N 倍パルス駆動の課題に EL 素子 15 に印加する電流が瞬時的ではあるが、従来と比較して N 倍大きいという問題がある。電流が大きいと EL 素子の寿命を低下させる場合がある。この課題を解決するためには、EL 素子 15 に逆バイアス電圧 V_m を印加することが有効である。

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これによ

り、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

図45は、逆バイアス電圧 V_m とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図45はEL素子15に流す電流が電流密度100 A/平方メートルの場合であるが、図45の傾向は、電流密度50～100 A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度100 A/平方メートルの電流の印加した時の端子電圧が8 (V) とし、経過時間2500時間において、電流密度100 A/平方メートルの電流の印加した時の端子電圧が10 (V) とすれば、端子電圧比は、 $10 / 8 = 1.25$ である。

横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。たとえば、60 Hz (とくに60 Hzに意味はないが) で、逆バイアス電圧 V_m を印加した時間が $1/2$ (半分) であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100 A/平方メートルの電流の印加した時の端子電圧 (定格端子電圧) が8 (V) とし、逆バイアス電圧 V_m を8 (V) とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ となる。

図45によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる (初期の定格端子電圧から変化しない)。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が

1. 75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを交互に印加する必要がある。図46のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとする、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（図46のサンプルA）のEL素子15の端子電圧も高くなる。

しかし、図45では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度200A/平方メートルの電流の印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる）。

一般的に、映像表示を行う場合は、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流）の約0.2倍である。

したがって、図45の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は0.2以上にするように逆バイア

ス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

つまり、図 45 の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1.0 の値を 0.2 とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が 0.2 よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、図 45 で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスタ表示を実施することとも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が 1.75 以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。逆バイアス駆動の画素構成では、図 47 に図示するように、トランジスタ 11g を N チャンネルとする。もちろん、P チャンネルでもよい。

図 47 では、ゲート電位制御線 473 に印加する電圧を逆バイアス線 471 に印加している電圧よりも高くすることにより、トランジスタ 11g (N) がオンし、EL 素子 15 のアノード電極に逆バイアス電圧 V_m が印加される。

また、図 47 の画素構成などにおいて、ゲート電位制御線 473 を常時、電位固定して動作させてもよい。たとえば、図 47 において V_k 電

圧が 0 (V) とする時、ゲート電位制御線 473 の電位を 0 (V) 以上 (好ましくは 2 (V) 以上) にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線 471 の電位を逆バイアス電圧 V_m (0 (V) 以下、好ましくは V_k より -5 (V) 以上小さい電圧) にすると、トランジスタ 11g (N) がオンし、EL 素子 15 のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線 471 の電圧をゲート電位制御線 473 の電圧 (つまり、トランジスタ 11g のゲート (G) 端子電圧) よりも高くすると、トランジスタ 11g はオフ状態であるため、EL 素子 15 には逆バイアス電圧 V_m は印加されない。もちろん、この状態の時に、逆バイアス線 471 をハイインピーダンス状態 (オープン状態など) としてもよいことは言うまでもない。

また、図 48 に図示するように、逆バイアス線 471 を制御するゲートドライバ回路 12c を別途形成または配置してもよい。ゲートドライバ回路 12c は、ゲートドライバ回路 12a と同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

以上の駆動方法では、トランジスタ 11g のゲート (G) 端子は電位固定し、逆バイアス線 471 の電位を変化させるだけで、EL 素子 15 に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。

また、逆バイアス電圧 V_m の印加は、EL 素子 15 に電流を流していない時に行うものである。したがって、トランジスタ 11d がオンしていない時に、トランジスタ 11g をオンさせることにより行えばよい。つまり、トランジスタ 11d のオンオフロジックの逆をゲート電位制御線 473 に印加すればよい。たとえば、図 47 では、ゲート信号線 17b にトランジスタ 11d およびトランジスタ 11g のゲート (G) 端子を接続すればよい。トランジスタ 11d は P チャンネルであり、トラン

ジスタ 11g は N チャンネルであるため、オンオフ動作は反対となる。

図 49 は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。

(1) が N 画素行目を示し、(2) が N + 1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図 49 などの実施例では、図 1 などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図 41、図 38 などの画素構成においても適用できるものである。

第 1 画素行目のゲート信号線 17a (1) にオン電圧 (V_{g1}) が印加されている時には、第 1 画素行目のゲート信号線 17b (1) にはオフ電圧 (V_{gh}) が印加される。つまり、トランジスタ 11d はオフであり、EL 素子 15 には電流が流れていない。

逆バイアス線 471 (1) には、 V_{s1} 電圧 (トランジスタ 11g がオンする電圧) が印加される。したがって、トランジスタ 11g がオンし、EL 素子 15 には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線 17b にオフ電圧 (V_{gh}) が印加された後、所定期間 (1H の $1/200$ 以上の期間、または、 $0.5 \mu s e c$) 後に、逆バイアス電圧が印加される。また、ゲート信号線 17b にオン電圧 (V_{g1}) が印加される所定期間 (1H の $1/200$ 以上の期間、または、 $0.5 \mu s e c$) 前に、逆バイアス電圧がオフされる。これは、トランジスタ 11d とトランジスタ 11g が同時にオンとなることを回避するためである。

次の水平走査期間 (1H) には、ゲート信号線 17a にはオフ電圧 (V_{gh}) が印加され、第 2 画素行が選択される。つまり、ゲート信号線 1

7 b (2) にオン電圧が印加される。一方、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加され、トランジスタ 1 1 d がオンして、E L 素子 1 5 にトランジスタ 1 1 a から電流が流れ E L 素子 1 5 が発光する。また、逆バイアス線 4 7 1 (1) にはオフ電圧 (V_{sh}) が印加されて、第 1 画素行 (1) の E L 素子 1 5 には逆バイアス電圧が印加されないようになる。第 2 画素行の逆バイアス線 4 7 1 (2) には V_{s1} 電圧 (逆バイアス電圧) が印加される。

以上の動作を順次くりかえすことにより、1 画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図 4 8 の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動 (図 4 0 参照) や、N 倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することには限定するものではない。E L 表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

以上の実施例は、図 1 の画素構成の場合であったが、他の構成においても、図 3 8、図 4 1 などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図 5 0 は電流プログラム方式の画素構成である。

図 5 0 は、カレントミラーの画素構成である。トランジスタ 1 1 d は、該当画素が選択する 1 H (1 水平走査期間、つまり 1 画素行) 以上前にオンする。好ましくは 3 H 前にはオンさせる。3 H 前とすれば、3 H 前にトランジスタ 1 1 d がオンし、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子がショートされる。そのため、トランジスタ 1

1 a はオフする。したがって、トランジスタ 1 1 b には電流が流れなくなり、E L 素子 1 5 は非点灯となる。

E L 素子 1 5 が非点灯状態の時、トランジスタ 1 1 g がオンし、E L 素子 1 5 に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ 1 1 d がオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ 1 1 d とトランジスタ 1 1 g とは同時にオンすることになる。

トランジスタ 1 1 g のゲート (G) 端子は V_{sg} 電圧が印加されて固定されている。逆バイアス線 4 7 1 を V_{sg} 電圧より十分に小さな逆バイアス電圧を逆バイアス線 4 7 1 に印加することによりトランジスタ 1 1 g がオンする。

その後、前記該当画素に映像信号が印加 (書き込まれる) される水平走査期間がくると、ゲート信号線 1 7 a 1 にオン電圧が印加され、トランジスタ 1 1 c がオンする。したがって、ソースドライバ回路 1 4 からソース信号線 1 8 に出力された映像信号電圧がコンデンサ 1 9 に印加される (トランジスタ 1 1 d はオン状態が維持されている)。

トランジスタ 1 1 d をオンさせると黒表示となる。1 フィールド (1 フレーム) 期間に占めるトランジスタ 1 1 d のオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1 フィールド (1 フレーム) の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間に E L 素子 1 5 に流す電流を大きくする必要がある。この動作は、本発明の N 倍パルス駆動である。したがって、N 倍パルス駆動と、トランジスタ 1 1 d をオンさせて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴ある動作である。また、E L 素子 1 5 が非点灯状態で、逆バイアス電圧を E L 素子 1 5 に印加することが本発明の特徴ある構成 (方式) である。

N倍パルス駆動は、1フィールド（1フレーム）期間内において、1度、黒表示をしても再度、EL素子15に所定の電流（プログラムされた電流（コンデンサ19に保持されている電圧による））を流すことができる。しかし、図50の構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電（減少を含む）されるため、EL素子15に所定の電流（プログラムされた電流）を流すことができない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図38、図50のような他の電流方式の画素構成にも適用することができる。また、図51、図54、図62に図示するような電圧プログラムの画素構成でも適用することができる。

図51は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ11bが選択スイッチング素子であり、トランジスタ11aがEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）11gを配置（形成）している。

図51の画素構成では、EL素子15に流す電流は、ソース信号線18に印加され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート（G）端子に印加される。

まず、図51の構成を説明するために、基本動作について図52を用いて説明をする。図51の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

水平同期信号（HD）後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲ

ート信号線 17 a にもオン電圧が印加され、トランジスタ 11 c がオンする。この時、ソース信号線 18 には V d d 電圧が印加される。したがって、コンデンサ 19 b の a 端子には V d d 電圧が印加されることになる。この状態で、駆動用トランジスタ 11 a はオンし、E L 素子 15 に僅かな電流が流れる。この電流により駆動用トランジスタ 11 a のドレイン (D) 端子は少なくともトランジスタ 11 a の動作点よりも大きな絶対値の電圧値となる。

次にリセット動作が実施される。ゲート信号線 17 b にオフ電圧が印加され、トランジスタ 11 e がオフする。一方、ゲート信号線 17 c に T 1 の期間、オン電圧が印加され、トランジスタ 11 b がオンする。この T 1 の期間がリセット期間である。また、ゲート信号線 17 a には 1 H の期間、継続してオン電圧が印加される。なお、T 1 は 1 H 期間の 20 % 以上 90 % 以下の期間とすることが好ましい。もしくは、 $20 \mu s$ e c 以上 $160 \mu s$ e c 以下の時間とすることが好ましい。また、コンデンサ 19 b (C b) とコンデンサ 19 a (C a) の容量の比率は、 $C b : C a = 6 : 1$ 以上 $1 : 2$ 以下とすることが好ましい。

リセット期間では、トランジスタ 11 b のオンにより、駆動用トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子間がショートされる。したがって、トランジスタ 11 a のゲート (G) 端子電圧とドレイン (D) 端子電圧が等しくなり、トランジスタ 11 a はオフセット状態 (リセット状態：電流が流れない状態) となる。このリセット状態とはトランジスタ 11 a のゲート (G) 端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 19 b の b 端子に保持される。したがって、コンデンサ 19 には、オフセット電圧 (リセット電圧) が保持されていることになる。

次のプログラム状態では、ゲート信号線 17 c にオフ電圧が印加され

トランジスタ 11b がオフする。一方、ソース信号線 18 には、Td の期間、DATA 電圧が印加される。したがって、駆動用トランジスタ 11a のゲート (G) 端子には、DATA 電圧 + オフセット電圧 (リセット電圧) が加えられたものが印加される。そのため、駆動用トランジスタ 11a はプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線 17a にはオフ電圧が印加され、トランジスタ 11c はオフ状態となり、駆動用トランジスタ 11a はソース信号線 18 から切り離される。また、ゲート信号線 17c にもオフ電圧が印加され、トランジスタ 11b がオフし、このオフ状態は 1F の期間保持される。一方、ゲート信号線 17b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

図 52 の駆動方式では、リセット状態でコンデンサ 19 には、トランジスタ 11a の開始電流電圧 (オフセット電圧、リセット電圧) が保持される。そのため、このリセット電圧がトランジスタ 11a のゲート (G) 端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 18 と画素 16 とのカップリング、コンデンサ 19 への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き (コントラスト低下) が発生する。したがって、図 53 で説明した駆動方法では、表示コントラストを高くすることができない。

逆バイアス電圧 V_m を EL 素子 15 に印加するためには、トランジスタ 11a がオフさせる必要がある。トランジスタ 11a をオフさせるためには、トランジスタ 11a の V_{dd} 端子とゲート (G) 端子間をショートすればよい。この構成については、後に図 53 を用いて説明をする。

また、ソース信号線 18 に V_{dd} 電圧またはトランジスタ 11a をオ

フさせる電圧を印加し、トランジスタ 11b をオンさせてトランジスタ 11a のゲート (G) 端子に印加させてもよい。この電圧によりトランジスタ 11a がオフする (もしくは、ほとんど、電流が流れないような状態にする (略オフ状態: トランジスタ 11a が高インピーダンス状態))。その後、トランジスタ 11g をオンさせて、EL 素子 15 に逆バイアス電圧を印加する。

次に、図 51 の画素構成におけるリセット駆動について説明をする。図 53 はその実施例である。図 53 に示すように画素 16a のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a は次段画素 16b のリセット用トランジスタ 11b のゲート (G) 端子にも接続されている。同様に、画素 16b のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a は次段画素 16c のリセット用トランジスタ 11b のゲート (G) 端子に接続されている。

したがって、画素 16a のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a にオン電圧を印加すると、画素 16a が電圧プログラム状態となるとともに、次段画素 16b のリセット用トランジスタ 11b がオンし、画素 16b の駆動用トランジスタ 11a がリセット状態となる。同様に、画素 16b のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a にオン電圧を印加すると、画素 16b が電流プログラム状態となるとともに、次段画素 16c のリセット用トランジスタ 11b がオンし、画素 16c の駆動用トランジスタ 11a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。図 53 の (a) のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16a のゲート信号線 17

a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、ゲート信号線 1 7 b は画素 1 6 a 、 1 6 b にはオフ電圧が印加され、画素 1 6 c 、 1 6 d にはオン電圧が印加されているとする。

この状態では、画素 1 6 a は電圧プログラム状態で非点灯、画素 1 6 b はリセット状態で非点灯、画素 1 6 c はプログラム電流の保持状態で点灯、画素 1 6 d はプログラム電流の保持状態で点灯状態である。

1 H 後、制御用ゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、図 5 3 の (b) の状態となる。図 5 3 の (b) の状態は、画素 1 6 a はプログラム電流保持状態で点灯、画素 1 6 b は電流プログラム状態で非点灯、画素 1 6 c はリセット状態で非点灯、画素 1 6 d はプログラム保持状態で点灯状態である。

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

図 4 3 に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図 5 4 は図 4 3 の画素構成を前段ゲート制御方式の接続とした実施例である。

図 5 4 に示すように画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。

したがって、画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が

電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 1 1 e がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリセット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリセット用トランジスタ 1 1 e がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

さらに詳しく説明する。図 5 5 の (a) のようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ 1 1 g はオフ状態であるとする。

この状態では、画素 1 6 a は電圧プログラム状態、画素 1 6 b はリセット状態、画素 1 6 c はプログラム電流の保持状態、画素 1 6 d はプログラム電流の保持状態である。

1 H 後、制御用ゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、図 5 5 の (b) の状態となる。図 5 5 の (b) の状態は、画素 1 6 a はプログラム電流保持状態、画素 1 6 b は電流プログラム状態、画素 1 6 c はリセット状態、画素 1 6 d はプログラム保持状態である。

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ 1 1 にプログラムされる電流は 0 である。つまり、ソースドライバ回路 1 4

からは電流が流れない。電流が流れなければ、ソース信号線 18 に発生した寄生容量を充放電することができず、ソース信号線 18 の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1 フレーム（フフィールド）（1 F）前の電位がコンデンサ 19 に蓄積されたままとなる。たとえば、1 フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。

この課題を解決するため、本発明では、1 水平走査期間（1 H）の最初に黒レベルの電圧をソース信号線 18 に書き込んでから、ソース信号線 18 にプログラムする電流を出力する。たとえば、映像データが黒レベルに近い 0 階調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を 0 階調目とし、完全白表示を 63 階調目とする（64 階調表示の場合）。プリチャージに関しては後に詳細に説明をする。

以後、本発明の電流駆動方式のソースドライバ IC（回路）14 について説明をする。本発明のソースドライバ IC は、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、IC チップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術などを用いて、表示パネル上に作製してもよいことは言うまでもない。

まず、図 72 に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図 72 は本発明の電流駆動方式のソースドライバ IC（ソースドライバ回路）を説明するための原理的なものである。

図 72 において、721 は D/A 変換器である。D/A 変換器 721

には n ビットのデータ信号が入力され、入力されたデータに基づき、D/A変換器からアナログ信号が出力される。このアナログ信号はオペアンプ722に入力される。オペアンプ722はNチャンネルトランジスタ631aに入力され、トランジスタ631aに流れる電流が抵抗691に流れる。抵抗Rの端子電圧はオペアンプ722の－入力となり、この－端子の電圧とオペアンプ722の＋端子とは同一電圧となる。したがってD/A変換器721の出力電圧は抵抗691の端子電圧となる。

抵抗691の抵抗値が $1\text{ M}\Omega$ とし、D/A変換器721の出力が1 (V) であれば、抵抗691には $1\text{ (V)} / 1\text{ M}\Omega = 1\text{ (}\mu\text{A)}$ の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、D/A変換器721のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗691に所定電流が流れ、プログラム電流 I_w となる。

しかし、D/A変換器721の回路規模は大きい。また、オペアンプ722の回路規模も大きい。1出力回路に、D/A変換器721とオペアンプ722を形成するとソースドライバIC14の大きさは巨大となる。したがって、実用上は作製することが不可能である。

本発明はかかる点に鑑みてなされたものである。本発明のソースドライバ回路14は、電流出力回路の規模をコンパクトにし、電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有するものである。

図63に、本発明の電流駆動方式のソースドライバIC（回路）14の構成図を示す。図63は、一例として電流源を3段構成（631、632、633）とした場合の多段式カレントミラー回路を示している。

図63において、第1段の電流源631の電流値は、 N 個（ただし、 N は任意の整数）の第2段電流源632にカレントミラー回路によりコ

ピーされる。更に、第２段電流源 6 3 2 の電流値は、M 個（ただし、M は任意の整数）の第３段電流源 6 3 3 にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源 6 3 1 の電流値は、 $N \times M$ 個の第３段電流源 6 3 3 にコピーされることになる。

例えば、Q C I F 形式の表示パネルのソース信号線 1 8 に１個のドライバ I C 1 4 で駆動する場合は、1 7 6 出力（ソース信号線が各 R G B で 1 7 6 出力必要なため）となる。この場合は、N を 1 6 個とし、M = 1 1 個とする。したがって、 $1 6 \times 1 1 = 1 7 6$ となり、1 7 6 出力に対応できる。このように、N または M のうち、一方を 8 または 1 6 もしくはその倍数とすることにより、ドライバ I C の電流源のレイアウト設計が容易になる。

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバ I C（回路）1 4 では、前記したように、第１段電流源 6 3 1 の電流値を直接 $N \times M$ 個の第３段電流源 6 3 3 にカレントミラー回路でコピーするのではなく、中間に第２段電流源 6 3 2 を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第１段のカレントミラー回路（電流源 6 3 1）と第２段にカレントミラー回路（電流源 6 3 2）を密接して配置するところに特徴がある。第１段の電流源 6 3 1 から第３段の電流源 6 3 3（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第２段の電流源 6 3 3 の個数が多く、第１段の電流源 6 3 1 と第３段の電流源 6 3 3 を密接して配置することができない。

本発明のソースドライバ回路 1 4 のように、第１段のカレントミラー回路（電流源 6 3 1）の電流を第２段のカレントミラー回路（電流源 6 3 2）にコピーし、第２段のカレントミラー回路（電流源 6 3 2）の電流を第３段にカレントミラー回路（電流源 6 3 2）にコピーする構成で

ある。この構成では、第1段のカレントミラー回路（電流源631）に接続される第2段のカレントミラー回路（電流源632）の個数は少ない。したがって、第1段のカレントミラー回路（電流源631）と第2段のカレントミラー回路（電流源632）とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第2段のカレントミラー回路（電流源632）に接続される第3段のカレントミラー回路（電流源633）の個数も少なくなる。したがって、第2段のカレントミラー回路（電流源632）と第3段のカレントミラー回路（電流源633）とを密接して配置することができる。

つまり、全体として、第1段のカレントミラー回路（電流源631）、第2段のカレントミラー回路（電流源632）、第3段のカレントミラー回路（電流源633）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

なお、本例では簡単のため多段式カレントミラー回路を3段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバIC14の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は3段に限定するものではなく、3段以上であってもよい。

本発明において、電流源631、632、633と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つ

まり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図72に図示するようにオペアンプ722とトランジスタ631と抵抗Rの組み合わせからなる電流回路でもよい。

図64はさらに具体的なソースドライバIC（回路）14の構造図である。図64は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源634（1単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバIC（回路）14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

図64で明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各64階調であるから、 $64 \times 64 \times 64 = \text{約 } 26 \text{ 万色}$ を表示できることになる。

64階調の場合は、D0ビットの単位トランジスタ634は1個、D1ビットの単位トランジスタ634は2個、D2ビットの単位トランジスタ634は4個、D3ビットの単位トランジスタ634は8個、D4ビットの単位トランジスタ634は16個、D5ビットの単位トランジ

スタ 6 3 4 は 3 2 個であるから、計単位トランジスタ 6 3 4 は 6 3 個である。つまり、本発明は階調の表現数（この実施例の場合は、6 4 階調）－1 個の単位トランジスタ 6 3 4 を 1 出力と構成（形成）する。なお、単位トランジスタ 1 個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－1 個の単位トランジスタで構成されていることには差異はない（同義である）。

図 6 4 において、D 0 は L S B 入力を示しており、D 5 は M S B 入力を示している。D 0 入力端子に H レベル（正論理時）の時、スイッチ 6 4 1 a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、P チャンネルトランジスタと N チャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1 単位）6 3 4 に向かって電流が流れる。この電流は I C 1 4 内の内部配線 6 4 3 に流れる。この内部配線 6 4 3 は I C 1 4 の端子電極を介してソース信号線 1 8 に接続されているから、この内部配線 6 4 3 に流れる電流が画素 1 6 のプログラム電流となる。

たとえば、D 1 入力端子に H レベル（正論理時）の時、スイッチ 6 4 1 b がオンする。すると、カレントミラーを構成する 2 つの電流源（1 単位）6 3 4 に向かって電流が流れる。この電流は I C 1 4 内の内部配線 6 4 3 に流れる。この内部配線 6 4 3 は I C 1 4 の端子電極を介してソース信号線 1 8 に接続されているから、この内部配線 6 4 3 に流れる電流が画素 1 6 のプログラム電流となる。

他のスイッチ 6 4 1 でも同様である。D 2 入力端子に H レベル（正論理時）の時は、スイッチ 6 4 1 c がオンする。すると、カレントミラーを構成する 4 つの電流源（1 単位）6 3 4 に向かって電流が流れる。D

5 入力端子に H レベル（正論理時）の時は、スイッチ 6 4 1 f がオンする。すると、カレントミラーを構成する 3 2 個の電流源（1 単位） 6 3 4 に向かって電流が流れる。

以上のように、外部からのデータ（D 0 ～ D 5）に応じて、それに対応する電流源（1 単位）に向かって電流が流れる。したがって、データに応じて、0 個から 6 3 個に電流源（1 単位）に電流が流れるように構成されている。

なお、本発明は説明を容易にするため、電流源は 6 ビットの 6 3 個としているが、これに限定するものではない。8 ビットの場合は、2 5 5 個の単位トランジスタ 6 3 4 を形成（配置）すればよい。また、4 ビットの時は、1 5 個の単位トランジスタ 6 3 4 を形成（配置）すればよい。単位電流源を構成するトランジスタ 6 3 4 は同一のチャンネル幅 W、チャンネル幅 L とする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、電流源 6 3 4 はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源 6 3 4 を重み付けしてもよい。たとえば、1 単位の電流源 6 3 4 と、2 倍の電流源 6 3 4 と、4 倍の電流源 6 3 4 など混在させて電流出力回路を構成してもよい。しかし、電流源 6 3 4 を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1 単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位トランジスタ 6 3 4 を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ 6 3 4 の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、 $W = 3 \mu\text{m}$ 、L

$= 4 \mu\text{m}$ であれば、1つの単位電流源を構成するトランジスタ634のサイズは、 $W \times L = 12$ 平方 μm である。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

トランジスタサイズと出力電流のバラツキの関係を図117に示す。図117のグラフの横軸はトランジスタサイズ（平方 μm ）である。縦軸は、出力電流のバラツキを%で示したものである。ただし、出力電流のバラツキ%は、単位電流源（1つの単位トランジスタ）634を63個の組で形成し（63個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、1つの単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは63個あるので面積は63倍である。しかし、本発明は単位トランジスタ634の大きさを単位として検討している。したがって、図117において、30平方 μm の単位トランジスタ634を63個形成したとき、その時の出力電流のバラツキは、0.5%となることを示している。

64階調の場合は、 $100 / 64 = 1.5\%$ である。したがって、出力電流バラツキは1.5%以内にする必要がある。図117から1.5%以下にするためには、単位トランジスタのサイズは2平方 μm 以上にする必要がある（64階調は63個の2平方 μm の単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなる点と、1出力あたりの横幅に制限があるからである。この点から、単位トランジスタ634のサイズの上限は、300平方 μm である。したがって、64階調表示では、単位トランジスタ634のサ

イズは、2平方 μm 以上300平方 μm 以下にする必要がある。

128階調の場合は、 $100/128=1\%$ である。したがって、出力電流バラツキは1%以内にする必要がある。図117から1%以下にするためには、単位トランジスタのサイズは8平方 μm 以上にする必要がある。したがって、128階調表示では、単位トランジスタ634のサイズは、8平方 μm 以上300平方 μm 以下にする必要がある。

一般的に、階調数をKとし、単位トランジスタ634の大きさをS_t (平方 μm) としたとき、

$$40 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300 \text{ の関係を満足させる。}$$

さらに好ましくは、 $120 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300$ の関係を満足させることが好ましい。

以上の例は、64階調で63個のトランジスタを形成した場合である。64階調を127個の単位トランジスタ634で構成する場合は、単位トランジスタ634のサイズとは、2つの単位トランジスタ634を加えたサイズである。たとえば、64階調で、単位トランジスタ634のサイズが10平方 μm であり、127個形成されていたら、図117では単位トランジスタのサイズは $10 \times 2 = 20$ の欄をみる必要がある。同様に、64階調で、単位トランジスタ634のサイズが10平方 μm であり、255個形成されていたら、図117では単位トランジスタのサイズは $10 \times 4 = 40$ の欄をみる必要がある。

単位トランジスタ634は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ634のゲート電圧を一定に保った状態で、単位トランジスタ634のソース(S)ードレイン(D)電圧を変化させたときに、単位トランジスタ634に流れる電流が変化する現象と言う。キンクの影響がない場合(理想状態)では、ソース(S)ードレイン(D)間に印加する

電圧を変化させても、単位トランジスタ 6 3 4 に流れる電流は変化しない。

キルクの影響が発生するのは、図 1 などの駆動用トランジスタ 1 1 a の V_t のバラツキにより、ソース信号線 1 8 が異なる場合である。ドライバ回路 1 4 は、画素の駆動用トランジスタ 1 1 a にプログラム電流が流れるように、プログラム電流をソース信号線 1 8 に流す。このプログラム電流により、駆動用トランジスタ 1 1 a のゲート端子電圧が変化し、駆動用トランジスタ 1 1 a にプログラム電流が流れるようになる。図 3 でわかるように、選択された画素 1 6 がプログラム状態の時は、駆動用トランジスタ 1 1 a のゲート端子電圧＝ソース信号線 1 8 電位である。

したがって、各画素 1 6 の駆動用トランジスタ 1 1 a の V_t ばらつきにより、ソース信号線 1 8 の電位は異なる。ソース信号線 1 8 の電位は、ドライバ回路 1 4 の単位トランジスタ 6 3 4 のソースドレイン電圧となる。つまり、画素 1 6 の駆動用トランジスタ 1 1 a の V_t バラツキにより、単位トランジスタ 6 3 4 に印加されるソースドレイン電圧が異なり、このソースドレイン間電圧により、単位トランジスタ 6 3 4 にキルクによる出力電流のバラツキが発生する。

図 1 1 8 はこの現象をグラフ化したものである。縦軸はゲート端子に所定の電圧を印加した時の単位トランジスタ 6 3 4 の出力電流である。横軸は、ソース (S) - ドレイン (D) 間電圧である。 L/W の L は単位トランジスタ 6 3 4 のチャンネル長、 W は単位トランジスタのチャンネル幅である。また、 L 、 W は 1 階調分の電流を出力する単位トランジスタ 6 3 4 のサイズである。したがって、1 階調分の電流と複数のサブ単位トランジスタで出力する場合は、同等の単位トランジスタ 6 3 4 に置き換えて W 、 L を算出する必要がある。基本的にトランジスタサイズと出力電流を考慮して算出する。

L/Wが5/3のときは、ソースドレイン電圧が高くなっても、出力電流はほとんど変化しない。しかし、L/Wが1/1のときは、ソースドレイン電圧にほぼ比例して、出力電流が増加する。したがって、L/Wは大きいほどよい。

図172は単位トランジスタL/Wと目標値からのずれ（ばらつき）のグラフである。単位トランジスタのL/W比が2以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、L/Wが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタL/Wが2以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はL/W=2以上で、0.5%以下となる。したがって、トランジスタの精度としてソースドライバ回路14に採用できる。

以上のことから、単位トランジスタL/Wは2以上にすることが好ましい。しかし、L/Wが大きいということはLが長くなることを意味しているからトランジスタサイズが大きくなる。したがって、L/Wは40以下にすることが好ましい。

また、L/Wの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キックの影響により単位トランジスタ634の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キックの影響により単位トランジスタ634の出力電流が少しでもばらつくと階調数が低減する。

以上のことを勘案し、本発明のドライバ回路14は、階調数をKとし、単位トランジスタ634のL/W（Lは単位トランジスタ634のチャンネル長、Wは単位トランジスタのチャンネル幅）とした時、

$$(\sqrt{(K/16)}) \leq L/W \leq \sqrt{(K/16)}$$

× 2 0

の関係を満足させるように構成（形成）している。この関係を図示すると図 1 1 9 のようになる。図 1 1 9 の直線の上側が本発明の実施範囲である。

図 6 3 に図示する第 3 段のカレントミラー部である。したがって、第 1 の電流源 6 3 1 と第 2 段の電流源 6 3 2 が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第 2 段の電流源 6 3 2 と第 3 段の電流源を構成するカレントミラー回路のトランジスタ 6 3 3 a も密集（密接あるいは隣接）して配置される。

単位トランジスタ 6 3 4 の出力電流のバラツキはソースドライバ I C 1 4 の耐圧にも依存している。ソースドライバ I C の耐圧とは一般的に I C の電源電圧を意味する。たとえば、5（V）耐圧とは、電源電圧を標準電圧 5（V）で使用する。なお、I C 耐圧とは最大使用電圧と読み替えてもよい。これらの耐圧は、半導体 I C メーカーが 5（V）耐圧プロセス、10（V）耐圧プロセスと標準化して保有している。

I C 耐圧が単位トランジスタ 6 3 4 の出力バラツキに影響を与えるのは、単位トランジスタ 6 3 4 のゲート絶縁膜の膜質、膜厚によると考えられる。I C 耐圧が高いプロセスで製造したトランジスタ 6 3 4 はゲート絶縁膜が厚い。これば高電圧の印加でも絶縁破壊を発生しないようにするためである。絶縁膜が厚いと、ゲート絶縁膜厚の制御が困難になり、またゲート絶縁膜の膜質バラツキも大きくなる。そのため、トランジスタのバラツキが大きくなる。また、高耐圧プロセスで製造したトランジスタはモビリティが低くなる。モビリティが低いと、トランジスタのゲートに注入される電子が少し変化するだけで特性が異なる。したがって、トランジスタのバラツキが大きくなる。したがって、単位トランジスタ 6 3 4 のバラツキを少なくするためには、I C 耐圧が低い I C プロセス

を採用することが好ましい。

図170はIC耐圧を単位トランジスタの出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、1.8(V)耐圧プロセスで作製して単位トランジスタ634のバラツキを1としている。なお、図170は単位トランジスタ634の形状 L/W を $12(\mu m)/6(\mu m)$ とし、各耐圧プロセスで製造した単位トランジスタ634の出力バラツキを示している。また、各IC耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、1.8(V)耐圧、2.5(V)耐圧、3.3(V)耐圧、5(V)耐圧、8(V)耐圧、10(V)耐圧、15(V)耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

図170でもわかるが、IC耐圧が9(V)程度までは、ICプロセスに対するバラツキ比率（単位トランジスタ634の出力電流バラツキ）の増加割合は小さい。しかし、IC耐圧が10(V)以上になるとIC耐圧に対するバラツキ比率の傾きが大きくなる。

図170におけるバラツキ比率は3以内が、64階調から256階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ634の面積、 L/W により異なる。しかし、単位トランジスタ634の形状などを変化させても、IC耐圧に対するバラツキ比率の変化傾向はほとんど差がない。IC耐圧9～10(V)以上でバラツキ比率が大きくなる傾向がある。

一方、図64の出力端子64の電位は、画素16の駆動用トランジスタ11aのプログラム電流により変化する。画素16の駆動用トランジスタ11aが白ラスター（最大白表示）の電流を流す時のゲート端子電位 V_w とする。画素16の駆動用トランジスタ11aが黒ラスター（完

全黒表示)の電流を流す時のゲート端子電位 V_b とする。 $V_w - V_b$ の絶対値は2 (V) 以上必要である。また、 V_w 電圧が端子761に印加されている時、単位トランジスタ634のチャンネル間電圧は、0.5 (V) 必要である。

したがって、端子761(端子761はソース信号線18と接続され、電流プログラム時、画素16の駆動用トランジスタ11aのゲート端子電圧が印加される)には、0.5 (V) から $(V_w - V_b) + 0.5$ (V) の電圧が印加される。 $V_w - V_b$ は2 (V) であるから、端子761は最大 $2 (V) + 0.5 (V) = 2.5 (V)$ 印加される。したがって、ソースドライバIC14の出力電圧(電流)がrail-to-rail出力であっても、IC耐圧としては2.5 (V) 必要である。端子741の振幅必要範囲は、2.5 (V) 以上必要である。

以上のことから、ソースドライバIC14の耐圧は、2.5 (V) 以上10 (V) 以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバIC14の耐圧は、3 (V) 以上9 (V) 以下のプロセスを使用することが好ましい。

なお、以上の説明は、ソースドライバIC12の使用耐圧プロセスは、2.5 (V) 以上10 (V) 以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板71に直接にソースドライバ回路14が形成された実施例(低温ポリシリコンプロセスなど)にも適用される。アレイ基板71に形成されたソースドライバ回路14の使用耐圧は15 (V) 以上と高い場合がある。この場合は、ソースドライバ回路14に使用する電源電圧を図170に図示するIC耐圧に置き換えてもよい。また、ソースドライバIC14にあっても、IC耐圧とせず、使用する電源電圧に置き換えても良い。

単位トランジスタ634の面積は出力電流のバラツキと相関がある。

図 1 7 1 は単位トランジスタ 6 3 4 の面積を一定とし、単位トランジスタ 6 3 4 のトランジスタ幅 W を変化させた時のグラフである。図 1 7 0 は単位トランジスタ 6 3 4 のチャンネル幅 $W = 2$ (μm) のバラツキを 1 としている。

図 1 7 1 で示すようにバラツキ比率は、単位トランジスタの W が 2 (μm) から 9 ~ 1 0 (μm) まで緩やかに増加し、1 0 (μm) 以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅 $W = 2$ (μm) 以下でバラツキ比率が増加する傾向がある。

図 1 7 1 におけるバラツキ比率は 3 以内が、6 4 階調から 2 5 6 階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ 6 3 4 の面積により異なる。しかし、単位トランジスタ 6 3 4 の面積を変化させても、I C 耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

以上のことから、単位トランジスタ 6 3 4 のチャンネル幅 W は 2 (μm) 以上 1 0 (μm) 以下とすることが好ましい。さらに好ましくは、単位トランジスタ 6 3 4 のチャンネル幅 W は 2 (μm) 以上 9 (μm) 以下とすることが好ましい。

図 6 8 に図示するように、第 2 段のカレントミラー回路 6 3 2 b を流れる電流は、第 3 段のカレントミラー回路を構成するトランジスタ 6 3 3 a にコピーされ、カレントミラー倍率が 1 倍の時は、この電流がトランジスタ 6 3 3 b に流れる。この電流は、最終段の単位トランジスタ 6 3 4 にコピーされる。

D 0 に対応する部分は、1 個の単位トランジスタ 6 3 4 で構成されているので、最終段電流源の単位トランジスタ 6 3 3 に流れる電流値である。D 1 に対応する部分は 2 個の単位トランジスタ 6 3 4 で構成されているので、最終段電流源の 2 倍の電流値である。D 2 は 4 個の単位トラン

ンジスタ 6 3 4 で構成されているので、最終段電流源の 4 倍の電流値であり、・・・、D 5 に対応する部分は 3 2 個のトランジスタで構成されているので、最終段電流源の 3 2 倍の電流値である。したがって、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 で制御されるスイッチを介してプログラム電流 I_w はソース信号線に出力される（電流を引き込む）。したがって、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 の ON、OFF に応じて、出力線には、最終段電流源 6 3 3 の 1 倍、2 倍、4 倍、・・・、3 2 倍の電流が加算されて出力される。すなわち、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 により、最終段電流源 6 3 3 の 0 ～ 6 3 倍の電流値が出力線より出力される（ソース信号線 1 8 から電流を引き込む）。

実際には、図 1 4 6 に図示するように、ソースドライバ IC 1 4 内には、R、G、B ごとに基準電流（ I_{aR} 、 I_{aG} 、 I_{aB} ）は可変抵抗 6 5 1（6 5 1 R、6 5 1 G、6 5 1 B）で調整できるように構成されている。基準電流 I_a を調整することにより、ホワイトバランスと容易に調整することができる。

以上のように、最終段電流源 6 3 3 の整数倍の構成により、従来の W/L の比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

ただし、この構成は、画素 1 6 を構成する駆動用トランジスタ 1 1 a が P チャンネルで構成され、かつ、ソースドライバ IC 1 4 を構成する電流源（1 単位トランジスタ）6 3 4 が N チャンネルトランジスタで構成されている場合である。他の場合（例えば、画素 1 6 の駆動用トランジスタ 1 1 a が N チャンネルトランジスタで構成されている場合など）は、プログラム電流 I_w は吐き出し電流となる構成も実施できることはいうまでもない。

ここで、基準電流の発生回路について詳細に説明しておく。本発明のソースドライバ回路（IC）14の電流出力方式（液晶表示パネルのソースドライバは電圧出力方式（信号は電圧のステップ）である）では、基準電流を元にし、この基準電流に比例した単位電流を複数組み合わせ、プログラム電流 I_w を出力するものである。

図144はその実施例である。図67、図68、図76などでは、可変抵抗651で基準電流を作成している。図144は、図68の可変抵抗651をトランジスタ631aで置き換え、このトランジスタ631aとカレントミラー回路を形成するトランジスタ1444に流れる電流をオペアンプ722など用いて制御するものである。トランジスタ1444とトランジスタ631aとはカレントミラー回路を形成する。カレントミラー倍率が1であれば、トランジスタ1443を流れる電流が基準電流となる。

オペアンプ722の出力電圧はNチャンネルトランジスタ1443に入力され、トランジスタ1443に流れる電流が外付け抵抗691に流れる。なお、抵抗691aは固定チップ抵抗である。基本的には、抵抗691aのみでよい。抵抗691bはポジスタあるいはサーミスタなどの温度に対して抵抗値が変化する抵抗素子である。この抵抗691aはEL素子15の温特を補償するために用いる。抵抗691aは、EL素子15の温特にあわせて（補償するために）、抵抗691bと並列あるいは直列に挿入あるいは配置する。なお、以後は説明を容易にするため、抵抗691aと抵抗691bは1つの抵抗691とみなして説明を行う。

抵抗691は1%以上の精度のものが容易に入手できる。抵抗691はソースドライバIC14内に拡散抵抗技術による抵抗あるいはポリシリパターンによる抵抗を形成し、内蔵させてもよい。チップ抵抗691は入力端子761aに取り付ける。特にEL表示パネルでは、RGBご

とにEL素子15の温特が異なる。したがって、RGBごとの3つの外付け抵抗691が必要となる。

抵抗691の端子電圧はオペアンプ722の－入力となり、この－端子の電圧とオペアンプ722の＋端子とは同一電圧となる。したがって、オペアンプ722の＋入力電圧がV1とすれば、この電圧と抵抗691で割ったものがトランジスタ1444に流れる電流となる。この電流が基準電流となる。

今、抵抗691の抵抗値が100K Ω とし、オペアンプ722の＋端子の入力電圧がV1=1(V)であれば、抵抗691には1(V)/100K Ω =10(μ A)の基準電流が流れる。基準電流の大きさは、2 μ A以上30 μ A以下に設定することが好ましい。さらに好ましくは、5 μ A以上20 μ A以下に設定することが好ましい。親トランジスタ63に流す基準電流が小さいと、単位電流源634の精度が悪くなる。基準電流が大きすぎると、IC内部で変換するカレントミラー倍率（この場合は低減方向）が大きくなり、カレントミラー回路でのバラツキが大きくなり、先と同様に単位電流源634の精度が悪くなる。

以上の構成によれば、オペアンプ722の＋入力端子の精度が良好かつ抵抗691の精度が良好であれば、極めて精度のよい基準電流（大きさ、バラツキ精度）を形成できる。抵抗691をソースドライバ回路(IC)14内に内蔵する場合は、内蔵した抵抗をトリミングすることにより高精度に形成するとよい。

オペアンプ722の＋端子には、基準電圧回路1441からの基準電圧V_{ref}を印加する。基準電圧を出力する基準電圧回路1441のICはマキシム社などから多数の品種が販売されている。また、基準電圧V_{ref}はソースドライバ回路14内に形成することもできる（基準電圧V_{ref}の内蔵）。基準電圧V_{ref}の範囲は2(V)以上アノード電

圧 V_{dd} (V) 以下とすることが好ましい。

基準電圧は接続端子 761a から入力する。基本的には、この V_{ref} 電圧をオペアンプ 722 の + 端子に入力すればよい。接続端子 761a を + 端子間に電子ボリウム回路 561 が配置されているのは、EL 素子 15 は RGB で発光効率が異なるためである。つまり、RGB の各 EL 素子 15 に流す電流と調整し、ホワイトバランスを取るためである。もちろん、抵抗 691 の値で調整できる場合は、電子ボリウム回路 561 での調整は必要でない。たとえば、抵抗 691 を可変ボリウムで構成する例が例示される。

電子ボリウム回路 561 の活用としての 1 つは、EL 素子 15 が RGB で劣化速度が異なることによる再度のホワイトバランス調整である。EL 素子 15 は特に、B が劣化しやすい。そのため、EL 表示パネルを使用していると長年の間に B の EL 素子 15 が暗くなり、画面がイエロー色になる。この場合に B 用の電子ボリウム回路 561 を調整してホワイトバランスを実施する。もちろん、電子ボリウム回路 561 を温度センサ 781 (図 78 およびその説明を参照のこと) と連動させて、EL 素子の輝度補償あるいはホワイトバランス補償を実施してもよい。

電子ボリウム回路 561 は IC (回路) 14 内に内蔵させる。もしくは、低温ポリシリコン技術を用いてアレイ基板 71 に直接に形成する。ポリシリコンをパターニングすることにより単位抵抗 (R_1 、 R_2 、 R_3 、 R_4 、 \dots 、 R_n) を複数個形成し、直列に接続する。また、各単位抵抗間にアナログスイッチ (S_1 、 S_2 、 S_2 、 \dots 、 S_{n+1}) を配置し、基準電圧 V_{ref} を分圧して電圧を出力する。

図 148 などにおいて、トランジスタ 1443 はバイポーラトランジスタとして図示しているが、これに限定するものではない。FET、MOS トランジスタでもよい。トランジスタ 1443 は IC 内 14 に内蔵

させる必要はなく、IC外部に配置してもよいことは言うまでもない。また、ゲートドライバ回路12内に電源などの発生回路を内蔵させ、また、トランジスタ144.3も内蔵させてもよい。

EL表示パネルで、フルカラー表示を実現するためには、RGBのそれぞれに基準電流を形成（作成）する必要がある。RGBの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、また、本発明は、1つの基準電流から単位電流源634が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位電流源634が流す電流を決定することができる。そのため、R、G、Bのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路14が電流きざみ出力（電流駆動）であることから発揮される効果である。したがって、いかに、RGBごとに基準電流の大きさを設定できるかがポイントとなる。

EL素子の発光効率、EL材料の蒸着あるいは塗布する膜厚で決定される。もしくは、支配的な要因である。膜厚は、ロットごとにほぼ一定である。したがって、EL素子15の形成膜厚をロット管理すれば、EL素子15に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。

たとえば、RのEL素子15に流す電流を I_r (A)、GのEL素子15に流す電流を I_g (A)、BのEL素子15に流す電流を I_b (A)とすれば、ロットごとにホワイトバランスがとれる基準電流の割合がわかる。したがって、一例として、 $I_r : I_g : I_b = 1 : 2 : 4$ の時に、ホワイトバランスが取れることがわかる。ホワイトバランスを設定すると本発明のduty駆動などでは、全階調でホワイトバランスがとれる。この事項は本発明の駆動方法と本発明のソースドライバ回路との相乗効果が発揮される事項である。

図 1 4 8 の構成においては、ロットごとに R、G、B の基準電流を発生させる回路の抵抗 6 9 1 の値を変更することによりホワイトバランスをとることができる。しかし、ロットごとに抵抗 6 9 1 を変更するという作業が発生する。

図 1 4 8 では、ソースドライバ回路 (IC) 1 4 外部から電子ボリウム回路 5 6 1 を制御し、電子ボリウム回路 5 6 1 のスイッチ S_x を切り替えて基準電流 I_a の値を変更する。図 1 4 9 では、電子ボリウム回路 5 6 1 の設定値をフラッシュメモリ 1 4 9 1 に記憶できるように構成している。フラッシュメモリ 1 4 9 1 の値は、各 RGB の電子ボリウム回路 5 6 1 で独自に設定できるように構成されている。フラッシュメモリ 1 4 9 1 の値は、たとえば EL 表示パネルのロットごとに設定され、ソースドライバ IC 1 4 の電源投入時に読み出されて、電子ボリウム回路 5 6 1 のスイッチ S_x を設定する。

図 1 5 0 は図 1 4 9 の電子ボリウム回路 5 6 1 を抵抗アレイ回路 1 5 0 1 にした構成図である。なお、図 1 5 0 において、 R_r は外づけ抵抗である。もちろん、 R_r はソースドライバ回路 (IC) 1 4 内に内蔵させてもよい。抵抗アレイ 1 5 0 3 はソースドライバ回路 (IC) 1 4 内に内蔵させる。抵抗アレイを構成する抵抗 ($R_1 \sim R_n$) は直列に接続されており、各抵抗 ($R_1 \sim R_n$) 間はショート配線で結線されている。この結線を、図 1 5 0 で示す a 点 b 点などを切断することにより、抵抗アレイ 1 5 0 3 を流れる電流 I_r が変化する。電流 I_r の変化によりオペアンプ 7 2 2 の + 端子に印加される電圧が変化するから、基準電流 I_a が変化する。切断する点は、抵抗 R_r を流れる電流をモニターし、目標の基準電流となる点を決定して行う。

抵抗アレイ 1 5 0 3 のトリミングは、レーザー装置 1 5 0 1 を用いて、レーザー光 1 5 0 2 を照射することにより行うとよい。

なお、図148ではRGBで抵抗691の値を変更することにより、各RGBの基準電流を変更するとした。また、図149では、フラッシュメモリ1491により、電子ボリウム回路561のスイッチ S_x を設定することにより、各RGBの基準電流を変更するとした。また、図150では、抵抗アレイ1503の抵抗値をトリミングにより変更することにより、各RGBの基準電流を変更するとした。しかし、本発明はこれに限定するものではない。

たとえば、図149、図150において、各RGBの基準電圧 (V_{refR} 、 V_{refG} 、 V_{refB}) の電圧値を変更することによっても、基準電流を調整することができることは言うまでもない。各RGBの基準電圧 V_{ref} はオペアンプ回路などにより容易に発生させることができる。また、図148、図149、図150などにおいて、抵抗 R_r をボリウムとすることにより、結果的にソースドライバ回路 (IC) 14に印加される基準電圧を変更することができる。

最終段電流源633の0～63倍の電流が出力されるとしたが、これは最終段電流源633のカレントミラー倍率が1倍の時である。カレントミラー倍率が2倍の時は、最終段電流源633の0～126倍の電流が出力され、カレントミラー倍率が0.5倍の時は、最終段電流源633の0～31.5倍の電流が出力される。

以上のように、本発明は最終段電流源633あるいは、それより前段の電流源 (631、632など) のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、Bごとにカレントミラー倍率を変更する (異ならせる) ことも好ましい。たとえば、Rのみ、いずれかの電流源のカレントミラー倍率を他の色に対して (他の色に対応する電流源回路に対して)、変化 (異ならせる) させてもよい。特に、EL表示パネルは、各色 (R、G、Bある

いはシアン、イエロー、マゼンダ) ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

電流源のカレントミラー倍率を他の色に対して(他の色に対応する電流源回路に対して)、変化(異ならせる)させるという事項は、固定的なものに限定されない。可変することも含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。

特に、本発明は、多数段に電流源(カレントミラー回路)を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部(カレントミラー回路など)により容易に多数の出力の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部(カレントミラー回路など)により容易に多数の出力の出力電流を変化できることはいうまでもない。

なお、カレントミラー倍率を変化という概念は、電流倍率を変化(調整)するということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

図65に、3段式カレントミラー回路による176出力($N \times M = 176$)の回路図の一例を示す。図65では、第1段カレントミラー回路による電流源631を親電流源、第2段カレントミラー回路による電流

源 6 3 2 を子電流源、第 3 段カレントミラー回路による電流源 6 3 3 を孫電流源と記している。最終段カレントミラー回路である第 3 段カレントミラー回路による電流源の整数倍の構成により、1 7 6 出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源 5 3 1、6 3 2、6 3 3 を密集して配置するという構成を忘れてはならない。

なお、密集して配置するとは、第 1 の電流源 6 3 1 と第 2 の電流源 6 3 2 とを少なくとも 8 mm 以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5 mm 以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差がほとんど発生しないからである。また、同様に、第 2 の電流源 6 3 2 と第 3 の電流源 6 3 3（電流の出力側と電流の入力側）も少なくとも 8 mm 以内の距離に配置する。さらに好ましくは、5 mm 以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図 6 6 の電圧受け渡しの場合は、第（I）段の電流源のトランジスタ 6 3 1（出力側）と第（I + 1）の電流源のトランジスタ 6 3 2 a（入力側）とを密集して配置する関係である。図 6 7 の電流受け渡しの場合は、第（I）段の電流源のトランジスタ 6 3 1 a（出力側）と第（I + 1）の電流源のトランジスタ 6 3 2 b（入力側）とを密集して配置する関係である。

なお、図 6 5、図 6 6 などにおいて、トランジスタ 6 3 1 は 1 個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ 6 3 1 を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を可変抵抗 6 5 1 と接続して単位トランジスタを構成し

てもよい。小さなサブトランジスタを複数個並列に接続することにより、単位トランジスタのばらつきを低減することができる。

同様に、トランジスタ 6 3 2 a は 1 個としたが、これに限定するものではない。たとえば、小さなトランジスタ 6 3 2 a を複数個形成し、このトランジスタ 6 3 2 a の複数個のゲート端子を、トランジスタ 6 3 1 のゲート端子と接続してもよい。小さなトランジスタ 6 3 2 a を複数個並列に接続することにより、トランジスタ 6 3 2 a のばらつきを低減することができる。

したがって、本発明の構成としては、1 つのトランジスタ 6 3 1 と複数個のトランジスタ 6 3 2 a とを接続する構成、複数個のトランジスタ 6 3 1 と 1 個のトランジスタ 6 3 2 a とを接続する構成、複数個のトランジスタ 6 3 1 と複数個のトランジスタ 6 3 2 a とを接続する構成が例示される。以上の実施例は後に詳細に説明する。

以上の事項は、図 6 8 のトランジスタ 6 3 3 a とトランジスタ 6 3 3 b との構成にも適用される。1 つのトランジスタ 6 3 3 a と複数個のトランジスタ 6 3 3 b a とを接続する構成、複数個のトランジスタ 6 3 3 a と 1 個のトランジスタ 6 3 3 b とを接続する構成、複数個のトランジスタ 6 3 3 a と複数個のトランジスタ 6 3 3 b とを接続する構成が例示される。小さなトランジスタ 6 3 3 を複数個並列に接続することにより、トランジスタ 6 3 3 のばらつきを低減することができるからである。

以上の事項は、図 6 8 のトランジスタ 6 3 2 a 、 6 3 2 b との関係にも適用することができる。また、図 6 4 のトランジスタ 6 3 3 b も複数個のトランジスタで構成することが好ましい。図 7 3 、図 7 4 のトランジスタ 6 3 3 についても同様に複数個のトランジスタで構成することが好ましい。

ここで、シリコンチップとしたが、これは、半導体チップの意味であ

る。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。したがって、ソースドライバ I C 1 4 はいずれの半導体基板で作製してもよい。また、単位トランジスタ 6 3 4 は、バイポーラトランジスタ、CMOS トランジスタ、バイ CMOS トランジスタ、DMOS トランジスタのいずれでもよい。しかし、単位トランジスタ 6 3 4 の出力バラツキを小さくする観点から、単位トランジスタ 6 3 4 は CMOS トランジスタで構成することが好ましい。

単位トランジスタ 6 3 4 は N チャンネルで構成することが好ましい。P チャンネルトランジスタで構成した単位トランジスタは、N チャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが 1.5 倍になる。

ソースドライバ I C 1 4 の単位トランジスタ 6 3 4 は、N チャンネルトランジスタで構成することが好ましいことから、ソースドライバ I C 1 4 のプログラム電流は、画素 1 6 からソースドライバ I C への引き込み電流となる。したがって、画素 1 6 の駆動用トランジスタ 1 1 a は P チャンネルで構成される。また、図 1 のスイッチング用トランジスタ 1 1 d も P チャンネルトランジスタで構成される。

以上のことから、ソースドライバ I C (回路) 1 4 の出力段の単位トランジスタ 6 3 4 を N チャンネルトランジスタで構成し、画素 1 6 の駆動用トランジスタ 1 1 a を P チャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素 1 6 を構成するトランジスタ 1 1 のすべてを図 1 に図示することにより画素 1 6 を作製するプロセスマスクを低減することができるからより好ましい構成である。

画素 1 6 を構成するトランジスタ 1 1 を P チャンネルで構成すると、プログラム電流は画素 1 6 からソース信号線 1 8 に流れ出す方向になる。

そのため、ソースドライバ回路の単位トランジスタ 6 3 4（図 7 3、図 7 4、図 1 2 6、図 1 2 9などを参照のこと）は、Nチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路 1 4はプログラム電流 I_w を引き込むように回路構成する必要がある。

したがって、画素 1 6の駆動用トランジスタ 1 1 a（図 1の場合）がPチャンネルトランジスタの場合は、必ず、ソースドライバ回路 1 4はプログラム電流 I_w を引き込むように、単位トランジスタ 6 3 4をNチャンネルトランジスタで構成する。ソースドライバ回路 1 4をアレ基板 7 1に形成するには、Nチャンネル用マスク（プロセス）とPチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素 1 6とゲートドライバ 1 2をPチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはNチャンネルで構成するのが本発明の表示パネル（表示装置）である。

したがって、画素 1 6のトランジスタ 1 1をPチャンネルトランジスタで形成し、ゲートドライバ回路 1 2をPチャンネルトランジスタで形成する。このように画素 1 6のトランジスタ 1 1とゲートドライバ回路 1 2の両方をPチャンネルトランジスタで形成することにより基板 7 1を低コスト化できる。しかし、ソースドライバ 1 4は、単位トランジスタ 6 3 4をNチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路 1 4は基板 7 1に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路 1 4を作製し、基板 7 1に積載する。つまり、本発明は、ソースドライバ IC 1 4（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

なお、ソースドライバ回路 1 4はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などで

ガラス基板に多数個を同時に形成し、チップ状に切断して、基板 7 1 に積載してもよい。なお、基板 7 1 にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路 1 4 の出力端子 6 8 1 を基板 7 1 のソース信号線 1 8 に接続するのであればいずれの形態でもよい。たとえば、TAB 技術でソースドライバ回路 1 4 をソース信号線 1 8 に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路 1 4 を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、FED（フィールドエミッションディスプレイ）にも適用することができる。

画素 1 6 のスイッチング用トランジスタ 1 1 b、1 1 c が P チャンネルトランジスタで形成されていると、 V_{gh} で画素 1 6 が選択状態となる。 V_{g1} で画素 1 6 が非選択状態となる。以前にも説明したが、ゲート信号線 1 7 a がオン（ V_{g1} ）からオフ（ V_{gh} ）になる時に電圧が突き抜ける（突き抜け電圧）。画素 1 6 の駆動用トランジスタ 1 1 a が P チャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ 1 1 a がより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

本発明では、ゲートドライバ回路 1 2 を P チャンネルトランジスタで構成することにより、オン電圧は V_{gh} となる。したがって、P チャンネルトランジスタで形成された画素 1 6 とマッチングがよい。また、黒

表示を良好にする効果を発揮させるためには、図 1、図 2、図 3 2、図 1 4 0、図 1 4 2、図 1 4 4、図 1 4 5 の画素 1 6 の構成のように、アノード電圧 V_{dd} から駆動用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路 1 4 の単位トランジスタ 6 3 4 にプログラム電流 I_w が流入するように構成することが重要である。したがって、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路 1 4 を基板に積載し、かつソースドライバ回路 1 4 の単位トランジスタ 6 3 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、N チャンネルで形成した単位トランジスタ 6 3 4 は P チャンネルで形成した単位トランジスタ 6 3 4 に比較して出力電流のバラツキが小さい。同一面積 ($W \cdot L$) のトランジスタ 6 3 4 で比較した場合、N チャンネルの単位トランジスタ 6 3 4 は P チャンネルの単位トランジスタ 6 3 4 に比較して、出力電流のばらつきは、 $1/1.5$ から $1/2$ になる。この理由からもソースドライバ IC 1 4 の単位トランジスタ 6 3 4 は N チャンネルで形成することが好ましい。

なお、図 4 2 の (b) においても同様である。図 4 2 の (b) は駆動用トランジスタ 1 1 b を介してソースドライバ回路 1 4 の単位トランジスタ 6 3 4 に電流が流入するのではない。しかし、アノード電圧 V_{dd} からプログラム用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路 1 4 の単位トランジスタ 6 3 4 にプログラム電流 I_w が流入するように構成である。したがって、図 1 と同様に、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路 1 4 を基板に積載し、かつソースドライバ回路 1 4 の単位トランジスタ 6 3 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

なお、本発明では、画素 16 の駆動用トランジスタ 11a を P チャンネルで構成し、スイッチングトランジスタ 11b、11c を P チャンネルで構成する。また、ソースドライバ IC 14 の出力段の単位トランジスタ 634 を N チャンネルで構成するとした。また、好ましくは、ゲートドライバ回路 12 は P チャンネルトランジスタで構成するとした。

前述の逆の構成でも効果を発揮することは言うまでもない。画素 16 の駆動用トランジスタ 11a を N チャンネルで構成し、スイッチングトランジスタ 11b、11c を N チャンネルで構成する。また、ソースドライバ IC 14 の出力段の単位トランジスタ 634 を P チャンネルとする構成である。なお、好ましくは、ゲートドライバ回路 12 は N チャンネルトランジスタで構成する。この構成も本発明の構成である。

以上の事項では、単位トランジスタ 634 は 1 個の単体トランジスタ 634 で構成される IC に限定されるものではない。電流出力段回路が、複数のトランジスタで構成されるもの、カレントミラーで構成されるものなど他の構成で構成されるソースドライバ IC 14 にも適用される。

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜 (CGS)、もしくはアモルファスシリコン技術を用いてソースドライバ回路 14 にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線 18 からの出力バラツキがあっても視覚的に認識されにくい。

したがって、以上のガラス基板などに画素トランジスタと同時にソースドライバ回路 14 を形成する表示パネルでは、密集して配置するとは、第 1 の電流源 631 と第 2 の電流源 632 とを少なくとも 30 mm 以内の距離に配置 (電流の出力側と電流の入力側) することをいう。さらには、20 mm 以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性 (V_t 、モビリティ

(μ)) 差がほとんど発生しないからである。また、同様に、第 2 の電流源 6 3 2 と第 3 の電流源 6 3 3 (電流の出力側と電流の入力側) も少なくとも 3 0 m m 以内の距離に配置する。さらに好ましくは、2 0 m m 以内の位置に配置することが好ましい。

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより。よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路 (I C) 1 4 を実現することができる。

図 6 7 は電流受け渡し構成の実施例である。なお、図 6 6 は電圧受け渡し構成の実施例である。 図 6 6 、図 6 7 とともに回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図 6 6 において、6 3 1 は第 1 段電流源用 N チャンネルトランジスタ、6 3 2 a は第 2 段電流源用 N チャンネルトランジスタ、6 3 2 b は第 2 段電流源用 P チャンネルトランジスタである。

図 6 7 において、6 3 1 a は第 1 段電流源用 N チャンネルトランジスタ、6 3 2 a は第 2 段電流源用 N チャンネルトランジスタ、6 3 2 b は第 2 段電流源用 P チャンネルトランジスタである。

図 6 6 では、可変抵抗 6 5 1 (電流を変化するために用いるものである) と N チャンネルトランジスタ 6 3 1 で構成される第 1 段電流源のゲート電圧が、第 2 段電流源の N チャンネルトランジスタ 6 3 2 a のゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、図 6 7 では、可変抵抗 6 5 1 と N チャンネルトランジスタ 6 3 1 a で構成される第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N チャンネルトランジスタ 6 3 2 a のゲートに印加され、その結果ト

ランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ６３２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

図６６に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ６３１と第２段の電流源のＮチャンネルトランジスタ６３２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。

それに対して、図６７に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ６３１ａと第２段電流源のＮチャンネルトランジスタ６３２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第1段電流源から第2段電流源の場合を示したが、第2段電流源から第3段電流源、第3段電流源から第4段電流源、・・・の場合も同様であることは言うまでもない。

図68は、図65の3段構成のカレントミラー回路（3段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図65は電圧受け渡し方式の回路構成である）。

図68では、まず、可変抵抗651とNチャンネルトランジスタ631で基準電流が作成される。なお、可変抵抗651で基準電流を調整するように説明しているが、実際は、ソースドライバIC（回路）14内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ631のソース電圧が設定され、調整されるように構成される。もしくは、図64に図示するような多数の電流源（1単位）634から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ631のソース端子に供給することにより基準電流は調整される（図69を参照のこと）。

トランジスタ631による第1段電流源のゲート電圧が、隣接する第2段電流源のNチャンネルトランジスタ632aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPチャンネルトランジスタ632bに受け渡される。また、第2の電流源のトランジスタ632bによるゲート電圧が、隣接する第3段電流源のNチャンネルトランジスタ633aのゲートに印加され、その結果トランジスタに流れる電流値が、第3段電流源のNチャンネルトランジスタ633bに受け渡される。第3段電流源のNチャンネルトランジスタ633bのゲートには図64に図示する多数の電流源634が必要なビット数に応じて形成（配置）される。

図69では、前記多段式カレントミラー回路の第1段電流源631に、

電流値調整用素子が具備されていることを特徴としている。この構成により、第1段電流源631の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

トランジスタの V_t バラツキ（特性バラツキ）は、1ウエハ内で100（mV）程度のばらつきがある。しかし、100 μ 以内に近接して形成されたトランジスタの V_t バラツキは、少なくとも、10（mV）以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバICの各端子の出力電流バラツキを少なくすることができる。

なお、トランジスタのバラツキは V_t であるとして説明をするが、トランジスタのバラツキは V_t だけではない。しかし、 V_t バラツキがトランジスタの特性バラツキの主要因であるから、理解を容易にするため、 V_t バラツキ＝トランジスタバラツキとして説明をする。

図110はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキとの測定結果を示している。出力電流バラツキとは、 V_t 電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（10－200個）のトランジスタ出力電流バラツキである。図110のA領域（形成面積0.5平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にC領域（形成面積2.4平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積0.5平方ミリメートル以上2.4平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

本発明は、入力デジタルデータ（D）により、単位トランジスタ634に流れる電流数を切り替えることによりソース信号線18に流れる電流量を変化（制御）する。階調数が64階調以上であれば、 $1/64 = 0.015$ であるから、理論的には、1～2%以内の出力電流バラツキ以内にすることが必要である。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

出力電流バラツキ（%）を1%以内にするためには、図110の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方ミリメートル以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの V_t バラツキ）を0.5%以内にするのが好ましい。図110の結果に示すようにトランジスタ群681の形成面積を1.2平方ミリメートル以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方ミリメートルでは、 $1\text{ mm} \times 1.2\text{ mm}$ である。

なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681（図68では、トランジスタ群681aと681bの2つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（3つ以上ある場合は、

1つ以上のトランジスタ群681) この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681(681aが上位で、681bが下位の関係)に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

本発明のソースドライバ回路(IC)14は、図68に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている(もちろん、親、子の2段接続でもよい)。また、各電流源間(トランジスタ群681間)を電流受け渡しにしている。具体的には、図68の点線で囲った範囲(トランジスタ群681)を密配置にする。このトランジスタ群681は電圧受け渡しの関係にある。また、親の電流源631と子の電流源632aとは、ソースドライバIC14チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ632aと、子の電流源を構成するトランジスタ632bとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群681aをICチップの略中央部に配置する。そして、ICチップ14の左右に、下位のトランジスタ群681bを配置する。好ましくは、この下位のトランジスタ群681bの個数がICチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ICチップ14に限定されず、低温あるいは高温ポリシリコン技術でアレイ基板71に直接形成したソースドライバ回路14にも適用される。他の事項も同様である。

本発明では、トランジスタ群681aはICチップ14の略中央部に1つ構成または配置または形成あるいは作製されたおり、チップの左右に8個ずつトランジスタ群681bが形成されている(N=8+8、図63を参照のこと)。子のトランジスタ群681bはチップの左右に等

しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群 6 8 1 b の個数と、チップの右側に形成または配置されたトランジスタ群 6 8 1 b の個数との差が、4 個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群 6 8 1 b の個数と、チップの右側に形成または配置されたトランジスタ群 6 8 1 b の個数との差が、1 個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図 6 8 では省略されているが）についても同様である。

親電流源 6 3 1 と子電流源 6 3 2 a 間は電圧受け渡し（電圧接続）されている。したがって、トランジスタの V_t バラツキの影響を受けやすい。そのため、トランジスタ群 6 8 1 a の部分を密配置する。このトランジスタ群 6 8 1 a の形成面積を、図 1 1 0 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1. 2 平方ミリメートル以内に形成する。もちろん、階調数が 6 4 階調以下の場合は、5 平方ミリメートル以内でもよい。

トランジスタ群 6 8 1 a を子トランジスタ 6 3 2 b 間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群 6 8 1 a の出力端から下位のトランジスタ群 6 8 1 b の入力端までの距離）は、先に説明したように、第 2 の電流源（子）を構成するトランジスタ 6 3 2 a と第 2 の電流源（子）を構成するトランジスタ 6 3 2 b とを、少なくとも 1 0 mm 以内の距離に配置する。このましくは 8 mm 以内に配置または形成する。さらには、5 mm 以内に配置することが好ましい。

この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差が、電流受け渡しではほと

んど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群 6 8 1 a が上位で、その下位にトランジスタ群 6 8 1 b、さらにその下位にトランジスタ群 6 8 1 c があれば、トランジスタ群 6 8 1 b とトランジスタ群 6 8 1 c の電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群 6 8 1 がこの関係を満足させることに、本発明が限定されるものではない。少なくとも 1 組のトランジスタ群 6 8 1 がこの関係を満足するようにすればよい。特に、下位の方が、トランジスタ群 6 8 1 の個数が多くなるからである。

第 3 の電流源（孫）を構成するトランジスタ 6 3 3 a と第 3 の電流源を構成するトランジスタ 6 3 3 b についても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

トランジスタ群 6 8 1 b はチップの左右方向（長手方向、つまり、出力端子 7 6 1 と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群 6 8 1 b はチップの左右方向（長手方向、つまり、出力端子 7 6 1 と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群 6 8 1 b の個数 M は、本発明では 1 1 個（図 6 3 を参照）である。

子電流源 6 3 2 b と孫電流源 6 3 3 a 間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群 6 8 1 a と同様にトランジスタ群 6 8 1 b の部分を密配置する。このトランジスタ群 6 8 1 b の形成面積を、図 1 1 0 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1: 2 平方ミリメートル以内に形成する。ただし、このトランジスタ群 6 8 1 b 部分の V_t が少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図 1 1 0 の A 領域（0. 5 平方ミリメートル以内）に

することが好ましい。

トランジスタ群 6 8 1 b を孫トランジスタ 6 3 3 a とトランジスタ 6 3 3 b 間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第 3 の電流源（孫）を構成するトランジスタ 6 3 3 a と第 2 の電流源（孫）を構成するトランジスタ 6 3 3 b とを、少なくとも 8 mm 以内の距離に配置する。さらには、5 mm 以内に配置することが好ましい。

図 6 9 に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗 6 9 1（電流制限および各基準電圧を作成する。抵抗 6 9 1 はポリシリで形成する）、デコーダ回路 6 9 2、レベルシフタ回路 6 9 3 などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ 6 4 1 はアナログスイッチ回路として機能する。

なお、ソースドライバ IC（回路）1 4 において、トランジスタを電流源と記載する場合がある。トランジスタで構成されたカレントミラー回路などは電流源として機能するからである。

また、電子ボリウム回路は、EL 表示パネルの色数に応じて形成（もしくは配置）する。たとえば、RGB の 3 原色であれば、各色に対応する 3 つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、1 つの色を基準にする（固定する）場合は、色数 - 1 分の電子ボリウム回路を形成（もしくは配置）する。

図 7 6 は、RGB の 3 原色を独立に基準電流を制御する抵抗素子 6 5 1 を形成（配置）した構成である。もちろん、抵抗素子 6 5 1 は電子ボリウムに置き換えてもよいことは言うまでもない。電流源 6 3 1、電流源 6 3 2 などの親電流源、子電流源など基本（根本）となる電流源は図

76に図示する領域に出力電流回路704に密集して配置する。密集して配置することにより、各ソース信号線18からの出力バラツキが低減する。図76に図示するようにICチップ(回路)14の中央部に出力電流回路704(電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、704とは出力回路が形成されていない領域である)に配置することにより、ICチップ(回路)14の左右に電流源631、632などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

ただし、中央部に出力電流回路704に配置することに限定するものではない。ICチップの片端もしくは両端に形成してもよい。また、出力電流回路704と平行に形成または配置してもよい。

ICチップ14の中央部にコントローラあるいは出力電流回路704を形成することは、ICチップ14の単位トランジスタ634の V_t 分布の影響を受けやすいため、あまり好ましいとはいえない(ウェハの V_t はウェハ内で滑らかな分布が発生している)。

この理由を図120で説明をする。ICチップ14の中央部にコントローラあるいは出力電流回路704を形成すると、中央部には単位トランジスタ634からなる出力電流回路を形成または構成することができない。一方で表示パネルの表示画面50はマトリックス状に画素16が形成されている。画素は碁盤目状に等間隔に形成されている。したがって、図120に図示するように、ICチップ14の中央部には、出力電流回路の出力端子761bはない。そのため、パネルの表示画面50の中央部には、EL素子15の中央部以外の出力端子761a、761cから配線を引き回す。

しかし、出力端子761b、761cに接続される出力回路の単位トランジスタの V_t は異なっている可能性がある。各出力端子の単位トラ

ンジスタ 6 3 4 のゲート端子電圧が同一であっても、単位トランジスタ 6 3 4 の V_t 分布により出力電流が異なる。したがって、パネルの中央部で出力電流の段差が発生する可能性がある。出力電流の段差が発生すると、画面の中央部で左右の輝度が異なる。

この課題を解決する構成を図 1 2 2 に図示する。図 1 2 2 の (a) は出力電流回路 7 0 4 を IC チップの片側に構成した例である。図 1 2 2 の (b) は出力電流回路 7 0 4 を IC チップの両側に分割して構成した例である。図 1 2 2 の (c) は出力電流回路 7 0 4 を IC チップの入力端子側に構成した例である。したがって、出力電流回路 7 0 4 以外の領域に出力端子が規則的に形成されている。

図 6 8 の回路構成では、1 つのトランジスタ 6 3 3 a と 1 つのトランジスタ 6 3 3 b とが一对一の完成で接続されている。図 6 7 においても、1 つのトランジスタ 6 3 2 a と 1 つのトランジスタ 6 3 2 b とが一对一の完成で接続されている。図 6 5 などにおいても同様である。

しかし、1 つのトランジスタと 1 つのトランジスタとが一对一の関係で接続されていると、対応するトランジスタの特性 (V_t など) の特性がバラツクとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。

この課題を解決する構成の実施例が図 1 2 3 の構成である。図 1 2 3 の構成は、一例として 4 つのトランジスタ 6 3 3 a からなる伝達トランジスタ群 6 8 1 b (6 8 1 b 1、6 8 1 b 2、6 8 1 b 3) と 4 つのトランジスタ 6 3 3 b からなる伝達トランジスタ群 6 8 1 c (6 8 1 c 1、6 8 1 c 2、6 8 1 c 3) とが接続されている。ただし、伝達トランジスタ群 6 8 1 b、伝達トランジスタ群 6 8 1 c はそれぞれ 4 つのトランジスタ 6 3 3 で構成されたとしたがこれに限定されるものではなく、3 以下でもよく、5 以上でもよいことは言うまでもない。つまり、トラン

ジスタ 6 3 3 a に流れる基準電流 I_b を、トランジスタ 6 3 3 a とカレントミラー回路を構成する複数のトランジスタ 6 3 3 で出力し、この出力電流を複数のトランジスタ 6 3 3 b で受けるものである。複数のトランジスタ 6 3 3 a と複数のトランジスタ 6 3 3 b と略同一サイズで、かつ同一個数に設定することが好ましい。また、1 出力を構成する単位トランジスタ 6 3 4 の個数（図 1 2 4 のように 6 4 階調の場合は 6 3 個）と、単位トランジスタ 6 3 4 とカレントミラーを構成するトランジスタ 6 3 3 b の個数とは略同一サイズ、かつ同一個数にすることが好ましい。以上のように構成すればカレント倍率が精度よく設定でき、また、出力電流のばらつきも少なくなる。

なお、トランジスタ 6 3 3 b に流す電流 I_{c1} に対して、6 3 2 b に流れる電流 I_b は 5 倍以上になるように設定することが好ましい。トランジスタ 6 3 3 a のゲート電位が安定し、出力電流による過渡現象の発生を抑制できるからである。

また、伝達トランジスタ群 6 8 1 b 1 には 4 つのトランジスタ 6 3 3 a が隣接して配置され、伝達トランジスタ群 6 8 1 b 1 に隣接して伝達トランジスタ群 6 8 1 b 2 が配置され、この伝達トランジスタ群 6 8 1 b 2 には 4 つのトランジスタ 6 3 3 a が隣接して配置されというように形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群 6 8 1 b 1 のトランジスタ 6 3 3 a と伝達トランジスタ群 6 8 1 b 2 のトランジスタ 6 3 3 a とが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯（トランジスタ 6 3 3 の配置を伝達トランジスタ群 6 8 1 間で入れ替える）させることにより、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

このように電流受け渡しするトランジスタを複数のトランジスタで構

成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

伝達トランジスタ群 681 を構成するトランジスタ 633 の形成面積の総和が重要な項目である。基本的にトランジスタ 633 の形成面積の総和が大きいほど、出力電流（ソース信号線 18 から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群 681 の形成面積（トランジスタ 633 の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ 633 の形成面積が大きくなればチップ面積が大きくなり、IC チップ 14 の価格が高くなる。

なお、伝達トランジスタ群 681 の形成面積とは、伝達トランジスタ群 681 を構成するトランジスタ 633 の面積の総和である。また、トランジスタ 633 の面積とは、トランジスタ 633 のチャンネル長 L とトランジスタ 633 のチャンネル幅 W をかけた面積をいう。したがって、トランジスタ群 681 が 10 個のトランジスタ 633 で構成され、トランジスタ 633 のチャンネル長 L が $10\ \mu\text{m}$ 、トランジスタ 633 のチャンネル幅 W が $5\ \mu\text{m}$ とすれば、伝達トランジスタ群 681 の形成面積 T_m （平方 μm ）は $10\ \mu\text{m} \times 5\ \mu\text{m} \times 10\text{個} = 500$ （平方 μm ）である。

伝達トランジスタ群 681 の形成面積は単位トランジスタ 634 との関係在所定の間隔を維持するようにする必要がある。また、伝達トランジスタ群 681 a と伝達トランジスタ群 681 b とは所定の間隔を維持するようにする必要がある。

トランジスタ群 681 の形成面積と単位トランジスタ 634 との関係について説明をする。図 66 でも図示しているように、1 つのトランジスタ 633 b に対応して複数の単位トランジスタ 634 が接続されてい

る。64階調の場合は、1つのトランジスタ633bに対応する単位トランジスタ634は63個である（図64の構成の場合）。この単位トランジスタ群の形成面積 T_s （平方 μm ）は、単位トランジスタ633のチャンネル長 L が $10\mu m$ 、トランジスタ633のチャンネル幅 W が $10\mu m$ とすれば、 $10\mu m \times 10\mu m \times 63$ 個 $= 6300$ 平方 μm である。

図64のトランジスタ633bが、図123では、伝達トランジスタ群681cが該当する。単位トランジスタ群の形成面積 T_s と伝達トランジスタ群681cの形成面積 T_m とは、以下の関係となるようにする。

$$1/4 \leq T_m / T_s \leq 6$$

さらに好ましくは、単位トランジスタ群の形成面積 T_s と伝達トランジスタ群681cの形成面積 T_m とは、以下の関係となるようにする。

$$1/2 \leq T_m / T_s \leq 4$$

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

また、伝達トランジスタ群681bの形成面積 T_{mm} は伝達トランジスタ群681cの形成面積 T_{ms} とは、以下の関係となるようにする。

$$1/2 \leq T_{mm} / T_{ms} \leq 8$$

さらに好ましくは、単位トランジスタ群の形成面積 T_s と伝達トランジスタ群681cの形成面積 T_m とは、以下の関係となるようにする。

$$1 \leq T_m / T_s \leq 4$$

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

トランジスタ群681b1からの出力電流 I_{c1} 、トランジスタ群681b2からの出力電流 I_{c2} 、トランジスタ群681b2からの出力電流 I_{c3} とすると、出力電流 I_{c1} 、出力電流 I_{c2} 、および出力

電流 I_{c3} は一致させる必要がある。本発明では、トランジスタ群 681 は複数のトランジスタ 633 で構成しているため、個々のトランジスタ 633 がばらついていても、トランジスタ群 681 としては、出力電流 I_c のバラツキは発生しない。

なお、以上の実施例は、図 68 のように 3 段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。1 段のカレントミラー接続にも適用できることは言うまでもない。また、図 123 の実施例は、複数のトランジスタ 633a からなるトランジスタ群 681b（681b1、681b2、681b3・・・）と複数のトランジスタ 633b からなるトランジスタ群 681c（681c1、681c2、681c3・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、1つのトランジスタ 633a と複数のトランジスタ 633b からなるトランジスタ群 681c（681c1、681c2、681c3・・・）とを接続してもよい。また、複数のトランジスタ 633a からなるトランジスタ群 681b（681b1、681b2、681b3・・・）と1つのトランジスタ群 633b とを接続してもよい。

図 64 において、スイッチ 641a は 0 ビット目に対応し、スイッチ 641b は 1 ビット目に対応し、スイッチ 641c は 2 ビット目に対応し、……スイッチ 641f は 5 ビット目に対応する。0 ビット目は 1 つの単位トランジスタで構成され、1 ビット目は 2 つの単位トランジスタで構成され、2 ビット目は 4 つの単位トランジスタで構成され、……5 ビット目は 32 つの単位トランジスタで構成される。説明を容易にするために、ソースドライバ回路 14 は 64 階調表示対応で、6 ビットであるとして説明をする。

本発明のドライバ 14 の構成では、1 ビット目は 0 ビット目に対して

2倍のプログラム電流を出力する。2ビット目は1ビット目に対して2倍のプログラム電流を出力する。3ビット目は2ビット目に対して2倍のプログラム電流を出力する。4ビット目は3ビット目に対して2倍のプログラム電流を出力する。5ビット目は4ビット目に対して2倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に2倍のプログラム電流を出力できるように構成する必要がある。

しかし、実際には、各ビットを構成する単位トランジスタ634のバラツキにより、各端子は正確に2倍のプログラム電流を出力するように構成することは難しい（できないという意味ではないが）。この課題を解決する1実施例が図124の構成である。

図124の構成では、各ビットの単位トランジスタ634に加えて、調整用のトランジスタを形成または配置している。調整用のトランジスタ1241は第5ビット（スイッチ641fが対応）と、第4ビット（スイッチ641eが対応）している。

図124の実施例では、第5ビット目（スイッチ641fに接続された単位トランジスタ634部分が該当）、第4ビット（スイッチ641dに接続された単位トランジスタ634部分が該当）に、調整用トランジスタ1241を配置または形成あるいは構成している。調整用トランジスタ1241は第5ビットと第4ビット目に4個ずつ配置している。しかし、本発明はこれに限定されるものではない。各ビットに付加する調整用トランジスタ1241の個数は変化させてもよいし、また、すべてのビットに調整用トランジスタ1241を付加（形成あるいは構成もしくは配置）してもよい。調整用トランジスタ1241は、単位トランジスタ634のサイズに比較して小さくする。もしくは、単位トランジスタ634の出力電流に比較して、出力電流を少なくする。トランジスタサイズが同一でもW/L比を変化させることにより出力電流は異ならせ

ることができる。

なお、調整用トランジスタ 1 2 4 1 のゲート端子は、単位トランジスタ 6 3 4 のゲート端子と共通にし、同一のゲート電圧が印加されるように構成あるいは接続する。したがって、トランジスタ 6 3 3 に I_b 電流がながれると、単位トランジスタ 6 3 4 のゲート電圧が設定され、単位トランジスタ 6 3 4 が出力する電流が規定される。同時に調整用トランジスタ 1 2 4 1 の出力電流も規定される。つまり、調整用トランジスタ 1 2 4 1 の出力電流は、単位トランジスタ 6 3 4 の出力電流に比例する。また、出力電流は、単位トランジスタ 6 3 4 と対を成すトランジスタ 6 3 3 に流す I_b 電流で制御することができる。

本発明では、1つの単位トランジスタ 6 3 4 のサイズが、2個以上の調整用トランジスタのサイズを加えたサイズ以上の関係となるように構成する。つまり、単位トランジスタ 6 3 4 サイズ > 調整用トランジスタ 1 2 4 1 サイズの関係となるようにする。また、2個以上の調整用トランジスタ 1 2 4 1 の総和した時に、総和のサイズが単位トランジスタ 6 3 4 サイズを上回るように構成あるいは形成する。調整用トランジスタ 1 2 4 1 の動作個数を制御することにより、各ビットでの出力電流のバラツキを小刻みに調整することができる。

また、他の実施例では、本発明では、1つの単位トランジスタ 6 3 4 の出力電流が、2個以上の調整用トランジスタの出力電流加えた電流の総和以上の関係となるように構成する。つまり、単位トランジスタ 6 3 4 の出力電流 > 調整用トランジスタ 1 2 4 1 の出力電流の関係となるようにする。調整用トランジスタ 1 2 4 1 の動作個数を制御することにより、各ビットでの出力電流のバラツキを小刻みに調整することができる。

図 1 2 5 は調整用トランジスタ 1 2 4 1 で、各ビットの出力電流の調整方法を説明する説明図である。図 1 2 5 は調整用トランジスタ 1 2 4

1 が 4 個形成されたところを示している。

なお、説明を容易にするため、出力電流の調整の対象となるビットの目標出力電流を I_a とし、現在の出力電流 I_b は、目標出力電流 I_a に対して I_e だけ少ない状態で作製されてしまっているとする ($I_a = I_b + I_e$)。また、調整用トランジスタ 1 2 4 1 の 4 個のトランジスタのすべてが正常に動作したときの電流を I_g とし、トランジスタがプロセス上、ばらついていても、必ず、 $I_g > I_e$ となるように構成する。したがって、4 つの調整用トランジスタ 1 2 4 1 が動作している状態では、出力電流 I_b は、目標出力電流 I_a を越えている ($I_b > I_a$)。

以上の状態で、調整用トランジスタ 1 2 4 1 を共通端子 1 2 5 2 から切り離して目標出力電流 I_a にする。調整は、調整用トランジスタ 1 2 4 1 をレーザーカットして行なう。レーザーカットは、YAG レーザーを用いるのが適当である。その他、ネオンヘリウムレーザー、炭酸ガスレーザーも用いることができる。また、サンドブラスタなどの機械加工でも実現できる。

図 1 2 5 では 2 箇所のカット箇所 1 2 5 1 を切断し、トランジスタ 1 2 4 1 a、1 2 4 1 b を共通端子 1 2 5 2 から切り離している。したがって、 I_g 電流は $1/2$ となる。以上のように、調整用トランジスタ 1 2 4 1 を共通端子 1 2 5 2 から切り離していき、目標出力電流 I_a となるように調整していく。出力電流は、微小電流計で測定し、測定値が目標値になったときに、切断する調整用トランジスタ 1 2 4 1 を切断することを停止する。

なお、図 1 2 5 の説明において、カット箇所 1 2 5 1 をレーザーにより切断して、出力電流を調整するとしたが、これに限定するものではない。たとえば、調整用トランジスタ 1 2 4 1 に直接レーザー光を照射し、調整用トランジスタ 1 2 4 1 を破壊して出力電流を調整してもよい。ま

た、カット箇所 1 2 5 1 にアナログスイッチなどを形成しておき、このアナログスイッチを外部からの制御信号によりオンオフさせ、g 点に接続される調整用トランジスタ 1 2 4 1 の個数を変化させてもよい。つまり、本発明は、調整用トランジスタ 1 2 4 1 を形成し、この調整用トランジスタ 1 2 4 1 からの電流をオンオフさせることにより、目標の出力電流となるようにするものである。したがって、他の構成でもよいことは言うまでもない。また、カット箇所 1 2 5 1 で切断することに限定するものではなく、あらかじめ、カット箇所をオープンにしておき、金属膜などを、このカット箇所に堆積させることにより接続してもよい。

また、調整用トランジスタ 1 2 4 1 を別途形成しておくとしたが、これに限定するものではない。たとえば、単位トランジスタ 6 3 4 の一部をトリミングすることにより、単位トランジスタ 6 3 4 の出力電流を調整することにより、目標の出力電流となるようにしてもよい。また、各ビットを構成する単位トランジスタ 6 3 4 のゲート端子電圧を個別に調整することにより、各ビットの出力電流を目標電流とするものであってもよい。たとえば、一例として、単位トランジスタ 6 3 4 のゲート端子に接続された配線をトリミングし、高抵抗化することにより達成させることができる。

図 1 6 6 は調整用トランジスタ 1 2 4 1 あるいは単位トランジスタ 6 3 4 の一部を図示したものである。複数の単位トランジスタ 6 3 4 (調整用トランジスタ 1 2 4 1) は内部配線 1 6 6 2 で接続されている。調整用トランジスタ 1 2 4 1 はトリミングしやすいようにソース端子 (S 端子) に切れ込みが入れられている。調整用トランジスタ 1 2 4 1 は切断箇所 1 6 6 1 b をカットすることにより調整用トランジスタ 1 2 4 1 のチャンネル間を流れる電流が制限される。したがって、電流出力段 7 0 4 の出力電流が少なくなる。なお、切れ込みを形成する箇所はソース

200

端子に限定するものではなく、ドレイン端子でもよく、ゲート端子でもよい。また、切れ込みを形成せずとも調整用トランジスタ 1 2 4 1 の一部を切断することができることは言うまでもない。また、調整用トランジスタ 1 2 4 1 は形状の異なるものを複数個形成しておき、出力電流の計測の後、調整用トランジスタ 1 2 4 1 のトリミングにより目標の出力電流に最も近づくトランジスタを選択し、トリミングを行っても良い。

なお、以上の実施例は、単位トランジスタ 6 3 4 あるいは調整用トランジスタ 1 2 4 1 をトリミングして出力電流を調整する実施例であったが、本発明はこれに限定するものではない。たとえば、調整用トランジスタ 1 2 4 1 を孤立させて形成し、F I B 加工により、前記調整用トランジスタ 1 2 4 1 のソース端子などを出力電流回路 7 0 4 と接続することにより出力電流を調整してもよい。ただし、調整用トランジスタ 1 2 4 1 は完全に孤立させる必要はない。たとえば、出力電流回路 7 0 4 と調整用トランジスタ 1 2 4 1 のゲート端子とソース端子とを接続した状態で形成し、F I B 加工により調整用トランジスタ 1 2 4 1 のドレイン端子を接続するように構成してもよい。

また、調整用トランジスタ 1 2 4 1 のゲート端子は、出力電流回路 7 0 4 を構成する単位トランジスタ 6 3 4 のゲート端子と分離して構成し、前記調整トランジスタ 1 2 4 1 と前記単位トランジスタ 6 3 4 のソース端子およびドレイン端子を接続して形成または配置してもよい。単位トランジスタ 6 3 4 のゲート端子電位は、図 1 6 4 などにも図示するように電流 I_c で決定される。調整用トランジスタ 1 2 4 1 のゲート端子電位は自由に調整できるように構成しているから、調整用トランジスタ 1 2 4 1 のゲート端子電位を調整することにより調整用トランジスタ 1 2 4 1 の出力電流を変更できる。したがって、調整用トランジスタ 1 2 4 1 のゲート端子電位を調整することにより、単位トランジスタ 6 3 4 と

調整用トランジスタ 1 2 4 1 の出力電流の総和である出力電流回路 7 0 4 の出力電流を調整することができる。この方式では、トリミング加工、F I B 加工は必要でない。調整用トランジスタ 1 2 4 1 のゲート端子電圧の調整は電子ボリウムなどで行っても良い。

上記の実施例では調整用トランジスタ 1 2 4 1 の出力電流の調整はゲート端子電位の調整によって行うとしたが、これに限定するものではない。調整用トランジスタ 1 2 4 1 のソース端子に印加する電圧もしくはドレイン端子に印加する電圧を調整することにより行っても良い。これらの端子電圧の調整も電子ボリウムなどで行っても良い。また、調整用トランジスタ 1 2 4 1 の各端子に印加する電圧は直流電圧に限定するものではない。矩形電圧（パルス状電圧など）を印加し、時間制御により出力電流を調整してもよい。

出力電流の大きさを大きく調整するときは、図 1 6 6 に図示するように調整用トランジスタ 1 2 4 1 を切断箇所 1 6 6 1 a から切り離しても良い。以上のように単位トランジスタ 6 3 4 または調整用トランジスタ 1 2 4 1 の全部あるいは一部をトリミングすることにより出力電流の調整を容易に行うことができる。なお、トリミング箇所からの劣化を防止するために、トリミング後、トリミング箇所は無機材料を蒸着あるいは塗布などすること、有機材料を蒸着あるいは塗布などすることにより、トリミング箇所が外気に触れないように封止プロセスを実施しておくことが好ましい。

特に、I C チップ 1 4 の両端の出力電流回路 7 0 4 にはトリミング機能を付加した構成にすることが好ましい。表示パネルが大型の場合は、複数のソースドライバ I C 1 4 をカスケード接続する必要がある。カスケード接続をした場合、隣接した I C の出力電流に差があると境目としてめだつからである。図 1 6 6 に図示するようにトランジスタなどをト

202

リミングすることにより、隣接した出力電流回路の出力電流バラツキを補正することができる。

以上の事項は本発明の他の実施例においても適用できることはいうまでもない。

図 1 2 3 の構成は、複数のトランジスタ 6 3 3 a の出力電流を複数のトランジスタ 6 3 3 b で受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図 1 2 6 は電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流 I a の供給源を複数設ける。本発明では、電流 I a 1 と電流 I a 2 とは同一の電流値とし、電流 I a 1 を発生するトランジスタと電流 I a 2 を発生するトランジスタと、対をなすトランジスタでカレントミラー回路を構成している。

したがって、本発明は、単位トランジスタ 6 3 4 の出力電流を規定する基準電流を発生するトランジスタ（電流発生手段）を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタからの出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ 6 3 4 の出力電流を制御する構成である。

なお、図 1 2 6 の実施例では、単位トランジスタ 6 3 4 群の両側に、カレントミラーを構成するトランジスタ 6 3 3 b を形成した。しかし、本発明はこれだけに限定するものではなく、トランジスタ群 6 8 1 b の両側にカレントミラーを構成するトランジスタ 6 3 2 a を配置する構成も本発明の範疇である。

図 1 2 6 で明らかなように、トランジスタ群 6 8 1 b には電流を出力するトランジスタ 6 3 3 a が複数個形成されている。トランジスタ群 6 8 1 b の両側にトランジスタ群 6 8 1 b のゲート端子を共通にし、かつ

トランジスタ 6 3 3 a とカレントミラー回路を構成するトランジスタ 6 3 2 a (6 3 2 a 1、6 3 2 a 2) が形成または配置されている。トランジスタ 6 3 2 a 1 には基準電流 I_{a1} が流れ、トランジスタ 6 3 2 a 2 には基準電流 I_{a2} が流れる。したがって、トランジスタ 6 3 3 a (トランジスタ 6 3 3 a 1、6 3 3 a 2、6 3 3 a 3、6 3 3 a 4、……) のゲート端子電圧は、トランジスタ 6 3 2 a 1、6 3 2 a 2 で規定されるとともに、トランジスタ 6 3 3 a が出力する電流が規定される。

基準電流 I_{a1} 、 I_{a2} の大きさは一致させる。これは、基準電流 I_{a1} 、 I_{a2} を出力するカレントミラー回路などの定電流回路で行なうことができる。また、基準電流 I_{a1} 、 I_{a2} が多少ずれていても補正しあうので課題は発生しにくい構成である。

以上の実施例では電流 I_{a1} と電流 I_{a2} とは略一致させるとしたが本発明はこれに限定するものではない。たとえば、電流 I_{a1} と電流 I_{a2} とを異ならせても良い。たとえば、電流 $I_{a1} < \text{電流 } I_{a2}$ とした場合、トランジスタ 6 3 3 a 1 が出力する電流 I_{b1} は、トランジスタ 6 3 3 a n が出力する電流 I_{bn} よりも小さくすることができる ($I_{b1} < I_{bn}$)。電流 I_{b1} が少なくなれば、トランジスタ群 6 8 1 c 1 が出力する電流も少なくなる。電流 I_{bn} が大きくなれば、トランジスタ群 6 8 1 c n が出力する電流も大きくなる。トランジスタ群 6 8 1 c 1 とトランジスタ群 6 8 1 c n の間に配置または形成されてトランジスタ群 6 8 1 はその中間の出力電流となる。

以上のように電流 I_{a1} と電流 I_{a2} とを異ならせることにより、トランジスタ群 6 8 1 の出力電流に傾斜を作ることができる。トランジスタ群 6 8 1 の出力電流に傾斜をつけることは、ソースドライバ IC 1 4 のカスケード接続に効果を発揮する。IC チップの 2 つの基準電流 I_{a1} と I_{a2} の調整により出力電流回路 7 0 4 の出力電流を調整すること

ができるからである。したがって、隣接した I C 1 4 チップの出力に出力電流差がないように調整できるからである。

電流 I a 1 と電流 I a 2 とを異ならせても、各トランジスタ群 6 8 1 の単位トランジスタ 6 3 4 ゲート端子電位が同一であったら、トランジスタ群 6 8 1 の出力電流に傾斜を発生させることはできない。各トランジスタ群 6 8 1 の出力電流に傾斜が発生するのは、単位トランジスタ 6 3 4 のゲート端子電圧が異なるからである。ゲート端子電圧を異ならせるためには、トランジスタ群 6 8 1 b のゲート配線 1 2 6 1 を高抵抗にする必要がある。具体的にはゲート配線 1 2 6 1 をポリシリコンで形成する。また、トランジスタ 6 3 2 a 1 とトランジスタ 6 3 2 a n 間のゲート配線の抵抗値は、 $2\text{ K}\Omega$ 以上 $2\text{ M}\Omega$ 以下にする。以上のようにゲート配線 1 2 6 1 を高抵抗にすることにより各トランジスタ群 6 8 1 c の出力電流に傾斜をつくることができる。

トランジスタ 6 3 3 a のゲート端子電圧は、I C チップがシリコンチップの場合、 0.52 以上 0.68 (V) 以下の範囲に設定することが好ましい。この範囲であれば、トランジスタ 6 3 3 a の出力電流のバラツキが少なくなる。以上の事項は本発明の他の実施例においても同様である。

以上の事項は、本発明の他の実施例においても適用できることはいうまでもない。

図 1 2 6 の構成では、カレントミラー回路において、トランジスタ 6 3 3 a と対を成すトランジスタ 6 3 2 a を 2 個以上（複数個）形成している。したがって、基準電流の両側給電となっているため、トランジスタ 6 3 3 a のゲート端子電圧がトランジスタ群 6 8 1 a 内において良好に一定に保たれる。そのため、トランジスタ 6 3 3 a が出力する電流バラツキが極めて少なくなる。したがって、ソース信号線 1 8 に出力する

プログラム電流あるいはソース信号線 18 から吸収するプログラム電流のバラツキはきわめて少なくなる。

図 126 ではトランジスタ 633a1 はトランジスタ 633b1 と電流受け渡し状態を構成しており、トランジスタ 633a2 はトランジスタ 633b2 と電流受け渡し状態を構成している。したがって、トランジスタ群 681c1 も両側給電の構成である。同様に、トランジスタ 633a3 はトランジスタ 633b3 と電流受け渡し状態を構成しており、トランジスタ 633a4 はトランジスタ 633b4 と電流受け渡し状態を構成している。また、トランジスタ 633a5 はトランジスタ 633b5 と電流受け渡し状態を構成しており、トランジスタ 633a6 はトランジスタ 633b6 と電流受け渡し状態を構成している。

トランジスタ群 681c は各ソース信号線 18 と接続される出力段回路である。したがって、トランジスタ群 681c に両側給電し、単位トランジスタ 634 のゲート端子の電圧降下あるいは電位分布がないようにすることにより、各ソース信号線 18 の出力電流バラツキを解消できる。

トランジスタ群 681c には電流を出力する単位トランジスタ 634 が複数個形成されている。トランジスタ群 681c の両側にトランジスタ 634 のゲート端子を共通にし、かつトランジスタ 634 とカレントミラー回路を構成するトランジスタ 633b (633b1、633b2) が形成または配置されている。トランジスタ 633b1 には基準電流 I_{b1} が流れ、トランジスタ 633b2 には基準電流 I_{b2} が流れる。したがって、単位トランジスタ 634 のゲート端子電圧は、トランジスタ 633b1、633b2 で規定されるとともに、単位トランジスタ 634 が出力する電流が規定される。

基準電流 I_{b1} 、 I_{b2} の大きさは一致させる。これは、基準電流 I

b 1、I b 2.を出力するトランジスタ 6 3 3 a などの定電流回路で行なうことができる。また、基準電流 I b 1、I b 2 が多少ずれていても補正しあうので課題は発生しにくい構成である。

図 1 2 7 は、図 1 2 6 の変形した実施例である。図 1 2 7 では、トランジスタ群 6 8 1 b において、両側にカレントミラー回路を構成するトランジスタ 6 3 2 a を配置するだけでなく、トランジスタ群 6 8 1 b の中途にもカレントミラー回路を構成するトランジスタ 6 3 2 を配置している。したがって、図 1 2 6 の構成に比較して、よりトランジスタ 6 3 3 a のゲート端子電圧が一定になり、トランジスタ 6 3 3 a の出力バラツキが少なくなる。以上の事項はトランジスタ群 6 8 1 c に適応してもよいことは言うまでもない。

図 1 2 8 も、図 1 2 6 の変形した実施例である。図 1 2 6 では、トランジスタ群 6 8 1 b を構成するトランジスタ 6 3 3 a を順番に、トランジスタ群 6 8 1 c とカレントミラー回路を構成するトランジスタ 6 3 3 b に接続した構成である。しかし、図 1 2 8 の実施例は、トランジスタ 6 3 3 a の接続の順番を異ならせている。

図 1 2 8 は、トランジスタ 6 3 3 a 1 はトランジスタ群 6 8 1 c 1 とカレントミラー回路を構成するトランジスタ 6 3 3 b 1 と電流受け渡ししている。トランジスタ 6 3 3 a 2 はトランジスタ群 6 8 1 c 2 とカレントミラー回路を構成するトランジスタ 6 3 3 b 3 と電流受け渡ししている。また、トランジスタ 6 3 3 a 3 はトランジスタ群 6 8 1 c 1 とカレントミラー回路を構成するトランジスタ 6 3 3 b 2 と電流受け渡ししている。トランジスタ 6 3 3 a 4 はトランジスタ群 6 8 1 c 3 とカレントミラー回路を構成するトランジスタ 6 3 3 b 5 と電流受け渡ししている。トランジスタ 6 3 3 a 5 はトランジスタ群 6 8 1 c 2 とカレントミラー回路を構成するトランジスタ 6 3 3 b 4 と電流受け渡ししている。

図 1 2 6 に図示するように構成すると、トランジスタ 6 3 3 a の特性分布が発生すると、トランジスタ 6 3 3 a が電流を供給するトランジスタ群 6 8 1 c がブロックとして出力電流変化を発生しやすい。そのため、E L 表示パネルにブロック状に境目が表示されることがある。

図 1 2 8 のようにトランジスタ 6 3 3 a を連続でなく、トランジスタ群 6 8 1 c とカレントミラー回路を構成するトランジスタ 6 3 3 との接続順序を入れ替えることにより、トランジスタ 6 3 3 a の特性分布が発生していても、トランジスタ群 6 8 1 c がブロックとして出力電流変化を発生しにくい。そのため、E L 表示パネルにブロック状に境目が表示されることはない。

もちろん、トランジスタ 6 3 3 a とトランジスタ 6 3 3 b との接続は、規則正しく行なう必要はなく、ランダムであっても良い。また、図 1 2 8 のように、トランジスタ 6 3 3 a は 1 つ飛ばしでなく、2 つ以上飛ばしてトランジスタ 6 3 3 b と接続してもよい。

以上の実施例は、図 6 8 に図示するように、多段にカレントミラー回路を接続した構成である。しかし、回路構成は、多段の接続に限定されるものではなく、図 1 2 9 に図示するように、1 段の構成であっても良い。

図 1 2 9 は、基準電流を基準電流調整手段 6 5 1 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。単位トランジスタ 6 3 4 はトランジスタ 6 3 3 b とカレントミラー回路を構成する。基準電流 I_b により、単位トランジスタ 6 3 4 の出力電流の大きさが規定される。

図 1 2 9 の構成は、基準電流 I_b によって、各トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 の電流が制御される。逆に言えば、トランジスタ 6 3 3 b により、トランジスタ群 6 8 1 c 1 からトランジスタ群

681cnの単位トランジスタ634のプログラム電流が規定される。

しかし、トランジスタ群681c1の単位トランジスタ634のゲート端子電圧とトランジスタ群の単位トランジスタ634のゲート端子電圧とは、微妙に異なることが多い。ゲート配線に流れる電流などの電圧降下などの影響によるものと思われる。電圧では微妙な変化量でも、出力電流（プログラム電流）は数%異なる。本発明では、64階調の場合、階調差は、 $100/64 = 1.5\%$ である。そのため、出力電流は少なくとも1%程度以下にはする必要がある。

この課題を解決する構成を図130に図示する。図130では、基準電流Ibの発生回路を2回路形成している。基準電流発生回路1は基準電流Ib1を流し、基準電流発生回路2は基準電流Ib2を流す。基準電流Ib1と基準電流Ib2とは同一の電流値にする。基準電流を基準電流調整手段651で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。また、固定抵抗を変更することにより調整してもよい）。なお、トランジスタ群681cの出力端子はソース信号線18に接続されている。構成としては、カレントミラー回路の一段構成である。

ただし、基準電流Ib1と基準電流Ib2を個別に調整できるように構成しておくと、共通端子1253のa点の電圧とb点の電圧が異なり、トランジスタ群681c1の単位トランジスタ634の出力電流とトランジスタ群681c2の単位トランジスタ634の出力電流が異なっている場合に出力電流（プログラム電流）を均一になるように調整することができる。また、ICチップ14の左右で単位トランジスタの V_t が異なるため、出力電流の傾斜が発生している場合も補正し、出力電流の傾斜をなくすることができる。

図130では、基準電流回路を2つ個別に形成したように図示してい

るが、これに限定するものではなく、図 1 2 8 に図示したトランジスタ群 6 8 1 b のトランジスタ 6 3 3 a で構成してもよい。図 1 2 8 の構成を採用することにより、カレントミラーを構成するトランジスタ 6 3 2 a に流す電流を制御すること（調整すること）により、図 1 3 0 の基準電流 I_{b1} と I_{b2} を同時に制御（調整）することができる。つまり、トランジスタ 6 3 3 b 1 とトランジスタ 6 3 3 b 2 をトランジスタ群として制御する（図 1 3 0 の（b）を参照のこと）。

図 1 3 0 の構成を採用することにより、共通端子 1 2 5 3（ゲート配線 1 2 6 1）の a 点の電圧と b 点の電圧を同一にすることができる。したがって、トランジスタ群 6 8 1 c 1 の単位トランジスタ 6 3 4 の出力電流と、トランジスタ群 6 8 1 c 2 の単位トランジスタ 6 3 4 の出力電流を同一にすることができ、均一で、ばらつきのないプログラム電流を各ソース信号線 1 8 に供給することができる。

図 1 3 0 は、基準電流源を、2 つ形成する構成であった。図 1 3 1 は共通端子 1 2 5 3 の中央部にも基準電流源を構成するトランジスタ 6 3 3 b のゲート電圧を印加する構成である。

基準電流発生回路 1 は基準電流 I_{b1} を流し、基準電流発生回路 2 は基準電流 I_{b2} を流す。基準電流発生回路 3 は基準電流 I_{b3} を流す。基準電流 I_{b1} 、基準電流 I_{b2} と基準電流 I_{b3} は同一の電流値にする。基準電流を基準電流調整手段 6 5 1 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことはいまでもない。）。

基準電流 I_{b1} 、基準電流 I_{b2} 、基準電流 I_{b3} を個別に調整できるように構成しておくと、各トランジスタ 6 3 3 b 1、トランジスタ 6 3 3 b 2、トランジスタ 6 3 3 b 3 のゲート端子電圧を調整することができる。共通端子 1 2 5 3 の a 点の電圧、b 点の電圧、c 点の電圧を調

整することができる。したがって、トランジスタ群 681c1 の単位トランジスタ 634 の V_t 変化、トランジスタ群 681c2 の単位トランジスタ 634 の V_t 変化、トランジスタ群 681cn の単位トランジスタ 634 の V_t 変化による出力電流（プログラム電流）の補正（ばらつき補正）を行うことができる。

図 131 では、基準電流回路を 3 つ個別に形成したように図示しているが、これに限定するものではなく、4 個以上としてもよい。図 128 に図示したトランジスタ群 681b のトランジスタ 633a で構成してもよい。図 128 の構成を採用することにより、カレントミラーを構成するトランジスタ 632a に流す電流を制御すること（調整すること）により、図 130 の基準電流 I_{b1} 、 I_{b2} と I_{b3} を同時に制御（調整）することができる。つまり、トランジスタ 633b1、トランジスタ 633b2、トランジスタ 633b3 をトランジスタ群として制御する（図 131 の（b）を参照のこと）。

図 130 は、トランジスタ 633b1 に電流調整手段 651a を形成または配置し、トランジスタ 633b2 に電流調整手段 651b を形成または配置している。図 132 は、トランジスタ 633b1、トランジスタ 633b2 のソース端子を共通にし、電流調整手段 651 を形成または配置した構成である。電流調整手段 651 の制御（調整）により、基準電流 I_{b1} と I_{b2} が変化する。基準電流 I_{b1} と I_{b2} の変化に比例して単位トランジスタ 634 が出力するプログラム電流が変化する。トランジスタ 633b1 とトランジスタ 633b2 の接続構成は、図 123 のトランジスタ群 681c のトランジスタ 633b の接続状態と同一である。

基準電流 I_{b1} 、 I_{b2} を基準電流調整手段 651 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよ

いことは言うまでもない。)。各トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 は、トランジスタ 6 3 3 b (6 3 3 b 1、6 3 3 b 2) とカレントミラー回路を構成する。基準電流 I_{b1} 、 I_{b2} により、単位トランジスタ 6 3 4 の出力電流の大きさが規定される。

図 1 2 9 の構成は、基準電流 I_{b1} によって、主として a 点のゲート端子電圧が所定値に調整され、基準電流 I_{b2} によって、主として b 点のゲート端子電圧が所定値に調整される。基準電流 I_{b1} と I_{b2} は、基本的に同一電流である。また、トランジスタ 6 3 3 b 1 とトランジスタ 6 3 3 b 2 は近接して形成されるため、トランジスタ V_t は等しい。

したがって、トランジスタ 6 3 3 b 1 のゲート端子とトランジスタ 6 3 3 b 2 のゲート端子は等しくなり、a 点と b 点の電圧は等しくなる。そのため、共通端子 1 2 5 3 は両側から電圧が給電されていることになるから、IC チップの左右での共通端子 1 2 5 3 の電圧は均一になる。共通端子 1 2 5 3 の電圧が均一になれば、各トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 のゲート端子はすべて一致するようになる。したがって、単位トランジスタ 6 3 4 が出力するソース信号線 1 8 へのプログラム電流にバラツキは発生しない。

図 1 3 2 は、基準電流源を発生するトランジスタ 6 3 3 b を 2 つ形成する構成であった。図 1 3 3 は共通端子 1 2 5 3 の中央部にも基準電流源を構成するトランジスタ 6 3 3 b 2 のゲート電圧を印加する構成である。

基準電流発生回路 1 は基準電流 I_{b1} を流し、基準電流発生回路 2 は基準電流 I_{b2} を流す。基準電流発生回路 3 は基準電流 I_{b3} を流す。基準電流 I_{b1} 、基準電流 I_{b2} と基準電流 I_{b3} は同一の電流値にする。基準電流を基準電流調整手段 6 5 1 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言う

までもない。)

図 1 3 3 では、基準電流回路を 3 つ個別に形成したように図示しているが、これに限定するものではなく、4 個以上としてもよい。

なお、図 1 2 6、図 1 2 7、図 1 2 8 などはゲート配線 1 2 6 1 の両側に基準電流を流すトランジスタを配置あるいは形成する構成であった。しかし、本発明はこれに限定するものではない。トランジスタを配置せず、ゲート配線 1 2 6 1 に直接に定電圧を印加してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用される。

以上の実施例では、電流あるいは電圧の受け渡しが 1 段の構成を中心に説明を行ってきた。しかし、本発明はこれに限定するものではない。たとえば、図 1 4 6 に図示するように、図 6 8 の多段接続の方式に適用してもよいことは言うまでもない。

図 1 4 7 は、トランジスタ群 6 8 1 a の両端（IC チップの左右端あるいはその近傍）に、トランジスタ 6 3 1 a、6 3 1 b を形成あるいは配置している。また、基準電流の調整手段として可変抵抗 6 5 1 を形成または配置している。なお、基準電流 I_{a1} と I_{a2} とは固定にしてもよい。また基準電流 $I_{a1} = I_{a2}$ としてもよいことは言うまでもない。

基準電流 I_{a1} 、 I_{a2} を基準電流調整手段 6 5 1 で調整すると、トランジスタ群 6 8 1 a のトランジスタ 6 3 2 の出力電流 I_b を調整することができる。この電流 I_b はトランジスタ 6 3 2 b に受け渡され、カレントミラー回路を構成するトランジスタ群 6 8 1 b のトランジスタ 6 3 3 a に電流が流れ、単位トランジスタ 6 3 4 の出力電流が決定される。他の事項は図 6 8 などと同様であるので説明を省略する。

チップの両側に配置されたトランジスタに流れる基準電流の大きさは、電子ボリウムなどで調整するとしたが、本発明はこれに限定するものではない。たとえば、図 1 6 5 に図示するように基準電流の調整用抵抗 R

R_m をトリミングすることによっても対応できる。つまり、抵抗 R_m をレーザー装置1501からのレーザー光1502でトリミングすることにより抵抗値を増大させる。抵抗 R_m の抵抗値を増大させることにより、基準電流 I_a が変化する。抵抗 R_{m1} または抵抗 R_{m2} をトリミングすることにより、基準電流 I_{a1} 、 I_{a2} を調整することができる。

カレントミラー回路を構成するトランジスタが発生する電流を受け渡すのは、複数のトランジスタで受け渡すのが好ましい。ICチップ14内に形成されるトランジスタには特性バラツキが発生する。トランジスタの特性バラツキを抑制するためには、トランジスタサイズを大きくする方法がある。しかし、トランジスタサイズを大きくしてもカレントミラー回路のカレントミラー倍率が大きくずれる場合がある。この課題を解決するには、複数のトランジスタで電流あるいは電圧受け渡しをするように構成するとよい。複数のトランジスタで構成すれば、各トランジスタの特性がばらついていても全体としての特性バラツキは小さくなる。また、カレントミラー倍率の精度も向上する。トータルで考えればICチップ面積も小さくなる。図156はその実施例である。なお、以上の事項は電流あるいは電圧の多段受け渡し、電流あるいは電圧の1段受け渡しの両方に適用することができる。

図156はトランジスタ群681aとトランジスタ群681bでカレントミラー回路を構成している。トランジスタ群681aは複数のトランジスタ632bで構成されている。一方、トランジスタ群681bはトランジスタ633aで構成されている。同様にトランジスタ群681cも複数のトランジスタ633bで構成されている。

トランジスタ群681b1、トランジスタ群681b2、トランジスタ群681b3、トランジスタ群681b4・・・・・・を構成するトランジスタ633aは同一個数に形成している。また、各トランジ

スタ群 681b のトランジスタ 633a の総面積（トランジスタ群 681b 内のトランジスタ 633a の WL サイズ × トランジスタ 633a 数）は（略）等しくなるように形成している。トランジスタ群 681c についても同様である。

トランジスタ群 681c のトランジスタ 633b の総面積（トランジスタ群 681c 内のトランジスタ 633b の WL サイズ × トランジスタ 633b 数）を S_c とする。また、トランジスタ群 681b のトランジスタ 633a の総面積（トランジスタ群 681b 内のトランジスタ 633a の WL サイズ × トランジスタ 633a 数）を S_b とする。トランジスタ群 681a のトランジスタ 632b の総面積（トランジスタ群 681a 内のトランジスタ 632b の WL サイズ × トランジスタ 632b 数）を S_a とする。また、1 出力の単位トランジスタ 634 の総面積を S_d とする。

総面積 S_c と総面積 S_b とは略等しくなるように形成することが好ましい。トランジスタ群 681b を構成するトランジスタ 633a の個数と、トランジスタ群 681c のトランジスタ 633b の個数とを同数にすることが好ましい。ただし、IC チップ 14 のレイアウトの制約などから、トランジスタ群 681b を構成するトランジスタ 633a の個数を、トランジスタ群 681c のトランジスタ 633b の個数よりも少なくし、トランジスタ群 681b を構成するトランジスタ 633a のサイズをトランジスタ群 681c のトランジスタ 633b のサイズよりも大きくしてもよい。この実施例を図 157 に図示する。トランジスタ群 681a は複数のトランジスタ 632b で構成されている。トランジスタ群 681a とトランジスタ 633a はカレントミラー回路を構成する。トランジスタ 633a は電流 I_c を発生させる。1 つのトランジスタ 633a はトランジスタ群 681c の複数のトランジスタ 633b を駆動

する（１つのトランジスタ 6 3 3 a からの電流 I_c は複数のトランジスタ 6 3 3 b に分流される。一般にトランジスタ 6 3 3 a の個数は、出力回路分の個数が配置または形成される。たとえば、Q C I F + パネルの場合は、R、G、B 回路において、各 1 7 6 個のトランジスタ 6 3 3 a が形成または配置される。

総面積 S_d と総面積 S_c の関係は、出力バラツキに相関がある。この関係を図 2 1 0 に図示している。なお、バラツキ比率などに関しては図 1 7 0 を参照のこと。バラツキ比率は、総面積 S_d : 総面積 $S_c = 2 : 1$ ($S_c / S_d = 1 / 2$) の時を 1 としている。図 2 1 0 でもわかるように、 S_c / S_d が小さいと急激にバラツキ比率が悪くなる。特に $S_c / S_d = 1 / 2$ 以下で悪くなる傾向がある。 S_c / S_d が $1 / 2$ 以上では、出力バラツキが低減する。その低減効果は緩やかである。また、 $S_c / S_d = 1 / 2$ 程度で出力バラツキが許容範囲となる。以上のことから、 $1 / 2 \leq S_c / S_d$ の関係となるように形成することが好ましい。しかし、 S_c が大きくなると I C チップサイズも大きくなることになる。したがって、上限は $S_c / S_d = 4$ とすることが好ましい。つまり、 $1 / 2 \leq S_c / S_d \leq 4$ の関係を満足するようにする。

なお、 $A \geq B$ は、A は B 以上という意味である。 $A > B$ は、A は B より大きいという意味である。 $A \leq B$ は、A は B 以下という意味である。 $A < B$ は、A は B より小さいという意味である。

さらには、総面積 S_d と総面積 S_c は、略等しくなるようにすることが好ましい。さらに 1 出力の単位トランジスタ 6 3 4 の個数と、トランジスタ群 6 8 1 c のトランジスタ 6 3 3 b の個数とを同数にすることが好ましい。つまり、6 4 階調表示であれば、1 出力の単位トランジスタ 6 3 4 は 6 3 個形成される。したがって、トランジスタ群 6 8 1 c を構成するトランジスタ 6 3 3 b は 6 3 個形成される。

また、好ましくは、トランジスタ群 681a、トランジスタ群 681b、トランジスタ群 681c、単位トランジスタ 634 は、WL 面積が 4 倍以内のトランジスタで構成することが好ましい。さらに好ましくは WL 面積が 2 倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路 704 を構成することが好ましい。

総面積 S_a は総面積 S_b よりも大きくなるようにする。好ましくは、 $200S_b \geq S_a \geq 4S_b$ の関係を満足するように構成する。また、すべてのトランジスタ群 681b を構成するトランジスタ 633a の総面積と S_a が略等しくなるように構成する。

なお、図 164 に図示するように、トランジスタ群 681b とカレントミラー回路を構成するトランジスタ 632a はトランジスタ群 681a (図 156 を参照のこと) に構成せずともよい。

図 126、図 127、図 128、図 147 などはゲート配線 1261 の両側に基準電流を流すトランジスタを配置あるいは形成する構成であった。この構成(方式)を図 157 の構成に適用した構成が、図 158 の実施例である。図 158 ではゲート配線 1261 の両側にトランジスタ群 681a1、トランジスタ群 681a2 が配置あるいは形成されている。他の事項は、図 126、図 127、図 128、図 147 などと同様であるので説明を省略する。

図 126、図 127、図 128、図 147、図 158 などはゲート配線 1261 の両端にトランジスタあるいはトランジスタ群を配置する構成であった。したがって、ゲート配線 1261 の票側に配置するトランジスタは 2 個であり、また、トランジスタ群は 2 組であった。しかし、本発明はこれに限定するものではない。図 159 に図示するようにゲー

ト配線 1 2 6 1 の中央部などにもトランジスタあるいはトランジスタ群を配置または形成してもよい。図 1 5 9 では 3 つのトランジスタ群 6 8 1 a を形成している。本発明は、ゲート配線 1 2 6 1 に形成するトランジスタあるいはトランジスタ群 6 8 1 は複数形成することに特徴がある。複数形成することにより、ゲート配線 1 2 6 1 を低インピーダンス化でき、安定度が向上する。

さらに安定度を向上させるためには、図 1 6 0 に図示するように、ゲート配線 1 2 6 1 にコンデンサ 1 6 0 1 を形成または配置することが好ましい。コンデンサ 1 6 0 1 は IC チップ 1 4 あるいはソースドライバ回路 1 4 内に形成してもよいし、IC 1 4 の外付けコンデンサとしてチップ外部に配置あるいは積載してもよい。コンデンサ 1 6 0 1 を外付けにする場合は、IC チップの端子にコンデンサ接続端子を配置する。

以上の実施例は、基準電流を流し、この基準電流をカレントミラー回路でコピーし、最終段の単位トランジスタ 6 3 4 に伝達する構成である。画像表示が黒表示（完全な黒ラスタ）の時は、いずれの単位トランジスタ 6 3 4 にも電流が流れない。いずれにスイッチ 6 4 1 もオープンだからである。したがって、ソース信号線 1 8 に流れる電流は 0 (A) であるから、電力は消費しない。

しかし、黒ラスタ表示であっても、基準電流は流れる。たとえば、図 1 6 1 の電流 I_b および電流 I_c である。この電流は無効電流となる。基準電流は電流プログラム時に流れるように構成すると効率がよい。したがって、画像の垂直ブランキング期間水平ブランキング期間には基準電流が流れることを制限する。また、ウェイト期間なども基準電流が流れることを制限する。

基準電流が流れないようにするには、図 1 6 1 に図示するようにスリープスイッチ 1 6 1 1 をオープンにすればよい。スリープスイッチ 1 6

11はアナログスイッチである。アナログスイッチは、ソースドライバ回路あるいはソースドライバIC14内に形成する。もちろん、IC14の外部にスリープスイッチ1611を配置し、このスリープスイッチ1611を制御してもよい。

スリープスイッチ1611をオフにすることにより、基準電流 I_b が流れなくなる。そのため、トランジスタ群681a1内のトランジスタ633aに電流が流れないから、基準電流 I_c も0(A)となる。したがって、トランジスタ群681cのトランジスタ633bにも電流が流れない。したがって、電力効率が向上する。

図162は、タイミングチャートである。水平同期信号HDに同期してブランキング信号が発生する。ブランキング信号はHレベルの時、ブランキング期間であり、Lレベルの時、映像信号が印加されている期間である。スリープスイッチ1611はLレベルの時、オフ（オープン）であり、Hレベルの時、オンである。

したがって、ブランキング期間Aの時、スリープスイッチ1611はオフであるから、基準電流は流れない。Dの期間、スリープスイッチ1611はオンであり、基準電流が発生する。

なお、画像データに応じてスリープスイッチ1611のオンオフ制御を行っても良い。たとえば、1画素行の画像データがすべて黒画像データの時（1Hの期間はすべてのソース信号線18に出力されるプログラム電流は0である）、スリープスイッチ1611をオフにして、基準電流（ I_c 、 I_b など）が流れないようにする。また、各ソース信号線に対応するようにスリープスイッチを形成または配置し、オンオフ制御してもよい。たとえば、奇数番目のソース信号線18が黒表示（縦黒ストライプ表示）の時は、奇数番目に対応するスリープスイッチをオフにする。

図124の構成において、映像期間では基準電流 I_b がトランジスタ

6 3 3 に流れる。また、画像データに応じてスイッチ 6 4 1 がオンオフ制御され、各単位トランジスタ 6 3 4 に電流が流れる。黒ラスタ表示の時は、すべてのスイッチ 6 4 1 がオープンとなる。スイッチ 6 4 1 がオープンであっても、トランジスタ 6 3 3 には基準電流 I_b が流れているため、単位トランジスタ 6 3 4 は電流を流そうとする。そのため、単位トランジスタ 6 3 4 のチャンネル間電圧 (V_{sd}) が小さくなる (ソース電位とドレイン電位の電位差がなくなる)。同時に単位トランジスタ 6 3 4 のゲート配線 1 2 6 1 電位も低下してしまう。黒ラスタから白ラスタに画像が変化するとスイッチ 6 4 1 がオンとなり、単位トランジスタ 6 3 4 の V_{sd} 電圧が発生する。また、ゲート配線 1 2 6 1 と内部配線 6 4 3 (ソース信号線 1 8) 間には寄生容量がある。

ゲート配線 1 2 6 1 と内部配線 6 4 3 (ソース信号線 1 8) 間の寄生容量と、単位トランジスタ 6 3 4 の V_{sd} の発生により、ゲート配線 1 2 6 1 は電位変動が発生する。電位変動が発生すると、単位トランジスタ 6 3 4 の出力電流が変動する。出力電流が変動すると、画像に横線などが発生する。この横線は、画像が白表示から黒表示に変化する箇所、画像が黒表示から白表示に変化する箇所に発生する。

図 1 5 1 はゲート配線 1 2 6 1 の電位変動を図示している。画像変化ポイント (画像が白表示から黒表示に変化する箇所、画像が黒表示から白表示に変化する箇所など) にリンキングが発生する。

図 1 5 2 はこの課題を解決する方法の説明図である。選択スイッチ 6 4 1 に抵抗 R を形成または配置している。具体的には抵抗 R を形成するのではなく、アナログスイッチ 6 4 1 のサイズを変更している。したがって、図 1 5 2 はスイッチ 6 4 1 の等価回路図である。

スイッチ 6 4 1 の抵抗は以下の関係になるようにしている。

$$R_1 < R_2 < R_3 < R_4 < R_5 < R_6$$

D 0 は単位トランジスタ 6 3 4 が 1 個で構成される。D 1 は単位トランジスタ 6 3 4 が 2 個で構成される。D 2 は単位トランジスタ 6 3 4 が 4 個で構成される。D 3 は単位トランジスタ 6 3 4 が 8 個で構成される。D 4 は単位トランジスタ 6 3 4 が 1 6 個で構成される。D 5 は単位トランジスタ 6 3 4 が 3 2 個で構成される。したがって、D 0 から D 5 になるにつれてスイッチ 6 4 1 を流れる電流が増加する。増加によりスイッチのオン抵抗も低くする必要がある。一方で、図 1 5 1 に図示するようにリンキングの発生も抑制する必要がある。図 1 5 2 のように構成することにより、リンキングの抑制とスイッチのオン抵抗の調整を行うことができる。

ゲート配線 1 2 6 1 が図 1 5 1 のようにリンキングするのは、すべての単位トランジスタ 6 3 4 がオフになる画像が発生すること、すべての単位トランジスタ 6 3 4 がオフ状態であるのに、基準電流 I_b (図 1 5 3 などを参照のこと) が流れている点にある。以上の事項により単位トランジスタ 6 3 4 のゲート配線電位変動が発生しやすい。

図 1 2 7 などは多段のカレントミラー接続の構成である。また、図 1 2 9 から図 1 3 3 は 1 段の構成である。図 1 5 1 で、ゲート配線 1 2 6 1 がゆれる課題について説明をした。この揺れは、ソースドライバ IC 1 4 の電源電圧が影響する。最大電圧まで振幅するからである。図 2 1 1 はソースドライバ IC 1 4 の電源電圧が 1.8 (V) の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバ IC 1 4 の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は 3 程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率は IC 電源電圧が 10 ~ 12 (V) 以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバ IC 1 4 の電源電圧は 12 (V) 以下にする必要がある。

一方、駆動用トランジスタ 11a が白表示から黒表示の電流を流すために、ソース信号線 18 の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、2.5 (V) 以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線 18 の出力電圧が IC の電源電圧を越えることはできないからである。

以上のことから、ソースドライバ IC 14 の電源電圧は、2.5 (V) 以上 12 (V) 以下にする必要がある。この範囲とすることによりゲート配線 1261 の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

ゲート配線 1261 の配線抵抗も課題となる。ゲート配線 1261 の配線抵抗 R (Ω) とは、図 215 では、トランジスタ 633b1 からトランジスタ 633b2 までの配線全長の抵抗である。または、ゲート配線全長の抵抗である。図 151 の過渡現象の大きさは、1 水平走査期間 (1H) にも依存する。1H 期間が短ければ、過渡現象の影響も大きいからである。配線抵抗 R (Ω) が高いほど図 151 の過渡現象は発生しやすい。この現象は特に、図 129 から図 133、図 215 から図 220 の構成で課題となる。ゲート配線 1261 が長く、1 つのゲート配線 1261 に接続された単位トランジスタ 634 の数が多いためである。

図 212 は、ゲート配線 1261 の配線抵抗 R (Ω) と 1H 期間 T (sec) と掛算 ($R \cdot T$) を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の 1 は $R \cdot T = 100$ を基準にしている。図 212 でわかるように、 $R \cdot T$ が 5 以下で変動比率が大きくなる傾向がある。また、 $R \cdot T$ が 1000 以上で変動比率が大きくなる傾向がある。したがって、 $R \cdot T$ は 5 以上 100 以下にすることが好ましい。

この課題を解決する他の方法を図 153 に示す。図 153 では、定常的に電流を流す単位トランジスタ 1531 を形成または配置されている。

このトランジスタ 1531 を定常トランジスタ 1531 と呼ぶ。

定常トランジスタ 1531 は基準電流 I_b が流れている時は常時、電流 I_s を流す。したがって、プログラム電流 I_w の大きさには依存しない。電流 I_s が流れることによりゲート配線 1261 の電位変動を抑制することができる。 I_s は単位トランジスタ 634 が流す電流の 2 倍以上 8 倍以下に設定することが好ましい。また、定常トランジスタ 1531 は単位トランジスタ 634 と同一WLのトランジスタを複数個配置して構成する。なお、定常トランジスタ 1531 は基準電流 I_b を流すトランジスタ 633 位置から最も遠い位置に形成することが好ましい。

図 153 では定常トランジスタ 1531 を複数個形成するとしたが、本発明はこれに限定するものではない。図 155 に図示するように、1 つの定常トランジスタ 1531 を形成してもよい。また、図 154 に図示するように、定常トランジスタ 1531 は複数箇所に形成してもよい。図 154 ではトランジスタ 633 の近傍に定常トランジスタ 1531 a を 1 個形成し、トランジスタ 633 から最も遠い位置に定常トランジスタ 1531 b を 4 個形成している。

図 154 は定常トランジスタ 1531 b にスイッチ S1 を形成している。スイッチ S1 は画像データ ($D_0 \sim D_5$) によってオンオフ制御される。画像データが黒ラスタ (黒ラスタに近い時も含む、(D の上位ビットが 0)) の時、NOR 回路 1541 の出力が H レベルとなり、スイッチ S1 がオンして I_{s2} 電流が定常トランジスタ 1531 に流れる。それ以外の時、スイッチ S1 はオフ状態であり、定常トランジスタ 1531 には電流は流れない。以上のように構成することにより、消費電力を抑制することができる。

図 163 は定常トランジスタ 1531 とスリープスイッチ 1611 の両方を備えた構成である。以上のように、本明細書で説明した内容は組

み合わせて構成することができることは言うまでもない。

チップ IC の両端に位置するトランジスタ群 681c1、トランジスタ群 681cn の外側には、ダミーのトランジスタ群 681c を形成または配置しておく。ダミーのトランジスタ群 681c はチップ IC の左右（最も外側）に 2 回路は形成することが好ましい。好ましくは 3 回路以上 6 回路以下形成する。ダミーのトランジスタ群 681c がないと、IC の製造時、拡散プロセス、エッチングプロセスで外側のトランジスタ群 681c の単位トランジスタ 634 の V_t が IC チップ 14 の中央部と異なるという課題が発生する。 V_t が異なれば単位トランジスタ 634 の出力電流（プログラム電流）にバラツキが発生する。

図 129 から図 133 は 1 段カレントミラー構成のドライバ IC の構成図である。さらにこの 1 段構成について説明をする。図 215 は 1 段構成のドライバ回路構成である。図 215 のトランジスタ群 681c は図 214 の単位トランジスタ 634 からなる出力段構成である（図 129 ～ 図 133 も参照のこと）。

トランジスタ 632b と 2 つのトランジスタ 633a とはカレントミラー回路を構成している。トランジスタ 633a1 とトランジスタ 633a2 は同一サイズである。したがって、トランジスタ 633a1 が流す電流 I_c とトランジスタ 633a2 が流す電流 I_c は同一である。

図 214 の単位トランジスタ 634 からなるトランジスタ群 681c とトランジスタ 633b1 およびトランジスタ 633b2 とはカレントミラー回路を構成する。トランジスタ群 681c の出力電流にはバラツキが発生する。しかし、近接してカレントミラー回路を構成するトランジスタ群 681 の出力は精度よく電流が規定される。トランジスタ 633b1 とトランジスタ群 681c1 とは近接してカレントミラー回路を構成する。また、トランジスタ 633b2 とトランジスタ群 681cn

とは近接してカレントミラー回路を構成する。したがって、トランジスタ 6 3 3 b 1 に流れる電流とトランジスタ 6 3 3 b 2 に流れる電流が等しければ、トランジスタ群 6 8 1 c 1 の出力電流とトランジスタ群 6 8 1 c n の出力電流とは等しくなる。各 IC チップで電流 I_c を精度良く発生させれば、どの IC チップでも出力段の両端のトランジスタ群 6 8 1 c の出力電流は等しくなる。そのため、IC チップをカスケード接続しても IC と IC との継ぎ目の発生を目立たなくすることができる。

トランジスタ 6 3 3 b は図 1 2 3 と同様に、複数のトランジスタで形成し、トランジスタ群 6 8 1 b 1、トランジスタ 6 8 1 b 2 としてもよい。また、トランジスタ 6 3 3 a も図 1 2 3 と同様にトランジスタ群 6 8 1 a としてもよい。

また、トランジスタ 6 3 2 b の電流は抵抗 R_1 で規定するとしたがこれに限定するものではなく、図 2 1 8 に図示するように、電子ボリウム 1 5 0 3 a、1 5 0 3 b としてもよい。図 2 1 8 の構成では電子ボリウム 1 5 0 3 a と電子ボリウム 1 5 0 3 b を独立に動作させることができる。したがって、トランジスタ 6 3 2 a 1 とトランジスタ 6 3 2 a 2 とが流す電流の値を変更することができる。したがって、チップの左右の出力段 6 8 1 c の出力電流傾きを調整可能である。なお、電子ボリウム 1 5 0 3 は図 2 1 9 に図示するように 1 つにし、2 つのオペアンプ 7 2 2 を制御するように構成してもよい。

また、図 1 6 1 でスリープスイッチ 1 6 1 1 について説明した。同様に、図 2 2 0 のようにスリープスイッチを配置あるいは形成しても良いことは言うまでもない。また、図 1 5 3、図 1 5 4、図 1 5 5、図 1 6 3 では、定常トランジスタ 1 5 3 1 を形成または配置するとしたが、図 2 2 5 に図示するように、A ブロックに図 2 2 6 の (b) の定常トランジスタ 1 5 3 1 を形成または配置してもよい。

また、図 1 6 0 では安定化のためにコンデンサ 1 6 0 1 をゲート配線 1 2 6 1 に接続するとしたが、図 2 2 5 においても、A のブロックに図 2 2 6 の (a) の安定化コンデンサ 1 6 0 1 を配置してもよいことは言うまでもない。

また、図 1 6 5 などでは、電流調整のために、抵抗などをトリミングするとした。同様に、図 2 2 5 に図示するように、抵抗 R 1 あるいは抵抗 R 2 などをトリミングするようにしても良いことは言うまでもない。

図 2 1 0 ではトランジスタ群 6 8 1 を構成する面積に関し、条件があることを説明した。しかし、図 1 2 9 から図 1 3 3、図 2 1 5 から図 2 2 0 のカレントミラーの 1 段構成では単位トランジスタ 6 3 4 の個数が非常に多いため、図 2 1 0 の条件と異なる。以下、1 段構成のドライバ回路出力段について説明を加えておく。なお、説明を容易にするため、図 2 1 6、図 2 1 7 を例示して説明をする。しかし、説明はトランジスタ 6 3 3 b の個数とその総面積、単位トランジスタ 6 3 4 の個数と総面積に関わる事項であるので他の実施例にも適用できることは言うまでもない。

図 2 1 6、図 2 1 7 において、トランジスタ群 6 8 1 b のトランジスタ 6 3 3 b の総面積 (トランジスタ群 6 8 1 b 内のトランジスタ 6 3 3 b の WL サイズ × トランジスタ 6 3 3 b 数) を S_b とする。なお、図 2 1 6、図 2 1 7 のようにゲート配線 1 2 6 1 の左右にトランジスタ群 6 8 1 b がある場合は面積を 2 倍にする。図 1 2 9 のように 1 つの場合はトランジスタ 6 3 3 b の面積である。なお、トランジスタ群 6 8 1 b が 1 個のトランジスタ 6 3 3 b で構成される場合は、1 個のトランジスタ 6 3 3 b のサイズであることは言うまでもない。

また、トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 の総面積 (トランジスタ群 6 8 1 c 内のトランジスタ 6 3 4 の WL サイズ × トランジ

スタ 6 3 4 数) を S_c とする。トランジスタ群 6 8 1 c の個数を n とする。 n は Q C I F + パネルの場合は 1 7 6 である (R G B ごとに基準電流回路が形成されている場合)。

図 2 1 3 の横軸は、 $S_c \times n / S_b$ である。縦軸は変動比率であり、変動比率は最も悪い状況を 1 としている。図 2 1 3 に図示するように $S_c \times n / S_b$ が大きくなるにしたがって、変動比率は悪くなる。 $S_c \times n / S_b$ が大きくなることは、出力端子数 n を一定とすると、トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 総面積が、トランジスタ群 6 8 1 b のトランジスタ 6 3 3 b 総面積に対して広いことを示す。この場合は変動比率が悪くなる。

$S_c \times n / S_b$ が小さくなることは、出力端子数 n を一定とすると、トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 総面積が、トランジスタ群 6 8 1 b のトランジスタ 6 3 3 b 総面積に対して狭いことを示す。この場合は変動比率が小さくなる。

変動許容範囲は、 $S_c \times n / S_b$ が 5 0 以下である。 $S_c \times n / S_b$ が 5 0 以下であれば、変動比率は許容範囲内であり、ゲート配線 1 2 6 1 の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。 $S_c \times n / S_b$ が 5 0 以下であれば許容範囲であるが、 $S_c \times n / S_b$ を 5 以下としてもほとんど効果がない。逆に、 S_b が大きくなり I C 1 4 のチップ面積が増加する。したがって、 $S_c \times n / S_b$ は 5 以上 5 0 以下にすることが好ましい。

また、トランジスタ群 6 8 1 c 内の単位トランジスタ 6 3 4 の配置においても考慮を有する。トランジスタ群 6 8 1 c は規則正しく配置することが必要である。単位トランジスタ 6 3 4 に抜けがあると、その周辺の単位トランジスタ 6 3 4 の特性が他の単位トランジスタ 6 3 4 の特性

と異なってしまう。

図134は出力段のトランジスタ群681cでの単位トランジスタ634の配置を模式的に図示している。64階調を表現する63個の単位トランジスタ634はマトリックス状に規則正しく配置されている。しかし、64個の単位トランジスタ634であれば、4列×16行に配置することができるが、単位トランジスタ634は63個であるので、1箇所形成しない箇所が発生する(斜線部)。すると、斜線部の周辺の単位トランジスタ634a、634b、634cの特性が他の単位トランジスタ634と異なって作製されてしまう。

この課題を解決するために、本発明は、斜線部にダミートランジスタ1341を形成または配置する。すると、単位トランジスタ634a、単位トランジスタ634b、単位トランジスタ634cの特性が他の単位トランジスタ634と一致するようになる。つまり、本発明は、ダミートランジスタ1341を形成することにより、単位トランジスタ634をマトリックス状に構成するものである。また、単位トランジスタ634をマトリックス状にかけがないように配置するものである。また、単位トランジスタ634は線対称性を有するように配置するものである。

64階調を表現するためには、63個の単位トランジスタ634をトランジスタ群681cに配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ634は、さらに複数のサブトランジスタで構成してもよい。

図135の(a)は、単位トランジスタ634である。図135の(b)は4つのサブトランジスタ1352で、単位トランジスタ(1単位)1351を構成している。単位トランジスタ(1単位)1351の出力電流は、単位トランジスタ634と同一となるようにする。つまり、単位トランジスタ634を4つのサブトランジスタ1352で構成している。

なお、本発明は単位トランジスタ 6 3 4 を 4 つのサブトランジスタ 1 3 5 2 で構成することには限定するものではなく、単位トランジスタ 6 3 4 を複数のサブトランジスタ 1 3 5 2 で構成すればいずれの構成でもよい。ただし、サブトランジスタ 1 3 5 2 は同一のサイズまたは同一の出力電流を出力するように構成する。

図 1 3 5 において、S はトランジスタのソース端子、G はトランジスタのゲート端子、D はトランジスタのドレイン端子を示している。図 1 3 5 の (b) において、サブトランジスタ 1 3 5 2 は同一方向に配置している。図 1 3 5 の (c) はサブトランジスタ 1 3 5 2 が行方向に異なる方向に配置している。また、図 1 3 5 の (d) はサブトランジスタ 1 3 5 2 が列方向に異なる方向に配置し、かつ点対称となるように配置している。図 1 3 5 の (b)、図 1 3 5 の (c)、図 1 3 5 の (d) はいずれも規則性がある。

単位トランジスタ 6 3 4 あるいはサブトランジスタ 1 3 5 2 の形成方向を変化させると特性は異なることが多い。たとえば、図 1 3 5 の (c) において、単位トランジスタ 6 3 4 a とサブトランジスタ 1 3 5 2 b とは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図 1 3 5 の (c) では、異なる特性のサブトランジスタ 1 3 5 2 が同数ずつ形成されている。したがって、トランジスタ（単位）としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ 6 3 4 あるいはサブトランジスタ 1 3 5 2 の方向を変化させることにより、特性差が補間しあって、トランジスタ（1 単位）のバラツキは低減するという効果を発揮する。以上の事項は、図 1 3 5 の (d) の配置にも該当することは言うまでもない。

したがって、図 1 3 6 などに図示するように、単位トランジスタ 6 3 4 の方向を変化させ、トランジスタ群 6 8 1 c として縦方向に形成した

単位トランジスタ 6 3 4 の特性と横方向に形成した単位トランジスタ 6 3 4 の特性とを補間しあうことにより、トランジスタ群 6 8 1 c としてばらつきを少なくすることができる。

図 1 3 6 はトランジスタ群 6 8 1 c 内で列ごとに単位トランジスタ 6 3 4 の形成方向を変化させた実施例である。図 1 3 7 はトランジスタ群 6 8 1 c 内で行ごとに単位トランジスタ 6 3 4 の形成方向を変化させた実施例である。図 1 3 8 はトランジスタ群 6 8 1 c 内で行および列ごとに単位トランジスタ 6 3 4 の形成方向を変化させた実施例である。なお、ダミートランジスタ 1 3 4 1 を形成または配置する場合もこの構成要件にしたがって構成する。

以上の実施例は、同一のサイズまたは同一の電流出力の単位トランジスタをトランジスタ群 6 8 1 c 内に構成あるいは形成する構成であった（図 1 3 9 の（b）を参照のこと）。しかし、本発明はこれに限定するものではない。図 1 3 9 の（a）に図示するように、0 ビット目（スイッチ 6 4 1 a）は、1 単位の単位トランジスタ 6 3 4 a を接続する（形成する）。1 ビット目（スイッチ 6 4 1 b）は、2 単位の単位トランジスタ 6 3 4 b を接続する（形成する）。2 ビット目（スイッチ 6 4 1 c）は、4 単位の単位トランジスタ 6 3 4 c を接続する（形成する）。3 ビット目（スイッチ 6 4 1 d）は、8 単位の単位トランジスタ 6 3 4 d を接続する（形成する）。4 ビット目（図示せず）は、1 6 単位の単位トランジスタ 6 3 4 a を接続する（形成する）。5 ビット目（図示せず）は、3 2 単位の単位トランジスタ 6 3 4 a を接続する（形成する）としてもよい。なお、たとえば、1 6 単位の単位トランジスタとは、単位トランジスタ 6 3 4 の 1 6 個分の電流を出力するトランジスタである。

*単位（*は整数）の単位トランジスタはチャンネル幅 W を比例的に変化させる（チャンネル長 L を一定にする）ことにより容易に形成する

ことができる。しかし、現実には、チャンネル幅 W を2倍にしても出力電流は2倍にならないことが多い。これは実際にトランジスタを作製して実験によりチャンネル幅 W を決定する。しかし、本発明において、チャンネル幅 W が多少比例条件からずれていても、比例しているとして表現する。

以下、基準電流回路について説明する。出力電流回路704は、R、G、Bごとに形成（配置）し、かつ、このRGBの出力電流回路704 R、704 G、704 Bも近接して配置する。また、各色（R、G、B）に、図73に図示する低電流領域の基準電流 I_{NL} を調整し、また、図74に図示する低電流領域の基準電流 I_{NH} を調整する（図79も参照のこと）。

したがって、Rの出力電流回路704 Rには低電流領域の基準電流 I_{NL} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）651 RLが配置され、高電流領域の基準電流 I_{NH} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）651 RHが配置される。同様に、Gの出力電流回路704 Gには低電流領域の基準電流 I_{NL} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）651 GLが配置され、高電流領域の基準電流 I_{NH} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）651 GHが配置される。また、Bの出力電流回路704 Bには低電流領域の基準電流 I_{NL} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）651 BLが配置され、高電流領域の基準電流 I_{NH} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）651 BHが配置される。

なお、ボリウム651などは、EL素子15の温特を補償できるように、温度で変化するように構成することが好ましい。また、図79のガ

ンマ特性で、折れ曲がり点が2点以上あるときは、各色の基準電流を調整する電子ボリウムあるいは抵抗などは3個以上にしてもよいことは言うまでもない。

ICチップの出力端子には、出力パッド761が形成または配置されている。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは10 μ m以上40 μ m以下の高さにする。

前記バンプと各ソース信号線18とは導電性接合層（図示せず）を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（SnO₂）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線18とをACF樹脂で熱圧着される。なお、バンプあるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。

図69において、入力された4ビットの電流値制御用データ（DI）は、4ビットデコーダ回路692でデコードされる（分割数が64必要であれば、6ビットにすることは言うまでもない。ここでは説明を容易にするため、4ビットとして説明をする）。その出力はレベルシフト回路693により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ641に入力される。

電子ボリウム回路の主構成部は、固定抵抗R0（691a）と16個の単位抵抗r（691b）で構成されている。デコーダ回路692の出

力は、16個のアナログスイッチ641のいずれかに接続されており、デコーダ回路692の出力により、電子ボリウムの抵抗値が定まるように構成されている。例えば、デコーダ回路692の出力が4であれば、電子ボリウムの抵抗値は $R_0 + 5r$ となる。この電子ボリウムの抵抗は、第1段電流源631の負荷となっており、アナログ電源 AV_{dd} にプルアップされている。したがって、この電子ボリウムの抵抗値が変化すると、第1段電流源631の電流値が変化し、その結果、第2段電流源632の電流値が変化し、その結果、第3段電流源633の電流値も変化して、ドライバICの出力電流はコントロールされることになる。

なお、説明の都合上、電流値制御用データは4ビットとしたが、これは4ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数は多くなることは言うまでもない。また、多段式カレントミラーの構成を3段として説明したが、これも3段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

また、温度変化により、EL素子の発光輝度が変化するという課題に対して、電子ボリウム回路の構成として、温度により抵抗値が変化する外付け抵抗691aを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示される。一般に、素子に流れる電流に応じて輝度が変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗691aを電子ボリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度を常に一定にすることができる。

なお、前記多段式カレントミラー回路が、赤(R)用、緑(G)用、青(B)用の3系統に分離することが好ましい。一般に有機EL等の電

流駆動型発光素子では、R、G、Bで発光特性が異なる。従って、R、G、Bで同じ輝度にするためには、発光素子に流す電流値をR、G、Bでそれぞれ調整する必要がある。また、有機EL表示パネル等の電流駆動型発光素子では、R、G、Bで温度特性が異なる。従って、温度特性を補正するために形成または配置したサーミスタ等の外部補助素子の特性も、R、G、Bでそれぞれ調整する必要がある。

本発明では、前記多段式カレントミラー回路が、R用、G用、B用の3系統に分離されているので、発光特性や温度特性をR、G、Bでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間(1H)に画素16に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その信号値で数10pF程度あると思われる寄生容量(配線負荷容量)を駆動することは困難である。この課題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位レベルを画素のトランジスタ11aの黒表示電流(基本的にはトランジスタ11aはオフ状態)にすることが有効である。このプリチャージ電圧の形成(作成)には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

図70に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路(IC)14の一例を示す。図70では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図70において、プリチャージ制御信号は、画像データD0～D5の上

位3ビットD3、D4、D5がすべて0である場合をNOR回路702でデコードし、水平同期信号HDによるリセット機能を有するドットクロックCLKのカウンタ回路701の出力とのAND回路703をとり、一定期間黒レベル電圧V_pを出力するように構成されている。他の場合は、図68などで説明した電流出力段704からの出力電流がソース信号線18に印加される（ソース信号線18からプログラム電流I_wを吸収する）。この構成により、画像データが黒レベルに近い0階調目～7階調目の場合、1水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を0階調目とし、完全白表示を63階調目とする（64階調表示の場合）。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。

問題は、画面全体が階調 1、2 の場合に画面が黒浮きして見えることである。したがって、階調データの階調 0 から $1/8$ の領域の階調と、一定の範囲で選択プリチャージを行う。階調 0 のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

なお、プリチャージの電圧、階調範囲は、R、G、B で異ならせることも有効である。EL 素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、階調データの階調 0 から $1/8$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 1 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調 0 から $1/16$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 3 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、R は 7 (V) であれば、他の色（G、B）は、7.5 (V) の電圧をソース信号線 18 に書き込むようにする。最適なプリチャージ電圧は、EL 表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

なお、プリチャージ電圧は、図 1 のアノード電圧 $V_{dd} - 0.5$ (V) 以下、アノード電圧 $V_{dd} - 2.5$ (V) 以内にすることが好ましい。

階調 0 のみをプリチャージする方法にあっても、R、G、B の一色あるいは 2 色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。

また、全くプリチャージしない第 0 モード、階調 0 のみをプリチャージ

ジする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

図75は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動用トランジスタ11aの V_t に相関するものであり、この画素16はR、G、B画素で同一だからである。逆には、画素16の駆動用トランジスタ11aの W/L 比などをR、G、Bで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、 L が大きくなれば、トランジスタ11aのダイオード特性は悪くなり、ソースドレイン（SD）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（ V_{dd} ）に対して低く設定する必要がある。

プリチャージ電圧PVはアナログスイッチ731に入力されている。このアナログスイッチの W （チャンネル幅）はオン抵抗を低減するために、 $10\mu\text{m}$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\mu\text{m}$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\mu\text{m}$ 以上 $60\mu\text{m}$ 以下にすることが好ましい。以上の事項は図75のスイッチ641bのアナログスイッチ731、図73のアナログスイッチ731にも適用される。

スイッチ 6 4 1 a はプリチャージイネーブル (PEN) 信号、選択プリチャージ信号 (PSL) と、図 7 4 のロジック信号の上位 3 ビット (H 5、H 4、H 3) で制御される。一例としたロジック信号の上位 3 ビット (H 5、H 4、H 3) の意味は、上位 3 ビットが “0” の時に選択プリチャージが実施されるようにしたためである。つまり、下位 3 ビットが “1” の時 (階調 0 から階調 7) の時を選択してプリチャージが実施されるように構成している。

なお、この選択プリチャージは、階調 0 のみをプリチャージするとか、階調 0 から階調 7 の範囲でプリチャージするとか固定してもよいが、低階調流域 (図 7 9 の階調 0 から階調 R 1 もしくは階調 (R 1 - 1)) を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調 0 から階調 R 1 の時はこの範囲で実施し、低階調領域が階調 0 から階調 R 2 の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

以上の信号の印加状態により、スイッチ 6 4 1 a がオンオフ制御され、スイッチ 6 4 1 a オンの時、プリチャージ電圧 P V がソース信号線 1 8 に印加される。なお、プリチャージ電圧 P V を印加する時間は、別途形成したカウンタ (図示せず) により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は 1 水平走査期間 (1 H) の $1/100$ 以上 $1/5$ 以下の時間に設定することが好ましい。たとえば、1 H が $100 \mu\text{sec}$ とすれば、 $1 \mu\text{sec}$ 以上 $20 \mu\text{sec}$ (1 H の $1/100$ 以上 1 H の $1/5$ 以下) とする。さらに好ましくは、 $2 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ (1 H の $2/100$ 以上 1 H の $1/10$ 以下) とする。

図 1 7 3 は図 7 0 あるいは図 7 5 の変形例である。図 1 7 3 は入力画

像データに応じてプリチャージするかしないかを判定し、プリチャージ制御を行うプリチャージ回路である。たとえば、画像データが階調 0 のみの時にプリチャージを行う設定、画像データが階調 0、1 のみの時にプリチャージを行う設定、階調 0 は必ずプリチャージし、階調 1 が所定以上連続して発生する場合にプリチャージする設定を行うことができる。

図 1 7 3 は、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（IC）1 4 の一例を示す。図 1 7 3 では、6 ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図 1 7 3 において、一致回路 1 7 3 1 は、画像データ D 0 ～D 5 に応じてデコードし、水平同期信号 HD によるリセット機能を有する R E N 端子入力、ドットクロック C L K 端子入力でプリチャージするかしないかを判定する。また、一致回路 1 7 3 1 はメモリを有しており、数 H あるいは数フィールド（フレーム）の画像データによるプリチャージ出力結果を保持している。保持結果にもとづき、プリチャージするか否かを判定し、プリチャージ制御する機能を有する。たとえば、階調 0 は必ずプリチャージし、階調 1 が 6 H（6 水平走査期間）以上連続して発生する場合にプリチャージする設定を行うことができる。また、階調 0、1 は必ずプリチャージし、階調 2 が 3 F（3 フレーム期間）以上連続して発生する場合にプリチャージする設定を行うことができる。

一致回路 1 7 3 1 の出力と、カウンタ回路 7 0 1 の出力とが、AND 回路 7 0 3 で AND され、一定期間黒レベル電圧 V p を出力するように構成されている。他の場合は、図 6 8 など説明した電流出力段 7 0 4 からの出力電流がソース信号線 1 8 に印加される（ソース信号線 1 8 からプログラム電流 I w を吸収する）。他の構成は、図 7 0、図 7 5 などと同等あるいは類似であるので説明を省略する。なお、図 1 7 3 ではプリチャージ電圧は A 点に印加しているが、B 点に印加してもよいことは

いうまでもない（図 7 5 も参照のこと）。

ソース信号線 1 8 に印加する画像データにより、プリチャージ電圧 PV 印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調 0 では印加時間を長くし、階調 4 ではそれよりも短くするなどである。また、1 H 前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、1 H 前にソース信号線に画素を白表示にする電流を書き込み、次の 1 H に、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1 H 前にソース信号線に画素を黒表示にする電流を書き込み、次の 1 H に、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

印加する画像データに応じてプリチャージ電圧を変化させることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（ V_{dd} に対して。なお、画素トランジスタ 1 1 a が P チャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ 1 1 a が P チャンネルの時）する。

以下、理解を容易にするため、図 7 5 を中心に説明する。なお、以下に説明する事項は図 7 0、図 1 7 5 のプリチャージ回路にも適用できることは言うまでもない。

プログラム電流オープン端子（ PO 端子）が“0”の時は、スイッチ 1 5 2 1 がオフ状態となり、 IL 端子および IH 端子とソース信号線 1 8 とは切り離される（ I_{out} 端子が、ソース信号線 1 8 と接続されている）。したがって、プログラム電流 I_w はソース信号線 1 8 には流れ

ない。P O端子はプログラム電流 I_w をソース信号線に印加している時は、“1”とし、スイッチ1521をオンして、プログラム電流 I_w をソース信号線18に流す。

P O端子に“0”を印加し、スイッチ1521をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。単位トランジスタ634は入力データ(D0～D5)に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16のV_{dd}端子からトランジスタ11aを介してソース信号線18に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素(画素行)も選択されず、ソース信号線18に流れ込む(流れ出す)経路がない状態を、全非選択期間と呼ぶ。

この状態で、I O U T端子がソース信号線18に接続されていると、オンしている単位トランジスタ634(実際にはオンしているのはD0～D5端子のデータにより制御されるスイッチ641であるが)に電流が流れる。そのため、ソース信号線18の寄生容量に充電された電荷が放電し、ソース信号線18の電位が、急激に低下する。以上のように、ソース信号線18の電位が低下すると、本来ソース信号線18に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

この課題を解決するため、本発明は、全非選択期間に、P O端子に“0”を印加し、図75のスイッチ1521をオフとして、I O U T端子とソース信号線18とを切り離す。切り離すことにより、ソース信号線18から単位トランジスタ634に電流が流れ込むことはなくなるから、全

非選択期間にソース信号線 18 の電位変化は発生しない。以上のように、全非選択期間に P O 端子を制御し、ソース信号線 18 から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

プリチャージ制御は、R、G、B で異ならせることも有効である。E L 素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、所定輝度の白面積：所定輝度の黒面積の比が 1 : 20 以上でプリチャージを停止または開始し、G と B は、所定輝度の白面積：所定輝度の黒面積の比が 1 : 16 以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機 E L パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が 1 : 100 以上（つまり、黒面積が白面積の 100 倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が 1 : 200 以上（つまり、黒面積が白面積の 200 倍以上）でプリチャージを停止することが好ましい。

プリチャージ電圧 P V は、画素 16 の駆動用トランジスタ 11 a が P チャンネルの場合、V d d（図 1 を参照）に近い電圧をソースドライバ回路（I C）14 から出力する必要がある。しかし、このプリチャージ

電圧 PV が V_{dd} に近いほど、ソースドライバ回路 (IC) 14 は高耐圧プロセスの半導体を使用する必要がある (高耐圧といっても、5 (V) ~ 10 (V) であるが、しかし、5 (V) 耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5 (V) 耐圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる)。

画素 16 の駆動用トランジスタ 11a のダイオード特性が良好で白表示のオン電流が確保した時、5 (V) 以下であれば、ソースドライバ IC 14 も 5 (V) プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が 5 (V) を越えると時、問題となる。特に、プリチャージは、トランジスタ 11a のソース電圧 V_{dd} に近いプリチャージ電圧 PV を印加する必要があるので、IC 14 から出力することができなくなる。

図 9 2 は、この課題を解決するパネル構成である。図 9 2 では、アレイ基板 7 1 側にスイッチ回路 6 4 1 を形成している。ソースドライバ IC 14 からは、スイッチ 6 4 1 のオンオフ信号を出力する。このオンオフ信号は、アレイ基板 7 1 に形成されたレベルシフト回路 6 9 3 で昇圧され、スイッチ 6 4 1 をオンオフ動作させる。なお、スイッチ 6 4 1 およびレベルシフト回路 6 9 3 が画素のトランジスタを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路 (IC) で別途形成し、アレイ基板 7 1 上に実装するなどしてもよい。

オンオフ信号は、先に説明 (図 7 5 など) したプリチャージ条件に基づいて、IC 14 の端子 7 6 1 a から出力される。したがって、プリチャージ電圧の印加、駆動方法は図 9 2 の実施例においても適用できることは言うまでもない。端子 7 6 1 a から出力される電圧 (信号) は、5 (V) 以下と低い。この電圧 (信号) がレベルシフト回路 6 9 3 でスイ

ッチ 6 4 1 のオンオフロジックレベルまで振幅が大きくされる。

以上のように構成することにより、ソースドライバ回路（I C）1 4 はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧 $P V$ は、動作電圧が高いアレイ基板 7 1 で課題はなくなる。したがって、プリチャージもアノード電圧（ V_{dd} ）まで十分印加できるようになる。

図 8 9 のスイッチ 1 5 2 1 もソースドライバ回路（I C）1 4 内に形成（配置）するとなると耐圧が問題となる。たとえば、画素 1 6 の V_{dd} 電圧が、I C 1 4 の電源電圧よりも高い場合、I C 1 4 の端子 7 6 1 に I C 1 4 を破壊するような電圧が印加される危険があるからである。

この課題を解決する実施例が図 9 1 の構成である。アレイ基板 7 1 にスイッチ回路 6 4 1 を形成（配置）している。スイッチ回路 6 4 1 の構成などは図 9 2 で説明した構成、仕様などと同じまたは近似である。

スイッチ 6 4 1 は I C 1 4 の出力よりも先で、かつソース信号線 1 8 の途中に配置されている。スイッチ 6 4 1 がオンすることにより、画素 1 6 をプログラムする電流 I_w がソースドライバ回路（I C）1 4 に流れ込む。スイッチ 6 4 1 がオフすることにより、ソースドライバ回路（I C）1 4 はソース信号線 1 8 から切り離される。このスイッチ 6 4 1 を制御することにより、図 9 0 に図示する駆動方式などを実施することができる。

図 9 2 と同様に端子 7 6 1 a から出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフタ回路 6 9 3 でスイッチ 6 4 1 のオンオフロジックレベルまで振幅が大きくされる。

以上のように構成することにより、ソースドライバ回路（I C）1 4 はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ 6 4 1 もアレイ基板 7 1 の電源電圧で動作するため、

画素 16 から V_{dd} 電圧がソース信号線 18 に印加されてもスイッチ 641 が破壊することはない、また、ソースドライバ回路 (IC) 14 が破壊されることもない。

なお、図 91 のソース信号線 18 の途中に配置 (形成) されたスイッチ 641 とプリチャージ電圧 PV 印加用スイッチ 641 の双方をアレイ基板 71 に形成 (配置) してもよいことは言うまでもない (図 91 + 図 92 の構成が例示される)。

以前にも説明したが、図 1 のように画素 16 の駆動用トランジスタ 11a、選択トランジスタ (11b、11c) が P チャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線 17a の電位変動が、選択トランジスタ (11b、11c) の G-S 容量 (寄生容量) を介して、コンデンサ 19 の端子に突き抜けるためである。P チャンネルトランジスタ 11b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、選択トランジスタ 11a のゲート (G) 端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

しかし、第 0 階調目の完全黒表示は実現できるが、第 1 階調などは表示しにくいことになる。もしくは、第 0 階調から第 1 階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

この課題を解決する構成が、図 71 の構成である。出力電流値を嵩上げる機能を有することを特徴としている。嵩上げ回路 711 の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル 0 であっても、ある程度 (数 10 nA) 電流が流れるようにし、黒レベルの調整にも用いることができる。

基本的には、図 71 は、図 64 の出力段に嵩上げ回路 (図 71 の点線で囲まれた部分) を追加したものである。図 71 は、電流値嵩上げ制御

信号として3ビット（K0、K1、K2）を仮定したものであり、この3ビットの制御信号により、孫電流源の電流値の0～7倍の電流値を出力電流に加算することが可能である。

以上が本発明のソースドライバ回路（IC）14の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（IC）14についてさらに詳しく説明をする。

EL素子15に流す電流I（A）と発光輝度B（nt）とは線形の関係がある。つまり、EL素子15に流す電流I（A）と発光輝度B（nt）とは比例する。電流駆動方式では、1ステップ（階調刻み）は、電流（単位トランジスタ634（1単位））である。

人間の輝度に対する視覚は2乗特性をもっている。つまり、2乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図83の関係であると、低輝度領域でも高輝度領域でも、EL素子15に流す電流I（A）と発光輝度B（nt）とは比例する。したがって、1ステップ（1階調）きざみずつ変化させると、低階調部（黒領域）では、1ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（1ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（IC）14において）、黒表示領域の表示が特に課題となる。

この課題に対して、本発明は、図79に図示するように、低階調領域（階調0（完全黒表示）から階調（R1））の電流出力の傾きを小さくし、高階調領域（階調（R1）から最大階調（R））の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに（1ステップ）増加する電流量と小さくする。高階調領域では、1階調あたりに（1ス

ステップ) 増加する電流量と大きくする。図 7 9 の 2 つの階調領域で 1 ステップあたりに変化する電流量を異ならせることにより、階調特性が 2 乗カーブに近くなり、低階調領域での黒飛びの発生はない。図 7 9 などに図示する階調－電流特性カーブをガンマカーブと呼ぶ。

なお、以上の実施例では、低階調領域と高階調領域の 2 段階の電流傾きとしたが、これに限定するものではない。3 段階以上であっても良いことは言うまでもない。しかし、2 段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、5 段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

本発明の技術的思想は、電流駆動方式のソースドライバ回路 (IC) などにおいて (基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。)、1 階調ステップあたりの電流増加量が複数存在することである。

EL などの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変わる。したがって、本発明のソースドライバ回路 (IC) 1 4 では、1 つの電流源 (1 単位トランジスタ) 6 3 4 に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

EL 表示パネルでは、R、G、B で発光効率が異なり、また、NTSC 基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためには RGB の比率を適正に調整する必要がある。調整は、RGB のそれぞれの基準電流を調整することにより行う。たとえば、R の基準電流を $2 \mu A$ にし、G の基準電流を $1.5 \mu A$ にし、B の基準電流を $3.5 \mu A$ にする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも 1 色の基準電流は変更あるいは調整あるいは制御

できるように構成することが好ましい。

本発明のソースドライバ回路（ソースドライバIC）14では、図67、図148などにおける第1段の電流源631のカレントミラー倍率を小さくし（たとえば、基準電流が $1\mu\text{A}$ であれば、トランジスタ632bに流れる電流を $1/100$ の 10nA にするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。以上のことは、図147の基準電流 I_b 、図157、図158、図159、図160、図161、図163、図164、図165などの基準電流 I_b 、 I_c にも適用されることは言うまでもない。

図79のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。なお、図79は一点折れガンマ回路で発生する階調制御方法である。これは、説明を容易にするためであり、本発明はこれに限定するものではない。複数点折れガンマ回路であってもよいことは言うまでもない。

また、図示していないが、RGBで独立に調整できるように、RGBごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2色（たとえば、Gを固定している場合は、R、B）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

電流駆動方式は、図83にも図示したように、ELに流す電流 I と輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバ

ランスがとれている。したがって、本発明はRGBの基準電流を調整できる調整手段を具備する点、1点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は液晶表示パネルの回路ではなく、電流制御のEL表示パネルに特有の回路方式である。

図79のガンマカーブの場合は、液晶表示パネルでは課題が発生する。まず、RGBのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調R1）をRGBで同一にする必要がある。この課題に対して、本発明の電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるから可能である。また、低階調領域の傾きと高階調領域の傾きとの比率をRGBで、一定にする必要がある。この課題に対して、本発明の電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるから可能である。

以上のように、本発明の電流駆動方式では、図83で図示するように、R、G、Bでは傾きは異なるが、画素16に印加する電流とEL素子15の発光輝度とが直線関係にあることを利用している。この関係を利用することにより、各階調でホワイトバランスずれがなく、簡単な回路規模でガンマ回路を実現できるという特徴を発揮する。

本発明のガンマ回路では、一例として低階調領域で1階調あたり10 nA増加（低階調領域でのガンマカーブの傾き）にする。また、高階調領域で1階調あたり50 nA増加（高階調領域でのガンマカーブの傾き）する。

なお、高階調領域で1階調あたり電流増加量／低階調領域で1階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、 $50 \text{ nA} / 10 \text{ nA} = 5$ である。RGBのガンマ電流比率は同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でE

L素子15に流れる電流（＝プログラム電流）を制御する。

図80ではそのガンマカーブの例である。図80の(a)では、低階調部、高階調部とも1階調あたりの電流増加が大きい。図80の(b)では、低階調部と高階調部とも1階調あたりの電流増加は図80の(a)に比較して小さい。ただし、図80の(a)のRGBのガンマ電流比率、図80の(b)のRGBのガンマ比率は同一にしている。

このようにガンマ電流比率をRGBで同一に維持したまま調整すると回路構成は容易になる。各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらに相対的に流す電流を調整するボリウムを作製（配置）すればよいからである。

図77はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路772で低電流領域の基準電流源771Lと高電流領域の基準電流源771Hとのガンマ電流比率を維持したまま、電流源633L、633Hに流れる電流を変化させる。

また、図78に図示するように、ICチップ（回路）14内に形成した温度検出回路781で表示パネルの温度を検出することが好ましい。有機EL素子は、RGBを構成する材料により温度特性が異なるからである。この温度の検出は、温度検出回路781に形成されたバイポーラトランジスタを用いて行う。バイポーラトランジスタの接合部の状態が温度により変化し、バイポーラトランジスタの出力電流が温度により変化することを利用する。この検出した温度を各色に配置（形成）した温度制御回路782にフィードバックし、電流制御回路772により温度補償を行う。

なお、ガンマ比率は、3以上10以下の関係にすることが適切である。さらに好ましくは、4以上8以下の関係にすることが適切である。特に

ガンマ電流比率は5以上7以下の関係を満足させることが好ましい。これを第1の関係と呼ぶ。

また、低階調部と高階調部との変化ポイント（図79の階調R1）は、最大階調数Kの $1/32$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数Kが6ビットの64階調とすれば、 $64/32 = 2$ 階調番目以上、 $64/4 = 16$ 階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（図79の階調R1）は、最大階調数Kの $1/16$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数Kが6ビットの64階調とすれば、 $64/16 = 4$ 階調番目以上、 $64/4 = 16$ 階調番目以下にする）。さらに好ましくは、最大階調数Kの $1/10$ 以上 $1/5$ 以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数Kが6ビットの64階調とすれば、 $64/10 = 6$ 階調番目以上、 $64/5 = 12$ 階調番目以下にする）。以上の関係を第2の関係と呼ぶ。

なお、以上の説明は、2つの電流領域のガンマ電流比率の関係である。しかし、以上の第2の関係は、3つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が2箇所以上ある）場合にも適用される。つまり、3つ以上の傾きに対し、任意の2つの傾きに対する関係に適用すればよい。

以上の第1の関係を第2の関係を両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

図82は、本発明の電流駆動方式のソースドライバ回路（IC）14を1つの表示パネルに複数個用いた実施例である。本発明のソースドライバIC14は複数のドライバIC14を用いることを想定している。ソースドライバIC14にはスレーブ/マスター（S/M）端子を具備

している。

S/M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブのIC14（14a、14c）の図73、図74のINL、INH端子に流れる電流となる。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図73、図74のINL、INH端子に流れる電流となる。

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の2系統である。したがって、RGBの3色では、 3×2 で6系統となる。なお、上記の実施例では、各色2系統としたがこれに限定するものではなく、各色3系統以上であっても良い。

本発明の電流駆動方式では、図81に図示するように、折れ曲がり点（階調R1など）を変更できるように構成している。図81の（a）では、階調R1で低階調部と高階調部とを変化させ、図81の（b）では、階調R2で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

具体的には、本発明では64階調表示を実現できる。折れ曲がり点（R1）は、なし、2階調目、4階調目、8階調目、16階調目としている。なお、完全黒表示を階調0としているため、折れ曲がり点は2、4、8、16となるのであって、完全に黒表示の階調を階調1とするのであれば、折れ曲がり点は、3、5、9、17、33となる。以上のように、折れ曲がり位置を2の倍数の箇所（もしくは、2の倍数+1の箇所：完全黒表示を階調1とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。

図 7 3 は低電流領域の電流源回路部の構成図である。また、図 7 4 は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図 7 3 に図示するように低電流源回路部は基準電流 I_{NL} が印加され、基本的にはこの電流が単位電流となり、入力データ $L_0 \sim L_4$ により、単位トランジスタ 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流 I_{wL} が流れる。

また、図 7 4 に図示するように高電流源回路部は基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $H_0 \sim L_5$ により、単位トランジスタ 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流 I_{wH} が流れる。

嵩上げ電流回路部も同様であって、図 7 4 に図示するように基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $AK_0 \sim AK_2$ により、単位トランジスタ 6 3 4 が必要個数動作し、その総和として嵩上げ電流に対応する電流 I_{wK} が流れる。

ソース信号線 1 8 に流れるプログラム電流 I_w は $I_w = I_{wH} + I_{wL} + I_{wK}$ である。 I_{wH} と I_{wL} の比率、つまりガンマ電流比率は、先にも説明した第 1 の関係を満足させるようにする。

図 7 3、図 7 4 に図示するようにオンオフスイッチ 6 4 1 は、インバータ 7 3 2 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 7 3 1 から構成される。このようにスイッチ 6 4 1 を、インバータ 7 3 2 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 7 3 1 から構成することにより、オン抵抗を低下することができ、単位トランジスタ 6 3 4 とソース信号線 1 8 間の電圧降下が極めて小さくすることができる。このことは本発明の他の実施例においても適用されることは言うまでもない。

図 7 3 の低電流回路部と図 7 4 の高電流回路部の動作について説明を

する。本発明のソースドライバ回路（IC）14は、低電流回路部L0～L4の5ビットで構成され、高電流回路部H0～H5の6ビットで構成される。なお、回路の外部から入力されるデータはD0～D5の6ビット（各色64階調）である。この6ビットデータをL0～L4の5ビット、高電流回路部H0～H5の6ビットに変換してソース信号線に画像データに対応するプログラム電流 I_w を印加する。つまり、入力6ビットデータを、 $5 + 6 = 11$ ビットデータに変換している。したがって、高精度のガンマカーブを形成できる。

以上のように、入力6ビットデータを、 $5 + 6 = 11$ ビットデータに変換している。本発明では、高電流領域の回路のビット数（H）は、入力データ（D）のビット数と同一にし、低電流領域の回路のビット数（L）は、入力データ（D）のビット数－1としている。なお、低電流領域の回路のビット数（L）は、入力データ（D）のビット数－2としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、EL表示パネルの画像表示に最適になる。

以下、低電流領域の回路制御データ（L0～L4）と高電流領域の回路制御データ（H0～H4）との制御方法について、図84から図86を参照しながら説明をする。

本発明は図73の図73のL4端子に接続された、単位トランジスタ634aの動作に特徴がある。この634aは1単位の電流源となる1つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流 I_w の制御（オンオフ制御）が容易になる。

図84は、低電流領域と高電流領域を階調4で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号である。なお、図84から図86において、階調0から18まで図示しているが、実際

は63階調目までである。したがって、各図面において階調18以上は省略している。また、表の“1”の時にスイッチ641がオンし、該当単位トランジスタ634とソース信号線18とが接続され、表の“0”の時にスイッチ641がオフするとしている。

図84において、完全黒表示の階調0の場合は、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。

階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位トランジスタ634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位トランジスタ634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ641La、641Lbがオンし、3つの単位トランジスタ634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調4では、 $(L0 \sim L4) = (1, 1, 0, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の3つのスイッチ641La、641Lb、641Leがオンし、4つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調 5 以上では、低電流領域 ($L_0 \sim L_4$) = (1、1、0、0、1) は変化がない。しかし、高電流領域において、階調 5 では ($H_0 \sim H_5$) = (1、0、0、0、0) であり、スイッチ 641H_a がオンし、高電流領域の 1 つの単位電流源 641 がソース信号線 18 と接続されている。また、階調 6 では ($H_0 \sim H_5$) = (0、1、0、0、0) であり、スイッチ 641H_b がオンし、高電流領域の 2 つの単位電流源 641 がソース信号線 18 と接続される。同様に、階調 7 では ($H_0 \sim H_5$) = (1、1、0、0、0) であり、2 つのスイッチ 641H_a スwitch 641H_b がオンし、高電流領域の 3 つの単位電流源 641 がソース信号線 18 と接続される。さらに、階調 8 では ($H_0 \sim H_5$) = (0、0、1、0、0) であり、1 つのスイッチ 641H_c がオンし、高電流領域の 4 つの単位電流源 641 がソース信号線 18 と接続される。以後、図 84 のように順次スイッチ 641 がオンオフし、プログラム電流 I_w がソース信号線 18 に印加される。

以上の動作で特徴的なのは、折れ曲がり点において、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流 I_w となっていることである。なお、低電流領域と高電流領域の切り換わり点、正確には、プログラム電流 I_w としては、高電流領域の階調の場合、低電流 I_{wL} が加算されているので、切り換り点という表現は正しくない。また、嵩上げ電流 I_{wK} も加算されている。

1 ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット (L) が変化しない点である。また、この時、図 73 の L_4 端子に“1”となり、スイッチ 641e がオンし、単位トランジスタ 634a に電流が流れている点である。

したがって、図 8 4 の階調 4 では低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作している。そして、階調 5 では、低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトランジスタ（電流源）6 3 4 が 1 個動作している。以後同様に、階調 6 では、低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトランジスタ（電流源）6 3 4 が 2 個動作する。したがって、折れ曲がりポイントである階調 5 以上では、折れ曲がりポイント以下の低階調領域の電流源 6 3 4 が階調分（この場合、4 個）オンし、これに加えて、順次、高階調部の電流源 6 3 4 が階調に応じた個数順次オンしていく。

図 7 3 における L 4 端子の単位トランジスタ 6 3 4 a の 1 個は有用に作用していることがわかる。この単位トランジスタ 6 3 4 a がないと、階調 3 の次に、高階調部の単位トランジスタ 6 3 4 が 1 個オンする動作になる。そのため、切り替わりポイントが 4、8、16 というように 2 の乗数（累乗）にならない。2 の乗数は 1 信号のみが“1”となった状態である。

以上の理由から、2 の重み付けの信号ラインが“1”となったという条件判定がやりやすい。そのため、条件判定のハード規模を小さくすることができる。つまり、IC チップの論理回路が簡略化し、結果としてチップ面積が小さい IC を設計できるのである（低コスト化が可能である）。

図 8 5 は、低電流領域と高電流領域を階調 8 で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号の説明図である。

図 8 5 において、完全黒表示の階調 0 の場合は、図 8 4 と同様であり、 $(L 0 \sim L 4) = (0, 0, 0, 0, 0)$ であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ 6 4 1 はオフ

状態であり、ソース信号線 18 にはプログラム電流 $I_w = 0$ である。

同様に階調 1 では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 1 つの単位トランジスタ 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

階調 2 では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 2 つの単位トランジスタ 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

階調 3 では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 2 つのスイッチ 641La、641Lb がオンし、3 つの単位トランジスタ 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

以下も同様に、階調 4 では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調 5 では、 $(L0 \sim L4) = (1, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。階調 6 では、 $(L0 \sim L4) = (0, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調 7 では、 $(L0 \sim L4) = (1, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。

階調 8 が切り替わりポイント(折れ曲がり位置)である。階調 8 では、 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 4 つのスイッチ 641La、641Lb、641Lc、641Le がオンし、8 つの単位

トランジスタ 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

階調 8 以上では、低電流領域 ($L 0 \sim L 4$) = (1、1、1、0、1) は変化がない。しかし、高電流領域において、階調 9 では ($H 0 \sim H 5$) = (1、0、0、0、0) であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。

以下、同様に、階調ステップに応じて、高電流領域の単位トランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 1 0 では ($H 0 \sim H 5$) = (0、1、0、0、0) であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 1 1 では ($H 0 \sim H 5$) = (1、1、0、0、0) であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 1 2 では ($H 0 \sim H 5$) = (0、0、1、0、0) であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。以後、図 8 4 のように順次スイッチ 6 4 1 がオンオフし、プログラム電流 I_w がソース信号線 1 8 に印加される。

図 8 6 は、低電流領域と高電流領域を階調 1 6 で切り替える場合の低電流側信号線 (L) と高電流側信号線 (H) との印加信号の説明図である。この場合も図 8 4、図 8 5 と基本的な動作は同じである。

つまり、図 8 6 において、完全黒表示の階調 0 の場合は、図 8 5 と同様であり、($L 0 \sim L 4$) = (0、0、0、0、0) であり、($H 0 \sim H 5$) = (0、0、0、0、0) である。したがって、すべてのスイッチ 6 4 1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流 $I_w = 0$ である。同様に階調 1 から階調 1 6 までは、高階調領域の ($H 0 \sim H 5$) = (0、0、0、0、0) である。したがって、低電流領域の 1

つの単位トランジスタ 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。つまり、低階調領域の (L 0 ~ L 4) のみが変わ化する。

つまり、階調 1 では、(L 0 ~ L 4) = (1、0、0、0、0) であり、階調 2 では、(L 0 ~ L 4) = (0、1、0、0、0) であり、階調 3 では、(L 0 ~ L 4) = (1、1、0、0、0) であり、階調 4 では、(L 0 ~ L 4) = (0、0、1、0、0) である。以下階調 1 6 まで順次カウントされる。つまり、階調 1 5 では、(L 0 ~ L 4) = (1、1、1、1、0) であり、階調 1 6 では、(L 0 ~ L 4) = (1、1、1、1、1) である。階調 1 6 では、階調を示す D 0 ~ D 5 の 5 ビット目 (D 4) のみが 1 本オンするため、データ D 0 ~ D 5 の表現している内容が 1 6 であるということが、1 データ信号線 (D 4) の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。

階調 1 6 が切り替わりポイント (折れ曲がり位置) である。もしくは階調 1 7 が切り替わりポイントというべきであるかもしれない。階調 1 6 では、(L 0 ~ L 4) = (1、1、1、1、1) であり、(H 0 ~ H 5) = (0、0、0、0、0) である。したがって、低電流領域の 4 つのスイッチ 6 4 1 L a、6 4 1 L b、6 4 1 L c、6 4 1 L d、6 4 1 L e がオンし、1 6 つの単位トランジスタ 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

階調 1 6 以上では、低電流領域 (L 0 ~ L 4) = (1、1、1、0、1) は変化がない。しかし、高電流領域において、階調 1 7 では (H 0 ~ H 5) = (1、0、0、0、0) であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。

以下、同様に、階調ステップに応じて、高電流領域の単位トランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 1 8 では (H 0 ~ H 5) = (0、1、0、0、0) であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 1 9 では (H 0 ~ H 5) = (1、1、0、0、0) であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 2 0 では (H 0 ~ H 5) = (0、0、1、0、0) であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。

以上のように、切り替わりポイント（折れ曲がり位置）で、2 の乗数の個数の電流源（1 単位トランジスタ） 6 3 4 がオンもしくはソース信号線 1 8 と接続する（逆に、オフとなる構成も考えられる）ように構成するロジック処理などがきわめて容易になる。

たとえば、図 8 4 に図示するように折れ曲がり位置が階調 4（4 は 2 の乗数である）であれば、4 個の電流源（1 単位） 6 3 4 が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（1 単位） 6 3 4 が加算されるように構成する。

また、図 8 5 に図示するように折れ曲がり位置が階調 8（8 は 2 の乗数である）であれば、8 個の電流源（1 単位） 6 3 4 が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（1 単位） 6 3 4 が加算されるように構成する。本発明の構成を採用すれば、6 4 階調に限らず（1 6 階調：4 0 9 6 色、2 5 6 階調：1 6 7 0 万色など）、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

なお、図 8 4、図 8 5、図 8 6 で説明した実施例では、切り替わりポ

イントの階調が2の乗数となるとしたが、これは、完全黒階調が階調0とした場合である。階調1を完全黒表示とする場合は、1加算する必要がある。

本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、2の乗数であれば、1信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源634aを付加する。

負論理であれば、2、4、8・・・ではなく、階調1、3、7、15・・・で切り替わりポイントとすればよい。また、階調0を完全黒表示としたが、これに限定するものではない。たとえば、64階調表示であれば、階調63を完全黒表示状態とし、階調0を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、2の乗数から処理上、異なる構成となる場合がある。

切り替わりポイント（折れ曲がり位置）は、1つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調4と階調16に設定することができる。また、階調4と階調16と階調32というように3ポイント以上に設定することもできる。

以上の実施例は、階調が2の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2の乗数の2と8（ $2 + 8 = 10$ 階調目、つまり、判定に要する信号線は2本）で折れ曲がり点を設定してもよい。それ以上の、2の乗数の2と8と16（ $2 + 8 + 16 = 26$ 階調目、つまり、判定に要する信号線は3本）で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハー

ド規模が大きくなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

図 8 7 に図示するように、本発明のソースドライバ回路 (I C) 1 4 は 3 つの部分の電流出力回路 7 0 4 から構成されている。高階調領域で動作する高電流領域電流出力回路 7 0 4 a であり、低電流領域および高階調領域で動作する低電流領域電流出力回路 7 0 4 b であり、嵩上げ電流を出力する低電流領域電流出力回路 7 0 4 b である。

高電流領域電流出力回路 7 0 4 a と電流嵩上げ電流出力回路 7 0 4 c は高電流を出力する基準電流源 7 7 1 a を基準電流として動作し、低電流領域電流出力回路 7 0 4 b は低電流を出力する基準電流源 7 7 1 b を基準電流として動作する。

先にも説明したが、電流出力回路 7 0 4 は、高電流領域電流出力回路 7 0 4 a 、低電流領域電流出力回路 7 0 4 b 、電流嵩上げ電流出力回路 7 0 4 c の 3 つに限定するものではなく、高電流領域電流出力回路 7 0 4 a と低電流領域電流出力回路 7 0 4 b の 2 つでもよく、また、 3 つ以上の電流出力回路 7 0 4 から構成してもよい。また、基準電流源 7 7 1 はそれぞれの電流領域電流出力回路 7 0 4 に対応して配置または形成してもよく、また、すべての電流領域電流出力回路 7 0 4 で共通にしてもよい。

以上の電流出力回路 7 0 4 が階調データに対応して、内部の単位トランジスタ 6 3 4 が動作し、ソース信号線 1 8 から電流を吸収する。前記と単位トランジスタ 6 3 4 は、 1 水平走査期間 (1 H) 信号に同期して動作する。つまり、 1 H の期間の間、該当する階調データに基づく電流を入力する (単位トランジスタ 6 3 4 が N チャンネルの場合) 。

一方、ゲートドライバ回路 1 2 も 1 H 信号に同期して、基本的には 1

本のゲート信号線 17a を順次選択する。つまり、1H 信号に同期して、第 1H 期間にはゲート信号線 17a (1) を選択し、第 2H 期間にはゲート信号線 17a (2) を選択し、第 3H 期間にはゲート信号線 17a (3) を選択し、第 4H 期間にはゲート信号線 17a (4) を選択する。

しかし、第 1 のゲート信号線 17a が選択されてから、次の第 2 のゲート信号線 17a が選択される期間には、どのゲート信号線 17a も選択されない期間（非選択期間、図 88 の t1 を参照）を設ける。非選択期間は、ゲート信号線 17a の立ち上がり期間、立下り期間が必要であり、選択トランジスタ 11d のオンオフ制御期間を確保するために設ける。

いずれかのゲート信号線 17a にオン電圧が印加され、画素 16 のトランジスタ 11b、選択トランジスタ 11c がオンしていれば、Vdd 電源（アノード電圧）から駆動用トランジスタ 11a を介して、ソース信号線 18 にプログラム電流 I_w が流れる。このプログラム電流 I_w が単位トランジスタ 634 に流れる（図 88 の t2 期間）。なお、ソース信号線 18 には寄生容量 C が発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

しかし、いずれのゲート信号線 17a も選択されていない（非選択期間 図 88 の t1 期間）はトランジスタ 11a を流れる電流経路がない。単位トランジスタ 634 は電流を流すから、ソース信号線 18 の寄生容量から電荷を吸収する。そのため、ソース信号線 18 の電位が低下する（図 88 の A の部分）。ソース信号線 18 の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

この課題を解決するため、図 89 に図示するように、ソース端子 761 との出力端にスイッチ 641a を形成する。また、電流嵩上げ電流出力回路 704c の出力段にスイッチ 641b を形成または配置する。

非選択期間 t_1 に、制御端子 S_1 に制御信号を印加し、スイッチ 641a をオフ状態にする。選択期間 t_2 ではスイッチ 641a をオン状態（導通状態）にする。オン状態の時にはプログラム電流 $I_w = I_{wH} + I_{wL} + I_{wK}$ が流れる。スイッチ 641a をオフにすると I_w 電流は流れない。したがって、図 90 に図示するように図 88 の A のような電位に低下する（変化はない）。なお、スイッチ 641 のアナログスイッチ 731 のチャンネル幅 W は、 $10\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下にする。このアナログスイッチの W (チャンネル幅) はオン抵抗を低減するために、 $10\ \mu\text{m}$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\ \mu\text{m}$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\ \mu\text{m}$ 以上 $60\ \mu\text{m}$ 以下にすることが好ましい。

スイッチ 641b は低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素 16 のトランジスタ 11a のゲート電位は V_{dd} に近くする必要がある（したがって、黒表示では、ソース信号線 18 の電位は V_{dd} 近くにする必要がある）。また、黒表示では、プログラム電流 I_w が小さく、図 88 の A ように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

そのため、低階調表示の場合は、非選択期間 t_1 が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流 I_w が大きいため、非選択期間 t_1 が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ 641a、スイッチ 641b の両方をオンさせておく。また、嵩上げ電流 I_{wK} も切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ 641a をオンさせておき、スイッチ 641b はオフするというように駆動する。スイッチ 641b は端子 S_2 で制御する。

なお、低階調表示および高階調表示の両方で、非選択期間 t_1 にスイッチ 641a をオフ（非導通状態）、スイッチ 641b はオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間 t_1 にスイッチ 641a、スイッチ 641b の両方をオフ（非導通）させた駆動を実施してもよい。いずれにしても、制御端子 S1、S2 の制御でスイッチ 641 を制御できる。なお、制御端子 S1、S2 はコマンド制御で制御する。

たとえば、制御端子 S2 は非選択期間 t_1 をオーバーラップするように t_3 期間を“0”ロジックレベルとする。このように制御にすることにより、図 88 の A の状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子 S1 を“0”ロジックレベルとする。すると、嵩上げ電流 I_{wK} は停止し、より黒表示を実現できる。

通常のドライバ IC では、出力近傍に保護ダイオード 1671 が形成されている（図 167 を参照のこと）。保護ダイオード 1671 は、IC14 外部から静電気で IC14 が破壊されることを防止するために形成される。一般的に保護ダイオード 1671 は出力配線 643 と電源 Vcc 間、出力配線 643 とグランド間に形成される。

保護ダイオード 1671 は、静電気による破壊防止には有効である。しかし、等価回路図的には、コンデンサ（寄生容量）とみなされる。電流駆動方式では、出力端子 643 に寄生容量があると電流書込みが困難になる。

本発明はこの課題を解決する方法である。ソースドライバ IC14 は、出力段には保護ダイオード 1671 が形成された状態で製造される。製造されたソースドライバ IC14 はアレイ基板 71 に積載または配置され、出力端子 761 とソース信号線 18 とが接続される。出力端子 761 とソース信号線 18 との接続後、図 169 の（a）に図示するように

a 点および b 点がレーザー光 1 5 0 2 で切断され、保護ダイオード 1 6 7 1 が出力配線 6 4 3 から切り離される。または、図 1 6 9 の (b) に図示するように、c 点および d 点にレーザー光 1 5 0 2 が照射され、切断される。したがって、保護ダイオード 1 6 7 1 がフローティング状態となる。

以上のように保護ダイオード 1 6 7 1 が出力配線 6 4 3 から切り離されることにより、または、保護ダイオード 1 6 7 1 をフローティング状態にすることにより、保護ダイオード 1 6 7 1 による寄生容量の発生を防止でき、また、I C 1 4 の実装後に、保護ダイオード 1 6 7 1 が出力配線 6 4 3 から切り離されることにより、または、保護ダイオード 1 6 7 1 をフローティング状態にするため、静電気による破壊の問題も発生しない。

なお、レーザー光 1 5 0 2 の照射は、図 1 6 8 に図示するように、アレイ基板 7 1 の裏面から行う。アレイ基板 7 1 はガラス基板であり、光透過性を有する。したがって、レーザー光 1 5 0 2 はアレイ基板 7 1 を透過することができる。

以上の実施例は、表示パネルに 1 つのソースドライバ I C 1 4 を積載することを前提にした実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ I C 1 4 を 1 つの表示パネルに複数積載する構成でもよい。たとえば、図 9 3 は 3 つのソースドライバ I C 1 4 を積載した表示パネルの実施例である。

図 8 2 でも説明したように、本発明の電流駆動方式のソースドライバ回路 (I C) 1 4 は複数のドライバ I C 1 4 を用いることに対応している。そのため、スレーブ/マスター (S/M) 端子を具備している。S/M 端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子 (図示せず) から、基準電流を出力する。もちろん、S

／M端子のロジックは逆極性でもよい。

スレーブ／マスター（S／M）の切り替えは、ソースドライバIC14へのコマンドにより切り替えても良い。基準電流はカスケード電流接続線931で伝達される。S／M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図73、図74のINL、INH端子に流れる電流となる。

一例として、基準電流はICチップ14の中央部（真中部分）の電流出力回路704で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはIC内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

なお、ICチップ14の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子761までの距離を極力短くするためである。

図93の構成では、マスターチップ14bより基準電流が2つのスレーブチップ（14a、14c）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ14bがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（図67を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

図94は基準電流の受け渡し端子位置を概念的に図示している。ICチップの中央部に配置されて信号入力端子941iに基準電流信号線932が接続されている。この基準電流信号線932に印加される電流（なお、電圧の場合もある。図76を参照のこと）は、EL材料の温特補償

がされている。また、E L材料の寿命劣化による補償がされている。

基準電流信号線 9 3 2 に印加された電流（電圧）に基づき、チップ 1 4 内で各電流源（6 3 1、6 3 2、6 3 3、6 3 4）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子 9 4 1 o から出力される。端子 9 4 1 o は基準電流発生回路 7 0 4 の左右に少なくとも 1 個以上配置（形成）される。図 9 4 では、左右に 2 個ずつ配置（形成）されている。この基準電流が、カスケード信号線 9 3 1 a 1、9 3 1 a 2、9 3 1 b 1、9 3 1 b 2 でスレーブチップ 1 4 に伝達される。なお、スレーブチップ 1 4 a に印加された基準電流を、マスターチップ 1 4 b にフィードバックし、ずれ量を補正するように回路を構成してもよい。

有機 E L 表示パネルをモジュール化する際、問題となる事項に、アノード配線 9 5 1、カソード配線の引き回し（配置）の抵抗値の課題がある。有機 E L 表示パネルは、E L 素子 1 5 の駆動電圧が比較的低いかわりに、E L 素子 1 5 に流れる電流が大きい。そのため、E L 素子 1 5 に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2 インチクラスの E L 表示パネルでも高分子 E L 材料では、2 0 0 m A 以上の電流をアノード配線 9 5 1 に流す必要がある。そのため、アノード配線 9 5 1 の電圧降下を防止するため、アノード配線は 1 Ω 以下の低抵抗化する必要がある。しかし、アレイ基板 7 1 では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、2 0 0 m A の電流をほとんど電圧降下なしで伝達するためには、配線幅が 2 m m 以上となるという課題があった。

図 1 0 5 は従来の E L 表示パネルの構成である。表示画面 5 0 の左右に内蔵ゲートドライバ回路 1 2 a、1 2 b が形成（配置）されている。

また、ソースドライバ回路 14 p も画素 16 のトランジスタと同一プロセスで形成されている（内蔵ソースドライバ回路）。

アノード配線 951 はパネルの右側に配置されている。アノード配線 951 には V_{dd} 電圧が印加されている。アノード配線 951 幅は一例として 2 mm 以上である。アノード配線 951 は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、Q C I F パネルでは、176 列 \times R G B = 528 本である。一方、ソース信号線 18 は内蔵ソースドライバ回路 14 p から出力されている。ソース信号線 18 は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ回路 12 の電源配線 1051 も画面の左右に配置されている。

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図 105 の構成では、狭額縁化が困難である。

この課題を解決するため、本発明の表示パネルでは、図 106 に図示するように、アノード配線 951 はソースドライバ I C 14 の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（I C）14 は半導体チップで形成（作製）し、C O G（チップオンガラス）技術でアレイ基板 71 に実装している。ソースドライバ I C 14 化にアノード配線 951 を配置（形成）できるのは、チップ 14 の裏面に基板に垂直方向に $10\ \mu\text{m} \sim 30\ \mu\text{m}$ の空間があるからである。

図 105 のように、ソースドライバ回路 14 p をアレイ基板 71 に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路 14 p の下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）951 を形成

することは困難である。

また、図 106 に図示するように、共通アノード線 962 を形成し、ベースアノード線 951 と共通アノード線 962 とを接続アノード線 961 で短絡させている。特に、IC チップの中央部の接続アノード線 961 を形成した点がポイントである。接続アノード線 961 を形成することにより、ベースアノード線 951 と共通アノード線 962 間の電位差がなくなる。また、アノード配線 952 を共通アノード線 962 から分岐している点がポイントである。以上の構成を採用することにより、図 105 のようにアノード配線 951 の引き回しがなくなり、狭額縁化を実現できる。

共通アノード線 962 が長さ 20 mm とし、配線幅が $150\ \mu\text{m}$ とし、配線のシート抵抗を $0.05\ \Omega/\square$ とすれば、抵抗値は $20000\ (\mu\text{m}) / 150\ (\mu\text{m}) \times 0.05\ \Omega = \text{約 } 7\ \Omega$ になる。共通アノード線 962 の両端を接続アノード線 961 c でベースアノード線 951 と接続すれば、共通アノード線 962 には両側給電されるから、見かけ上の抵抗値は、 $7\ \Omega / 2 = 3.5\ \Omega$ となり、また、集中分布乗数に置きなおすと、さらに、見かけ上の共通アノード線 962 の抵抗値は $1/2$ となるから、少なくとも $2\ \Omega$ 以下となる。アノード電流が $100\ \text{mA}$ であっても、この共通アノード線 962 での電圧降下は、 $0.2\ \text{V}$ 以下となる。さらに、中央部の接続アノード線 961 b で短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。

本発明はベースアノード線 951 を IC 14 下に形成すること、共通アノード線 962 を形成し、この共通アノード線 962 とベースアノード線 951 とを電氣的に接続すること（接続アノード線 961）、共通アノード線 962 からアノード配線 952 を分岐させることである。

なお、本発明では、画素構成は図 1 を例示して説明をする。そのため、

カソード電極をべた電極（画素１６に共通の電極）とし、アノードを配線で引き回すとして説明をする。しかし、駆動用トランジスタ１１ａの構成（ＮチャンネルかＰチャンネルか）、画素構成によっては、アノードをべた電極とし、カソードを配線により引き回す必要がある場合もある。したがって、本発明はアノードを引き回すことに限定するものではない。引き回す必要があるアノードまたはカソードに関する発明である。したがって、カソードを配線として引き回す構成である場合は、本発明で記載するアノードをカソードと読み替えればよい。

アノード線（ベースアノード線９５１、共通アノード線９６２、接続アノード線９６１、アノード配線９５２など）を低抵抗化するため、薄膜の配線を形成後、あるいはパターニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができる。以上の事項はカソードに関しても同様である。また、ゲート信号線１７、ソース信号線１８にも適用することができる。

共通アノード線９６２を形成し、この共通アノード線９６２を接続アノード線９６１で両側給電を行う構成の効果は高く、また、中央部に接続アノード線９６１ｂ（９６１ｃ）を形成することによりさらに効果が高くなる。また、ベースアノード線９５１、共通アノード線９６２、接続アノード線９６１でループを構成しているため、ＩＣ１４に入力される電界を抑制することができる。

共通アノード線９６２とベースアノード線９５１は同一金属材料で形成し、また、接続アノード線９６１も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も抵抗値の低い金属材料あるいは構成で実現する。一般的に、ソース信号線１８の金属材料および構成（ＳＤレイヤ）で実現する。共通アノード線９６２

とソース信号線 18 とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料（ゲート信号線 17 と同一材料および構成、GE レイヤー）で形成し、絶縁膜で電氣的に絶縁する。もちろん、アノード線は、ソース信号線 18 の構成材料からなる薄膜と、ゲート信号線 17 の構成材料からなる薄膜とを積層して構成してもよい。

なお、ソースドライバ IC 14 の裏面にアノード配線（カソード配線）などの EL 素子 15 に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路 12 を IC チップで形成し、この IC を COG 実装してもよい。このゲートドライバ IC 12 の裏面にアノード配線、カソード配線を配置（形成）する。

以上のように本発明は、EL 表示装置などにおいて、駆動 IC を半導体チップで形成（作製）し、この IC をアレイ基板 71 などの基板に直接実装し、かつ、IC チップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。

以上の事項を他の図面を使用しながらさらに詳しく説明をする。図 95 は本発明の表示パネルの一部の説明図である。図 95 において、点線が IC チップ 14 を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）が IC チップ 14 の裏面かつアレイ基板 71 上に形成（配置）されている。なお、本発明の実施例において、IC チップ（12、14）の裏面に分岐前のアノード配線 951 を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線 951 のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲート

ドライバ回路 12 の電源配線 1051 を配置または形成してもよい。

ICチップ 14 は COG 技術により電流出力（電流入力）端子 741 とアレイ基板 71 に形成された接続端子 953 とが接続される。接続端子 953 はソース信号線 18 の一端に形成されている。また、接続端子 953 は 953a と 953b というように千鳥配置である。なお、ソース信号線的一端には接続端子 953 が形成され、他の端にもチェック用の端子電極が形成されている。

また、本発明の IC チップは電流駆動方式のドライバ IC（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図 43、図 53 などの電圧プログラムの画素を駆動する電圧駆動方式のドライバ IC を積載した EL 表示パネル（装置）などにも適用することができる。

接続端子 953a と 953b 間にはアノード配線 952（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線 951 から分岐されたアノード配線 952 が接続端子 953 間に形成され、画素 16 列に沿って配置されている。したがって、アノード配線 952 とソース信号線 18 とは平行に形成（配置）される。以上のように構成（形成）することにより、図 105 のようにベースアノード線 951 を画面横に引き回すことなく、各画素に V_{dd} 電圧を供給できる。

図 96 はさらに、具体的に図示している。図 95 との差異は、アノード配線を接続端子 953 間に配置せず、別途形成した共通アノード線 962 から分岐させた点である。共通アノード線 962 とベースアノード線 951 とは接続アノード線 961 で接続している。

図 96 は IC チップ 14 を透視して裏面の様子を図示したように記載している。IC チップ 14 は出力端子 761 にプログラム電流 I_w を出力する電流出力回路 704 が配置されている。基本的に、出力端子 76

1 と電流出力回路 704 は規則正しく配置されている。ICチップ 14 の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、ICチップの中央部には出力端子 761 が形成されていない。電流出力回路 704 が ICチップの中央部に形成できないからである。

本発明では、図 96 の高電流領域電流出力回路 704 a 部には出力端子 761 を ICチップに作製していない。出力回路がないからである。なお、ソースドライバなどの ICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い。本発明の ICチップはこの点に着眼し、ICチップの中央部に出力端子 761 を形成（配置）していない。もちろん、ICチップの中央部に出力端子 761 を形成（配置）する場合はこの限りでない。

本発明では、ICチップの中央部に接続アノード線 961 を形成している。ただし、接続アノード線 961 はアレイ基板 71 面に形成されていることはいうまでもない。接続アノード線 961 の幅は、 $50\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下にする。また、長さに対する抵抗（最大抵抗）値は、 100Ω 以下になるようにする。

接続アノード線 961 でベースアノード線 951 と共通アノード線 962 とをショートすることにより、共通アノード線 962 に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線 961 は ICチップの中央部に出力回路がない点を有効に利用しているのである。また、従来、ICチップの中央部にダミーパッドとして形成されている出力端子 761 を削除することにより、このダミーパッドと接続アノード線 961 が接触することによる、ICチップが電氣的に影響をあたえることを防止している。

ただし、このダミーパッドが ICチップのベース基板（チップのグラ

ンド)、他の構成と電氣的に絶縁されている場合は、ダミーパッドが接続アノード線 9 6 1 と接触しても全く問題がない。したがって、ダミーパッドを I C チップの中央部に形成したままでもよいことは言うまでもない。

さらに具体的には、図 9 9 のように接続アノード線 9 6 1、共通アノード線 9 6 2 は形成（配置）されている。まず、接続アノード線 9 6 1 は太い部分（9 6 1 a）と細い部分（9 6 1 b）がある。太い部分（9 6 1 a）は抵抗値を低減するためである。細い部分（9 6 1 b）は、出力端子 9 6 3 間に接続アノード線 9 6 1 b を形成し、共通アノード線 9 6 2 と接続するためである。

また、ベースアノード線 9 5 1 と共通アノード線 9 6 2 との接続は、中央部の接続アノード線 9 6 1 b だけでなく、左右の接続アノード線 9 6 1 c でもショートしている。つまり、共通アノード線 9 6 2 とベースアノード線 9 5 1 とは 3 本の接続アノード線 9 6 1 でショートされている。この構成により共通アノード線 9 6 2 に大きな電流が流れても共通アノード線 9 6 2 で電圧降下が発生しにくい。これは、I C チップ 1 4 は通常、幅が 2 mm 以上あり、この I C 1 4 下に形成されたベースアノード線 9 5 1 の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線 9 5 1 と共通アノード線 9 6 2 とを複数箇所て接続アノード線 9 6 1 によりショートしているため、共通アノード線 9 6 2 の電圧降下は小さくなるのである。

以上のように共通アノード線 9 6 2 での電圧降下を小さくできるのは、I C チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）できる点、I C チップ 1 4 の左右の位置を用いて、接続アノード線 9 6 1 c を配置（形成）できる点、I C チップ 1 4 の中央部に接続アノード線 9 6 1 b を配置（形成）できる点にある。

また、図 9 9 では、ベースアノード線 9 5 1 とカソード電源線（ベースカソード線） 9 9 1 とを絶縁膜 1 0 2 を介して積層させている。この積層した箇所がコンデンサを形成する。この構成をアノードコンデンサ構成と呼ぶ。このコンデンサは、電源パスコンデンサとして機能する。したがって、ベースアノード線 9 5 1 の急激な電流変化を吸収することができる。コンデンサの容量は、E L 表示装置の表示面積を S 平方ミリメートルとし、コンデンサの容量を C (p F) としたとき、 $M/200 \leq C \leq M/10$ 以下の関係を満足させることがよい。さらには、 $M/100 \leq C \leq M/20$ 以下の関係を満足させることがよい。C が小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

なお、図 9 9 などの実施例では、I C チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図 9 9 において、ベースカソード線 9 9 1 とベースアノード線 9 5 1 とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板 7 1 もしくはフレキシブル基板に実装し、半導体チップの下面に E L 素子 1 5 などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

したがって、半導体チップは、ソースドライバ I C 1 4 に限定されるものではなく、ゲートドライバ回路 1 2 でもよく、また、電源 I C でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面に E L 素子 1 5 などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバ I C 1 4 とゲートドライバ I C 1 2 の両方を、半導体チップで構成し、アレイ基板 7 1 に C O G 実装を行っても良い。そして、前記

チップの下面に電源あるいはグランドパターンを形成してもよい。また、EL素子15への電源あるいはグランドパターンとしたがこれに限定するものではなく、ソースドライバ回路4への電源配線、ゲートドライバ回路12への電源配線でもよい。また、EL表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、FED、PDPなど表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

図97は本発明の他の実施例である。主な図95、図96、図99との差異は図95が出力端子953間にアノード配線952を配置したのに対し、図97では、ベースアノード配線951から多数（複数）の細い接続アノード線961dを分岐させ、この接続アノード線961dを共通アノード線962とをショートした点である。また、細い接続アノード線961dと接続端子953と接続されたソース信号線18とを絶縁膜102を介して積層した点である。

アノード線961dはベースアノード線951とコンタクトホール971aで接続を取り、アノード配線952は共通アノード線962とコンタクトホール971bで接続を取っている。他の点（接続アノード線961a、961b、961c、アノードコンデンサ構成など）などは図96、図99と同様であるので説明を省略する。

図99のa-a'線での断面図を図98に図示する。図98の(a)では、略同一幅のソース信号線18を接続アノード線961dが絶縁膜102aを介して積層されている。

絶縁膜102aの膜厚は、500オングストローム以上3000オングストローム（Å）以下にする。さらに好ましくは、800オングストローム以上2000オングストローム（Å）以下にする。膜厚が薄いと、接続アノード線961dとソース信号線18との寄生容量が大きくなり、

また、接続アノード線 961d とソース信号線 18 との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。

絶縁膜 102 は、ポリビフェニールアルコール (PVA) 樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 SiO_2 、 SiN_x などの無機材料が例示される。その他、 Al_2O_3 、 Ta_2O_3 などであってもよいことは言うまでもない。また、図 98 の (a) に図示するように、最表面には絶縁膜 102b を形成し、配線 961 などの腐食、機械的損傷を防止させる。

図 98 の (b) では、ソース信号線 18 の上にソース信号線 18 よりも線幅の狭い接続アノード線 961d が絶縁膜 102a を介して積層されている。以上のように構成することにより、ソース信号線 18 の段差によるソース信号線 18 と接続アノード線 961d とのショートを抑制することができる。図 98 の (b) の構成では、接続アノード線 961d の線幅は、ソース信号線 18 の線幅よりも $0.5\mu\text{m}$ 以上狭くすることが好ましい。さらには、接続アノード線 961d の線幅は、ソース信号線 18 の線幅よりも $0.8\mu\text{m}$ 以上狭くすることが好ましい。

図 98 の (b) では、ソース信号線 18 の上にソース信号線 18 よりも線幅の狭い接続アノード線 961d が絶縁膜 102a を介して積層されているとしたが、図 98 の (c) に図示するように、接続アノード線 961d の上に接続アノード線 961d よりも線幅の狭いソース信号線 18 が絶縁膜 102a を介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

図 100 は IC チップ 14 部の断面図である。基本的には図 99 の構

成を基準にしているが、図 9 6、図 9 7 などでも同様に適用できる。もしくは類似に適用できる。

図 1 0 0 の (b) は図 9 9 の A A ' での断面図である。図 1 0 0 の (b) でも明らかなように、I C チップの 1 4 の中央部には出力パッド 7 6 1 が形成 (配置) されていない。この出力パッドと、表示パネルのソース信号線 1 8 とが接続される。出力パッド 7 6 1 は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ (突起) が形成されている。突起の高さは $10\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の高さにする。もちろん、金メッキ技術 (電解、無電解) により突起を形成してもよいことは言うまでもない。

前記突起と各ソース信号線 1 8 とは導電性接合層 (図示せず) を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀 (A g)、金 (A u)、ニッケル (N i)、カーボン (C)、酸化錫 (S n O_2) などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層 (接続樹脂) 1 0 0 1 は、転写等の技術でバンプ上に形成する。または、突起とソース信号線 1 8 とを A C F 樹脂 1 0 0 1 で熱圧着される。

なお、突起あるいは出力パッド 7 6 1 とソース信号線 1 8 との接続は、以上の方式に限定するものではない。また、アレイ基板上に I C 1 4 を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線 1 8 などと接続しても良い。図 1 0 0 の (a) はソース信号線 1 8 と共通アノード線 9 6 2 とが重なっている部分の断面図である (図 9 8 を参照のこと)。

共通アノード線 9 6 2 からアノード配線 9 5 2 が分岐されている。アノード配線 9 5 2 は Q C I F パネルの場合は、 $176 \times \text{RGB} = 528$ 本である。アノード配線 9 5 2 を介して、図 1 など図示する V d d 電

圧（アノード電圧）が供給される。1本のアノード配線952には、EL素子15が低分子材料の場合は、最大で $200\mu\text{A}$ 程度の電流が流れる。したがって、共通アノード線962には、 $200\mu\text{A} \times 528$ で約 100mA の電流が流れる。

したがって、共通アノード線962での電圧降下を 0.2V 以内にするには、電流が流れる最大経路の抵抗値が 2Ω （ 100mA 流れるとして）以下にする必要がある。本発明では、図99に示すように3箇所接続アノード線961を形成しているので、集中分布回路におきなおすと、共通アノード線962の抵抗値は容易に極めて小さく設計することができる。また、図97のように多数の接続アノード線961dを形成すれば、共通アノード線962での電圧降下は、ほぼなくなる。

問題となるのは、共通アノード線962とソース信号線18との重なり部分における寄生容量（共通アノード寄生容量と呼ぶ）の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線18に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

共通アノード寄生容量は、少なくとも1ソース信号線18が表示領域内で発生する寄生容量（表示寄生容量と呼ぶ）の $1/10$ 以下にする必要がある。たとえば、表示寄生容量が 10pF であれば、 1pF 以下にする必要がある。さらに好ましくは、表示寄生容量の $1/20$ 以下にする必要がある。表示寄生容量が 10pF であれば、 0.5pF 以下にする必要がある。この点を考慮して、共通アノード線962の線幅（図103のM）、絶縁膜102の膜厚（図101を参照）を決定する。

ベースアノード線951はICチップ14の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことはいうま

でない。その他、ベースアノード配線 9 5 1 は遮光の機能を持たせることが好ましい。

この説明図を図 1 0 2 に図示している。なお、ベースアノード配線 9 5 1 を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線 9 5 1 が太くできない時、あるいは、ITO などの透明材料で形成するときは、ベースアノード線 9 5 1 に積層して、あるいは多層に、光吸収膜あるいは光反射膜を IC チップ 1 4 下（基本的にはアレイ基板 7 1 の表面）に形成する。また、図 1 0 2 の遮光膜（ベースアノード線 9 5 1）は、完全な遮光膜であることを必要としない。部分に開口部があってもよい。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線 9 5 1 に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

もちろん、アレイ基板 7 1 と IC チップ 1 4 との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板 7 1 と IC チップ 1 4 との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線 9 5 1 を遮光膜（反射膜）にするとして説明をする。

図 1 0 2 のように、ベースアノード線 9 5 1 はアレイ基板 7 1 の表面に形成される（なお、表面に限定するものではない。遮光膜／反射膜と

するという思想を満足させるためには、ＩＣチップ１４の裏面に光が入射しなければよいのである。したがって、アレイ基板７１の内面あるいは内層にベースアノード線９５１などを形成してもよいことは言うまでもない。また、アレイ基板７１の裏面にベースアノード線９５１（反射膜、光吸収膜として機能する構成または構造）を形成することにより、ＩＣ１４に光が入射することを防止または抑制できるのであれば、アレイ基板７１の裏面でもよい）。

また、図１０２などでは、遮光膜などはアレイ基板７１に形成するとしたがこれに限定するものではなく、ＩＣチップ１４の裏面に直接に遮光膜などを形成してもよい。この場合は、ＩＣチップ１４の裏面に絶縁膜１０２（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路１４がアレイ基板７１に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜をアレイ基板７１に形成し、その上にドライバ回路１４を形成（配置）すればよい。

ＩＣチップ１４には電流源６３４など、微少電流を流すトランジスタ素子が多く形成されている（図１０２の回路形成部１０２１）。微少電流を流すトランジスタ素子（単位トランジスタ６３４など）に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流 I_w ）、親電流量、子電流量などが異常な値（バラツキが発生するなど）となる。特に、有機ＥＬなどの自発光素子は、アレイ基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示画面５０以外の箇所から強い光が放射される。この放射された光が、ＩＣチップ１４の回路形成部１０２１に入射するとホトコンダクタ現象が発生する。したがって、ホトコンダクタ現象の対策は、ＥＬ表示デバイスに特有課題の対策である。

この課題に対して、本発明では、ベースアノード線 9 5 1 をアレイ基板 7 1 上に構成し、遮光膜とする。ベースアノード線 9 5 1 の形成領域は図 1 0 2 に図示するように、回路形成部 1 0 2 1 を被覆するようにする。以上のように、遮光膜（ベースアノード線 9 5 1）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線 9 5 1 などの E L 電源線は、画面書き換えに伴い、電流がながれて電位が多少変化する。しかし、電位の変化量は、1 H タイミングで少しずつ変化するため、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線 9 5 1 あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

有機 E L などの自発光素子は、アレイ基板 7 1 内で E L 素子 1 5 から発生した光が乱反射するため、表示画面 5 0 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図 1 0 1 に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜 1 0 1 1 を形成する（逆に有効領域とは、表示画面 5 0 をその近傍）。光吸収膜を形成する箇所は、封止フタ 8 5 の外面（光吸収膜 1 0 1 1 a）、封止フタ 8 5 の内面（光吸収膜 1 0 1 1 c）、基板 7 0 の側面（光吸収膜 1 0 1 1 d）、基板の画像表示領域以外（光吸収膜 1 0 1 1 b）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることにより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラ

ン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成された PrMnO_3 膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することに等価となる場合も多い。

なお、封止フタ85は、 $4\mu\text{m}$ 以上 $15\mu\text{m}$ 以下の樹脂ビーズ1012を含有させた封止樹脂1031を用いて、アレイ基板71と封止フタ85とを接着する。封止フタ85は加圧せずに配置し、固定する。

図99の実施例は、共通アノード線962をICチップ14の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図103に図示するように、表示画面50の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線18とアノード配線952とが短距離で、かつ平行して配置（形成）する部

分が減少するからである。ソース信号線 18 とアノード配線 952 とが短距離で、かつ平行に配置されると、ソース信号線 18 とアノード配線 952 間に寄生容量が発生するからである。図 103 のように、表示画面 50 の近傍に共通アノード線 962 を配置するとその問題点はなくなる。表示画面 50 から共通アノード線 962 の距離 K (図 103 を参照) は、1 mm 以下にすることが好ましい。

共通アノード線 962 は、極力低抵抗化するため、ソース信号線 18 を形成する金属材料で形成することが好ましい。本発明では、Cu 薄膜、Al 薄膜あるいは Ti / Al / Ti の積層構造、あるいは合金もしくはアマンガムからなる金属材料 (SD メタル) で形成している。したがって、ソース信号線 18 と共通アノード線 962 が交差する箇所はショートすることを防止するため、ゲート信号線 17 を構成する金属材料 (GE メタル) に置き換える。ゲート信号線は、Mo / W の積層構造からなる金属材料で形成している。

一般的に、ゲート信号線 17 のシート抵抗は、ソース信号線 18 のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機 EL 表示パネルにおいて、かつ電流駆動方式では、ソース信号線 18 を流れる電流は 1 ~ 5 μ A と微少である。したがって、ソース信号線 18 の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線 18 に画像データを書き込む。したがって、ソース信号線 18 の抵抗値が高いと画像を 1 水平走査期間に書き込むことができない。

しかし、本発明の電流駆動方式では、ソース信号線 18 の抵抗値が高く (つまり、シート抵抗値が高い) と、課題とはならない。したがって、ソース信号線 18 のシート抵抗は、ゲート信号線 17 のシート抵抗より高くともよい。したがって、本発明の EL 表示パネルにおいて図 1

04に図示するように、ソース信号線18をGEメタルで作製（形成）し、ゲート信号線17をSDメタルで作製（形成）してもよい（液晶表示パネルと逆）。広義には、電流駆動方式のEL表示パネルにおいて、ソース信号線18の配線抵抗は、ゲート信号線17の配線抵抗よりも高くした構成であることに特徴を有する。

図107は、図99、図103の構成に加えて、ゲートドライバ回路12を駆動する電源配線1051を配置した構成である。電源配線1051はパネルの表示画面50の右端→下辺→表示画面50の左端に引き回している。つまり、ゲートドライバ回路12aと12bの電源とは同一になっている。

しかし、ゲート信号線17aを選択するゲートドライバ回路12a（ゲート信号線17aは選択トランジスタ11b、選択トランジスタ11cを制御する）と、ゲート信号線17bを選択するゲートドライバ回路12b（ゲート信号線17bはトランジスタ11dを制御し、EL素子15に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線17aの振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19への突き抜け電圧が減少するからである（図1などを参照）。一方、ゲート信号線17bはEL素子15を制御する必要があるため、振幅は小さくできない。

したがって、図108に図示するように、ゲートドライバ回路12aの印加電圧は V_{ha} （ゲート信号線17aのオフ電圧）と、 V_{la} （ゲート信号線17aのオン電圧）とし、ゲートドライバ回路12aの印加電圧は V_{hb} （ゲート信号線17bのオフ電圧）と、 V_{lb} （ゲート信号線17bのオン電圧）とする。 $V_{la} < V_{lb}$ なる関係とする。なお、 V_{ha} と V_{hb} とは、略一致させてもよい。

ゲートドライバ回路 12 は、通常、Nチャンネルトランジスタと P チャンネルトランジスタで構成するが、P チャンネルトランジスタのみで形成することが好ましい。アレイ作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図 1、図 2 などに例示したように、画素 16 を構成するトランジスタを P チャンネルトランジスタとするとともに、ゲートドライバ回路 12 も P チャンネルトランジスタで形成あるいは構成する。N チャンネルトランジスタと P チャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は 10 枚となるが、P チャンネルトランジスタのみで形成すると必要なマスク数は 5 枚になる。

しかし、P チャンネルトランジスタのみでゲートドライバ回路 12 などを構成すると、レベルシフト回路をアレイ基板 71 に形成できない。レベルシフト回路は N チャンネルトランジスタと P チャンネルトランジスタで構成するからである。

この課題に対して、本発明では、レベルシフト回路機能を、電源 IC 1091 に内蔵させている。図 109 はその実施例である。電源 IC 1091 はゲートドライバ回路 12 の駆動電圧、EL 素子 15 のアノード、カソード電圧、ソースドライバ回路 14 の駆動電圧を発生させる。

電源 IC 1091 はゲートドライバ回路 12 の EL 素子 15 のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路 12 の駆動する信号電圧までレベルシフトすることができる。

また、図 205 に図示するように、ソースドライバ IC 14 内にレベルシフト回路 2041 を形成してもよい。レベルシフト回路 2041 はソースドライバ IC 14 の左右端に形成する。図 205 のように、ソースドライバ IC 14 を複数個用いる場合は、各ソースドライバ IC 14

の一方のレベルシフト回路 2041 を用いる。

図 205 ではソースドライバ IC14a のレベルシフト回路 2041a を使用している。ゲート制御データはレベルシフト回路 2041a で昇圧され、ゲートドライバ制御信号 2043a となり、ゲートドライバ回路 12a を制御する。また、ソースドライバ IC14b のレベルシフト回路 2041b を使用している。ゲート制御データはレベルシフト回路 2041b で昇圧され、ゲートドライバ制御信号 2043b となり、ゲートドライバ回路 12b を制御する。

レベルシフトおよびゲートドライバ回路 12 の駆動は図 109 の構成で実施する。入力データ（画像データ、コマンド、制御データ）992 はソースドライバ IC14 に入力される。入力データにはゲートドライバ回路 12 の制御データも含まれる。ソースドライバ IC14 は耐圧（動作電圧）が 5（V）である。一方、ゲートドライバ回路 12 は動作電圧が 15（V）である。ソースドライバ回路 14 から出力されるゲートドライバ回路 12 に出力される信号は、5（V）から 15（V）にレベルシフトする必要がある。このレベルシフトを電源回路（IC）1091で行う。図 109 ではゲートドライバ回路 12 を制御するデータ信号も電源 IC 制御信号 1092 としている。

電源回路 1091 は入力されたゲートドライバ回路 12 を制御するデータ信号 1092 を内蔵するレベルシフト回路でレベルシフトし、ゲートドライバ回路制御信号 1093 として出力し、ゲートドライバ回路 12 を制御する。

以下、アレイ基板 71 に内蔵するゲートドライバ回路 12 を P チャンネルのトランジスタのみで構成した本発明のゲートドライバ回路 12 について説明をする。先にも説明したように、画素 16 とゲートドライバ回路 12 とを P チャンネルトランジスタのみで形成する（つまり、アレ

イ基板 71 に形成するトランジスタはすべて P チャンネルトランジスタである。反対に言えば、N チャンネルのトランジスタを用いない状態) ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、P チャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、 V_t 電圧の低減化 (より 0 (V) に近くするなど)、 V_t バラツキの減少を、CMOS 構造 (P チャンネルと N チャンネルトランジスタを用いる構成) よりも容易に実施できる。

一例として、図 106 に図示するように、本発明は、表示画面 50 の左右に 1 相 (シフトレジスタ) ずつ、ゲートドライバ回路 12 を配置または形成あるいは構成している。ゲートドライバ回路 12 など (画素 16 のトランジスタも含む) は、プロセス温度が 450 度 (摂氏) 以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が 450 度 (摂氏) 以上の高温ポリシリコン技術を用いて構成してもよく、また、固相 (CGS) 成長させた半導体膜を用いてトランジスタなどを形成したものを用いてもよい。その他、有機トランジスタで形成してもよい。また、アモルファスシリコン技術で形成あるいは構成したトランジスタであってもよい。

1 つは選択側のゲートドライバ回路 12a である。ゲート信号線 17a にオンオフ電圧を印加し、画素トランジスタ 11 を制御する。他方のゲートドライバ回路 12b は、EL 素子 15 に流す電流を制御オンオフさせる。

本発明の実施例では、主として図 1 の画素構成を例示して説明をするがこれに限定するものではない。図 50、図 51、図 54 などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ回路 12 の構成あるいはその駆動方式は、本発明の表示パ

ネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

なお、以下に説明するゲートドライバ回路 1 2 の構成あるいは配置形態は、有機 EL 表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遊動表示パネルなどにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路 1 2 の構成あるいは方式を採用してもよい。また、ゲートドライバ回路 1 2 を 2 相用いる場合は、1 相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の 1 方の端子に接続してもよい。この方式は、独立 C 駆動と呼ばれるものである。また、図 1 1 1、図 1 1 3 などで説明する構成は、ゲートドライバ回路 1 2 だけでなく、ソースドライバ回路 1 4 のシフトレジスタ回路などにも採用することができることは言うまでもない。

本発明のゲートドライバ回路 1 2 は、先に説明した図 6、図 1 3、図 1 6、図 2 0、図 2 2、図 2 4、図 2 6、図 2 7、図 2 8、図 2 9、図 3 4、図 3 7、図 4 0、図 4 1、図 4 8、図 8 2、図 9 1、図 9 2、図 9 3、図 1 0 3、図 1 0 4、図 1 0 5、図 1 0 6、図 1 0 7、図 1 0 8、図 1 0 9、図 1 7 6、図 1 8 1、図 1 8 7、図 1 8 8、図 2 0 8 などのゲートドライバ回路 1 2 として実施あるいは採用することが好ましい。

図 1 1 1 は、本発明のゲートドライバ回路 1 2 のブロック図である。説明を容易にするため、4 段分しか図示していないが、基本的には、ゲート信号線 1 7 数に対応する単位ゲート出力回路 1 1 1 1 が形成または配置される。

図 1 1 1 に図示するように、本発明のゲートドライバ回路 1 2 (1 2

a、12b)では、4つのクロック端子(SCK0、SCK1、SCK2、SCK3)と、1つのスタート端子(データ信号(SSTA))、シフト方向を上下反転制御する2つの反転端子(DIRA、DIRB、これらは、逆相の信号を印加する)の信号端子から構成される。また、電源端子としてL電源端子(VBB)と、H電源端子(Vd)などから構成される。

本発明のゲートドライバ回路12は、すべてPチャンネルのトランジスタ(トランジスタ)で構成しているため、レベルシフト回路(低電圧のロジック信号を高電圧のロジック信号に変換する回路)をゲートドライバ回路に内蔵することができない。そのため、図109などに図示した電源回路(IC)1091内にレベルシフト回路を配置または形成している。

電源回路(IC)1091は、ゲートドライバ回路12からゲート信号線17に出力するオン電圧(画素16トランジスタの選択電圧)、オフ電圧(画素16トランジスタの非選択電圧)に必要な電位の電圧を作成する。そのため、電源IC(回路)1091の使用する半導体の耐圧プロセスは、十分な耐圧がある。したがって、電源IC1091でロジック信号をレベルシフト(LS)すると都合がよい。したがって、コントローラ(図示せず)から出力されるゲートドライバ回路12の制御信号は、電源IC1091に入力し、レベルシフトしてから、本発明のゲートドライバ回路12に入力する。コントローラ(図示せず)から出力されるソースドライバ回路14の制御信号は、直接に本発明のソースドライバ回路14などに入力する(レベルシフトの必要がない)。

しかし、本発明はアレイ基板71に形成するトランジスタをすべてPチャンネルで形成することに限定するものではない。ゲートドライバ回路12を後に説明する図111、図113のようにPチャンネルで形成

することにより、狭額縁化することができる。2. 2インチのQ C I F パネルの場合、ゲートドライバ回路12の幅は、6 μ mルールを採用時点で、600 μ mで構成できる。供給するゲートドライバ回路12の電源配線の引き回しを含めても700 μ mに構成することができる。同様の回路構成をCMOS（NチャンネルとPチャンネルトランジスタ）で構成すると、1.2 mmになってしまう。したがって、ゲートドライバ回路12をPチャンネルで形成することにより、狭額縁化という特徴ある効果を発揮できる。

また、画素16をPチャンネルのトランジスタで構成することにより、Pチャンネルトランジスタで形成したゲートドライバ回路12とのマッチングが良くなる。Pチャンネルトランジスタ（図1の画素構成では、選択トランジスタ11b、11c、トランジスタ11d）はL電圧でオンする。一方、ゲートドライバ回路12もL電圧が選択電圧である。Pチャンネルのゲートドライバは図113の構成でもわかるが、Lレベルを選択レベルとするとマッチングが良い。Lレベルが長期間保持できないからである。一方、H電圧は長時間保持することができる。

また、EL素子15に電流を供給する駆動用トランジスタ（図1ではトランジスタ11a）もPチャンネルで構成することにより、EL素子15のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位V d dから順方向にEL素子15に電流を流すことができる。以上の事項から、画素16のトランジスタをPチャンネルとし、ゲートドライバ回路12のトランジスタもPチャンネルとすることがよい。以上のことから、本発明の画素16を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）をPチャンネルで形成し、ゲートドライバ回路12のトランジスタをPチャンネルで構成するという事項は単なる設計事項ではない。

この意味で、レベルシフタ（LS）回路を、アレイ基板 71 に直接に形成してもよい。つまり、レベルシフタ（LS）回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、アレイ基板 71 に直接形成されたレベルシフタ回路で、P チャンネルトランジスタで形成されたゲートドライバ回路 12 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路 12 に印加する。

なお、レベルシフタ回路を半導体チップで形成し、アレイ基板 71 に COG 実装などしてもよい。また、ソースドライバ回路 14 は、図 109 などにも図示しているが、基本的に半導体チップで形成し、アレイ基板 71 に COG 実装する。ただし、ソースドライバ回路 14 を半導体チップで形成することには限定するものではなく、ポリシリコン技術を用いてアレイ基板 71 に直接に形成してもよい。画素 16 を構成するトランジスタ 11 を P チャンネルで構成すると、プログラム電流は画素 16 からソース信号線 18 に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路 634（図 73、図 74 などを参照のこと）は、N チャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路 14 はプログラム電流 I_w を引き込むように回路構成する必要がある。

したがって、画素 16 の駆動用トランジスタ 11a（図 1 の場合）が P チャンネルトランジスタの場合は、必ず、ソースドライバ回路 14 はプログラム電流 I_w を引き込むように、単位トランジスタ 634 を N チャンネルトランジスタで構成する。ソースドライバ回路 14 をアレイ基板 71 に形成するには、N チャンネル用マスク（プロセス）と P チャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素 16 とゲートドライバ回路 12 を P チャンネルトランジスタで

構成し、ソースドライバの引き込み電流源のトランジスタはNチャンネルで構成するのが本発明の表示パネル（表示装置）である。

なお、説明を容易にするため、本発明の実施例では、図1の画素構成を例示して説明をする。しかし、画素16の選択トランジスタ（図1ではトランジスタ11c）をPチャンネルで構成し、ゲートドライバ回路12をPチャンネルトランジスタで構成するというなどの本発明の技術的思想は、図1の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図42に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図62に図示するような2つのトランジスタ（選択トランジスタはトランジスタ11b、駆動用トランジスタはトランジスタ11a）にも適用することができる。もちろん、図111、図113のゲートドライバ回路12の構成も適用でき、また、組み合わせて装置などを構成できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

また、画素16の選択トランジスタをPチャンネルで構成し、ゲートドライバ回路をPチャンネルトランジスタで構成するという構成は、有機ELなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

反転端子（DIRA、DIRB）は各単位ゲート出力回路1111に対し、共通の信号が印加される。なお、図113の等価回路図をみれば、理解できるが、反転端子（DIRA、DIRB）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（DIRA、DIRB）に印加している電圧の極性を反転させる。

なお、図 1 1 1 の回路構成は、クロック信号線数は 4 つである。4 つが本発明では最適な数であるが、本発明はこれに限定するものではない。4 つ以下でも 4 つ以上でもよい。

クロック信号 (SCK 0、SCK 1、SCK 2、SCK 3) の入力は、隣接した単位ゲート出力回路 1 1 1 1 で異ならせている。たとえば、単位ゲート出力回路 1 1 1 1 a には、クロック端子の SCK 0 が OC に、SCK 2 が RST に入力されている。この状態は、単位ゲート出力回路 1 1 1 1 c も同様である。単位ゲート出力回路 1 1 1 1 a に隣接した単位ゲート出力回路 1 1 1 1 b (次段の単位ゲート出力回路) は、クロック端子の SCK 1 が OC に、SCK 3 が RST に入力されている。したがって、単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、SCK 0 が OC に、SCK 2 が RST に入力され、次段は、クロック端子の SCK 1 が OC に、SCK 3 が RST に入力され、さらに次段の単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、SCK 0 が OC に、SCK 2 が RST に入力され、というように交互に異ならせている。

図 1 1 3 が単位ゲート出力回路 1 1 1 1 の回路構成である。構成するトランジスタは P チャンネルのみで構成している。図 1 1 4 が図 1 1 3 の回路構成を説明するためのタイミングチャートである。なお、図 1 1 2 は図 1 1 3 の複数段分におけるタイミングチャートを図示したものである。したがって、図 1 1 3 を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図 1 1 3 の等価回路図を参照しながら、図 1 1 4 のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

P チャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線 1 7 を H レベル (図 1 1 3 では V_d 電圧) に維持することは可能

である。しかし、Lレベル（図113ではV_{BB}電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。IN端子に入力された信号と、RST端子に入力されたSCKクロックにより、n₁が変化し、n₂はn₁の反転信号状態となる。n₂の電位とn₄の電位とは同一極性であるが、OC端子に入力されたSCKクロックによりn₄の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q端子がその期間、Lレベルに維持される（オン電圧がゲート信号線17から出力される）。SQあるいはQ端子に出力される信号は、次段の単位ゲート出力回路1111に転送される。

図111、図113の回路構成において、IN（INA、INB）端子、クロック端子の印加信号のタイミングを制御することにより、図115の（a）に図示するように、1ゲート信号線17を選択する状態と、図115の（b）に図示するように2ゲート信号線17を選択する状態とを同一の回路構成を用いて実現できる。

選択側のゲートドライバ回路12aにおいて、図115の（a）の状態は、1画素行（51a）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は1行ずつシフトする。図115の（b）は、2画素行を選択する構成である。この駆動方式は、図27、図28で説明した複数画素行（51a、51b）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、1画素行ずつシフトし、かつ隣接した2画素行が同時に選択される。特に、図115の（b）の駆動方法は、最終的な映像を保持する画素行（51a）に対し、画素行51bは予備充電される。そのため、画素16が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2つの駆動方式を切り替えて実現できる。

なお、図115の（b）は隣接した画素16行を選択する方式である

が、図 1 1 6 に図示するように、隣接した以外の画素 1 6 行を選択してもよい（図 1 1 6 は、3 画素行離れた位置の画素行を選択している実施例である）。また、図 1 1 3 の構成では、4 画素行の組で制御される。4 画素行にうち、1 画素行を選択するか、連続した 2 画素行を選択するかの制御を実施できる。これは、使用するクロック（SCK）が 4 本によることの制約である。クロック（SCK）8 本になれば、8 画素行の組で制御を実施できる。

選択側のゲートドライバ回路 1 2 a の動作は、図 1 1 5 の動作である。図 1 1 5 の（a）に図示するように、1 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。また、図 1 1 5 の（b）に図示するように、2 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。

図 1 8 2 に図示するようにアノード接続端子 1 8 2 1 から接続アノード線 9 6 1 が配線され、ソースドライバ IC 1 4 の両側に形成された接続アノード線 9 6 1 は、IC 1 4 下に形成されたスイッチ 2 0 2 1 で電氣的に接続されている。

ソースドライバ IC 1 4 の出力側には共通アノード線 9 6 2 が形成または配置されている。共通アノード線 9 6 2 からアノード配線 9 5 2 が分岐されている。アノード配線 9 5 2 は Q C I F パネルの場合は、 $176 \times R G B = 528$ 本である。アノード配線 9 5 2 を介して、図 1 などで図示する V d d 電圧（アノード電圧）が供給される。1 本のアノード配線 9 5 2 には、E L 素子 1 5 が低分子材料の場合は、最大で $200 \mu A$ 程度の電流が流れる。したがって、共通アノード配線 8 3 3 には、 $200 \mu A \times 528$ で約 $100 mA$ の電流が流れる。

共通接続アノード線 9 6 1 の電圧降下、アノード配線 9 5 2 の電圧降下を抑制するため、図 1 8 3 に図示するように、表示画面 5 0 の上側に

共通接続アノード線 9 6 1 a を形成し、表示画面 5 0 の下側に共通接続アノード線 9 6 1 b を形成して、アノード配線 9 5 2 の上下でショート状態にするとよい。

また、図 1 8 4 に図示するように、画面 5 0 の上下にソースドライバ回路 1 4 を配置することも好ましい。また、図 1 8 5 に図示するように、表示画面 5 0 を表示画面 5 0 a と表示画面 5 0 b に分割し、表示画面 5 0 a をソースドライバ回路 1 4 a で駆動し、表示画面 5 0 b をソースドライバ回路 1 4 b で駆動するようにしてもよい。

図 2 0 1 は本発明の電源回路の構成図である。2 0 1 2 は制御回路である。抵抗 2 0 1 5 a と 2 0 1 5 b の中点電位を制御し、トランジスタ 2 0 1 6 のゲート信号を出力する。トランス 2 0 1 1 の 1 次側には電源 V_{pc} が印加され、1 次側の電流がトランジスタ 2 0 1 6 のオンオフ制御により 2 次側に伝達される。2 0 1 3 は整流ダイオードであり、2 0 1 4 は平滑化コンデンサである。

アノード電圧 V_{dd} は抵抗 2 0 1 5 b に出力電圧が調整される。 V_s はカソード電圧である。カソード電圧 V_{ss} は図 2 0 2 に図示するように 2 つの電圧を選択して出力できるように構成されている。選択はスイッチ 2 0 2 1 で行う。図 2 0 2 では、スイッチ 2 0 2 1 により $-9(V)$ が選択されている。

スイッチ 2 0 2 1 の選択は温度センサ 2 0 2 2 からの出力結果による。パネル温度が低いときは、 V_{ss} 電圧として、 $-9(V)$ を選択する。一定以上のパネル温度の時は、 $-6(V)$ を選択する。これは、EL 素子 1 5 に温特があり、低温側で EL 素子 1 5 の端子電圧が高くなるためである。なお、図 2 0 2 では、2 つの電圧から 1 つの電圧を選択し、 V_{ss} (カソード電圧) とするとしたが、これに限定するものではなく、3 つ以上の電圧から V_{ss} 電圧を選択できるように構成してもよい。以

上の事項は、 V_{dd} についても同様に適用される。

図202のように、複数の電圧をパネル温度により選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、 V_{ss} 電圧を低下させればよいからである。通常は、電圧が低い $V_{ss} = -6$ (V)を使用することができる。なお、スイッチ2021は図202に図示するように構成してもよい。なお、複数のカソード電圧 V_{ss} を発生させるのは、図202のトランス2011から中間タップをとりだすことにより容易に実現できる。アノード電圧 V_{dd} の場合も同様である。

図205は電位設定の説明図である。ソースドライバIC14はGNDを基準にする。ソースドライバIC14の電源は V_{cc} である。 V_{cc} はアノード電圧(V_{dd})と一致させてもよい。本発明では消費電力の観点から、 $V_{cc} < V_{dd}$ にしている。

ゲートドライバ回路12のオフ電圧 V_{gh} は、 V_{dd} 電圧以上にする。好ましくは、 $V_{dd} + 0.5$ (V) $< V_{gh} < V_{dd} + 2.5$ (V) の関係を満足させる。オン電圧 V_{gl} は V_{ss} と一致させてもよいが、好ましくは、 V_{ss} (V) $< V_{gl} < -0.5$ (V) の関係を満足させる。

EL表示パネルからの発熱対策は重要である。発熱対策のため、図206に図示するように、パネルの裏面(表示画面50からの光が出ない面)に金属材料からなるシャーシ2062を取り付ける。シャーシ2062には放熱を良好にするため、凹凸2063を形成する。また、シャーシ2061とパネル(図206では封止フタ85)間に接着層を配置する。接着層は熱伝導性のよい材料を用いる。たとえば、シリコン樹脂やシリコン材料からなるペーストが例示される。これらは、レギュレータICと放熱板間の接着剤(密着剤)としてよく用いられている。なお、接着層は接着する機能に限定されず、シャーシ2061とパネルとを密

300

着させる機能のみでもよい。

シャーシ 2062 の裏面には、図 207 の (a) に図示するように、穴 2071 があけられている。穴 2071 は、シャーシ 2062 とパネルとを張り合わせた時に余分な樹脂を逃がすために用いる。また、図 207 の (a) のように、穴の開口形状をパネルの中央部と周辺部で変化させることにより、シャーシ 2062 の熱抵抗と調整し、パネルの温度が均一になるようにしている。図 207 の (a) では、パネル周辺部に形成されて穴 2071c の方が、パネル中央部に形成された穴 2071a よりも大きくすることにより、パネル周辺部で熱抵抗を大きくしている。そのため、パネル周辺部では熱が逃げにくい。したがって、パネル全面にわたり、均一な温度分布にすることができる。なお、図 207 の (b) に図示するように、穴 2071 は円形などでもよい。

図 208 は、本発明の表示パネルの構成を図示したものである。アレイ基板 71 の一辺にはフレキ基板 84 が取り付けられている。フレキ基板には電源回路 82、フレキ基板 84 が配置されている。図 209 は図 208 の AA' での断面図である。ただし、図 209 はフレキ基板 84 を折り曲げ、シャーシ 2062 を取り付けた図面である。図 209 でもわかるように、電源回路 82 のトランス 2011 が封止フタ 85 のスペースに格納されるように配置されている。このように配置することにより、EL 表示パネル (EL 表示パネルモジュール) を薄型にすることができる。

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図 57 は情報端末装置の一例としての携帯電話の平面図である。筐体 573 にアンテナ 571、テンキー 572 など取り付けられている。572 などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

テンキー 5 7 2 を 1 度押さえると表示色は 8 色モードに、つづいて同一テンキー 5 7 2 を押さえると表示色は 4 0 9 6 色モード、さらにテンキー 5 7 2 を押さえると表示色は 2 6 万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、テンキー 5 7 2 は 3 つ（以上）となる。

テンキー 5 7 2 はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4 0 9 6 色を受話器に音声入力すること、たとえば、「高品位表示」、「4 0 9 6 色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面 5 0 に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部 2 1 に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

5 7 2 は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサ

を形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

図58は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図58において、接眼カバーを省略している。以上のことは他の図面においても該当する。

筐体573の裏面は暗色あるいは黒色にされている。これは、EL表示パネル（表示装置）574から出射した迷光が筐体573の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板109などが配置されている。このことは図10、図11でも説明している。

接眼リング581には拡大レンズ582が取り付けられている。観察者は接眼リング581を筐体573内での挿入位置を可変して、表示パネル574の表示画像50にピントがあうように調整する。

また、必要に応じて表示パネル574の光出射側に正レンズ583を配置すれば、拡大レンズ582に入射する主光線を収束させることができる。そのため、拡大レンズ582のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

図59はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部592とビデオカメラ筐体573とを具備し、撮影レンズ部592と筐体（ビューファインダ部）573とは背中合わせとなっている。また、筐体（図58も参照）573には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル574の画

像 50 を観察する。

一方、本発明の EL 表示パネルは表示モニターとしても使用されている。表示画面 50 は支点 591 で角度を自由に調整できる。表示画面 50 を使用しない時は、格納部 593 に格納される。

スイッチ 594 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 594 は表示モード切り替えスイッチである。スイッチ 594 は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ 594 について説明をする。

本発明の駆動方法の 1 つに N 倍の電流を EL 素子 15 に流し、 $1/F$ の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL 素子 15 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 素子 15 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

したがって、ユーザーがスイッチ 594 で切り替えできるようにして

304

おくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

なお、表示画面50はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ回路12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成し

ておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のEL表示装置などはビデオカメラだけでなく、図60に示すような電子カメラにも適用することができる。表示装置はカメラ本体601に付属された表示画面50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型になると表示画面50がたわみやすい。その対策のため、本発明では図61に示すように表示パネルに外枠611をつけ、外枠611をつりさげられるように固定部材614で取り付けしている。この固定部材614を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

図61のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシ

リコンのトランジスタ 1 1 では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図 2 2、図 2 4、図 3 0 の N 倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

d u t y 比制御駆動、基準電流制御、N 倍パルス駆動など本明細書で記載した本発明の駆動方法および駆動回路などは、有機 E L 表示パネルの駆動方法および駆動回路などに限定されるものではない。図 2 2 1 に図示するようにフィールドエミッションディスプレイ（F E D）などの他のディスプレイにも適用できることは言うまでもない。

図 2 2 1 の F E D では基板 7 1 上にマトリックス状に電子を放出する電子放出突起 2 2 1 3（図 1 0 では画素電極 1 0 5 が該当する）が形成されている。画素には映像信号回路 2 2 1 2（図 1 ではソースドライバ回路 1 4 が該当する）からの画像データを保持する保持回路 2 2 1 4 が形成されている（図 1 ではコンデンサが該当する）。また、電子放出突起 2 2 1 3 の前面には制御電極 2 2 1 1 が配置されている。制御電極 2 2 1 1 にはオンオフ制御回路 2 2 1 5（図 1 ではゲートドライバ回路 1 2 が該当する）により電圧信号が印加される。

図 2 2 1 の画素構成で、図 2 2 2 に図示するように周辺回路を構成すれば、d u t y 比制御駆動あるいは N 倍パルス駆動などを実施できる。映像信号回路 2 2 1 2 からソース信号線 1 8 に画像データ信号が印加される。オンオフ制御回路 2 2 1 5 a から選択信号線 2 2 2 1 に画素 1 6 選択信号が印加され順次画素 1 6 が選択され、画像データが書き込まれる。また、オンオフ制御回路 2 2 1 5 b からオンオフ信号線 2 2 2 2 にオンオフ信号が印加され、画素の F E D がオンオフ制御（d u t y 比制御）される。

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、

面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

産業上の利用可能性

本発明のソースドライバ回路は、カントミラー回路を構成するトランジスタが隣接するように形成しているので、しきい値のずれによる出力電流のばらつきが小さい。したがって、EL表示パネルの輝度むらの発生を抑制することが可能となり、その実用的効果は大きい。

また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

請 求 の 範 囲

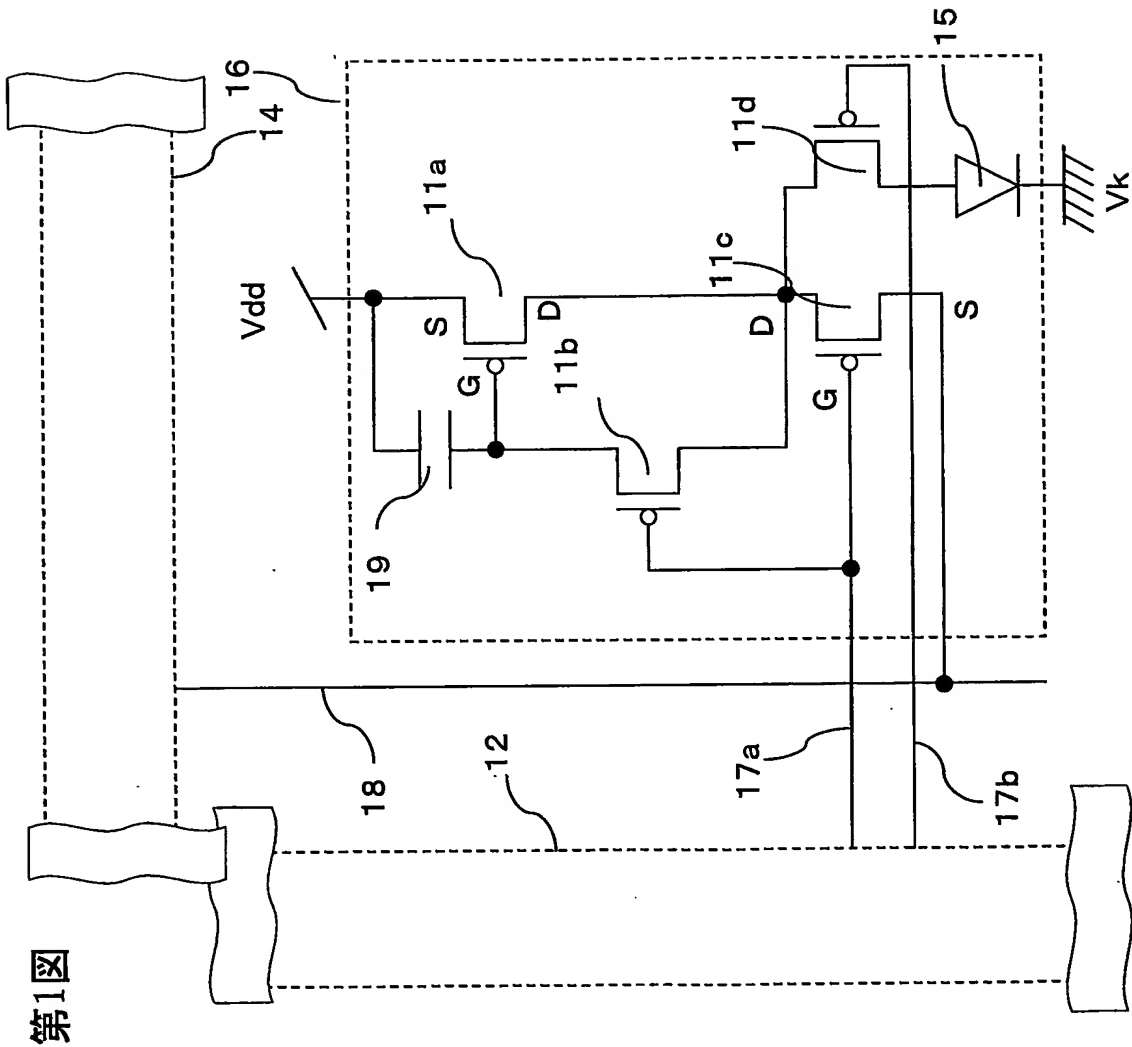
1. 基準電流を発生する基準電流発生手段と、

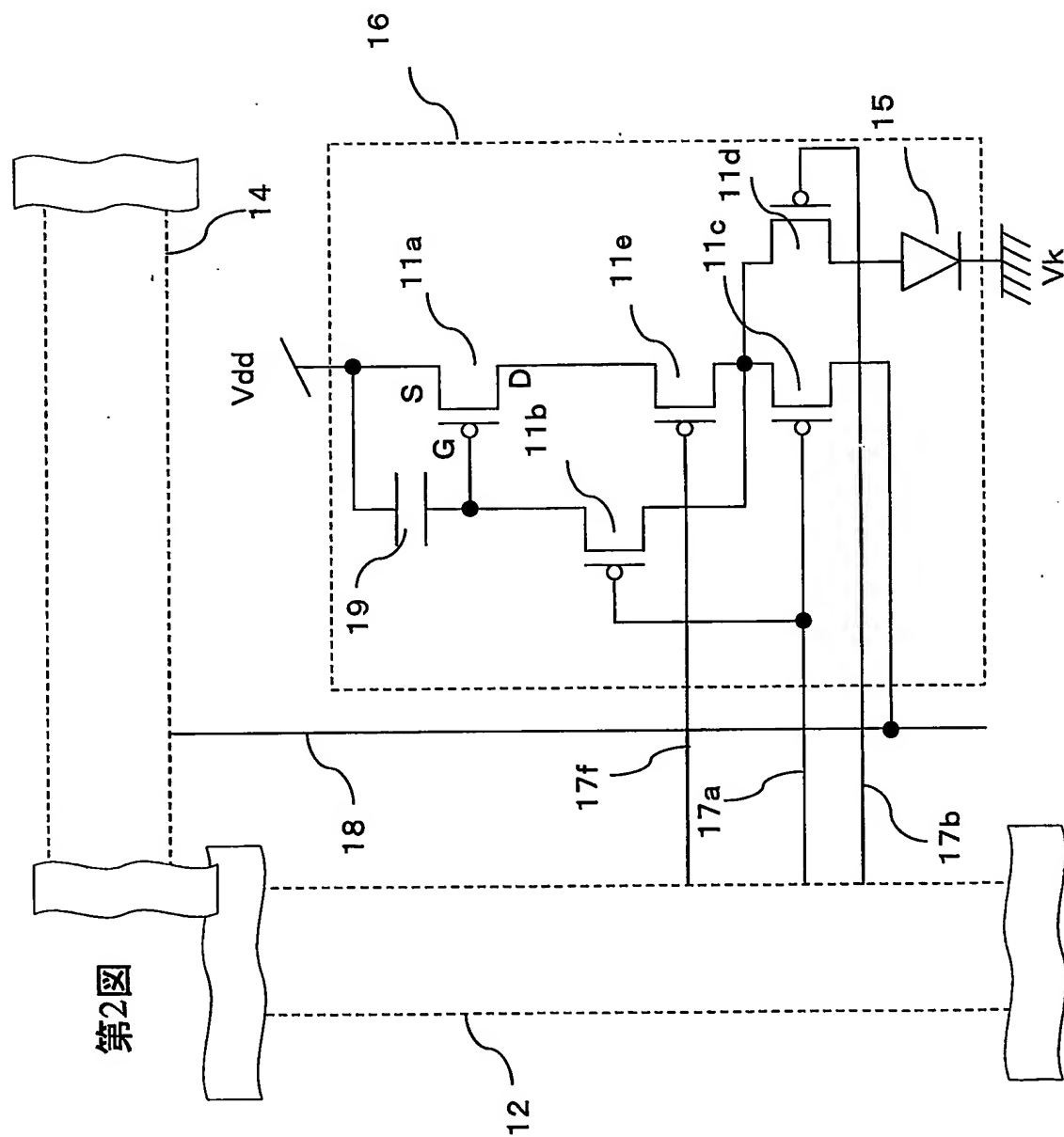
前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対応する第1の電流を、複数の第2の電流源に出力する第1の電流源と、

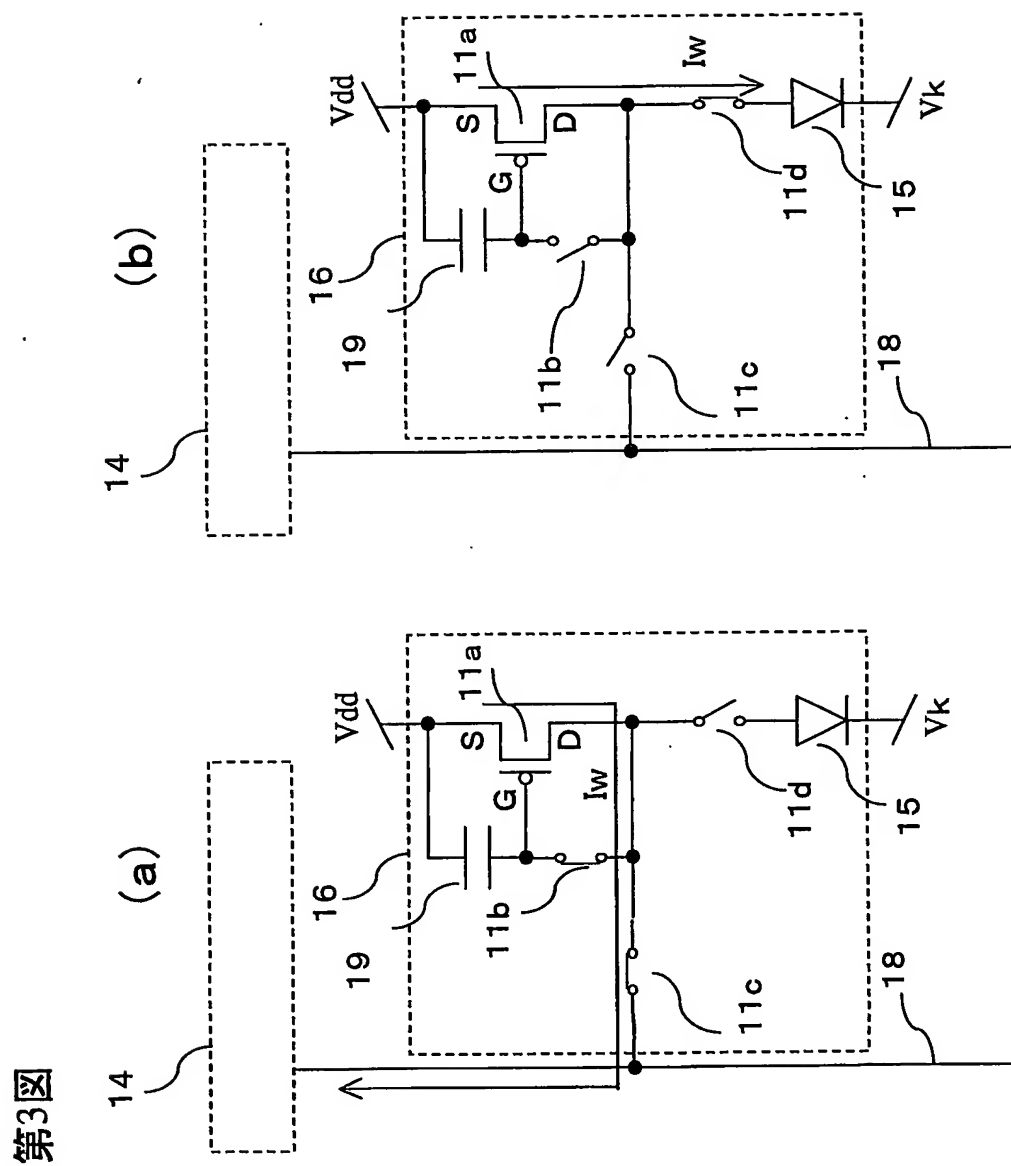
前記第1の電流源から出力される第1の電流が入力され、かつ前記第1の電流に対応する第2の電流を、複数の第3の電流源に出力する第2の電流源と、

前記第2の電流源から出力される第2の電流が入力され、かつ前記第2の電流に対応する第3の電流を複数の第4の電流源に出力する第3の電流源を有し、

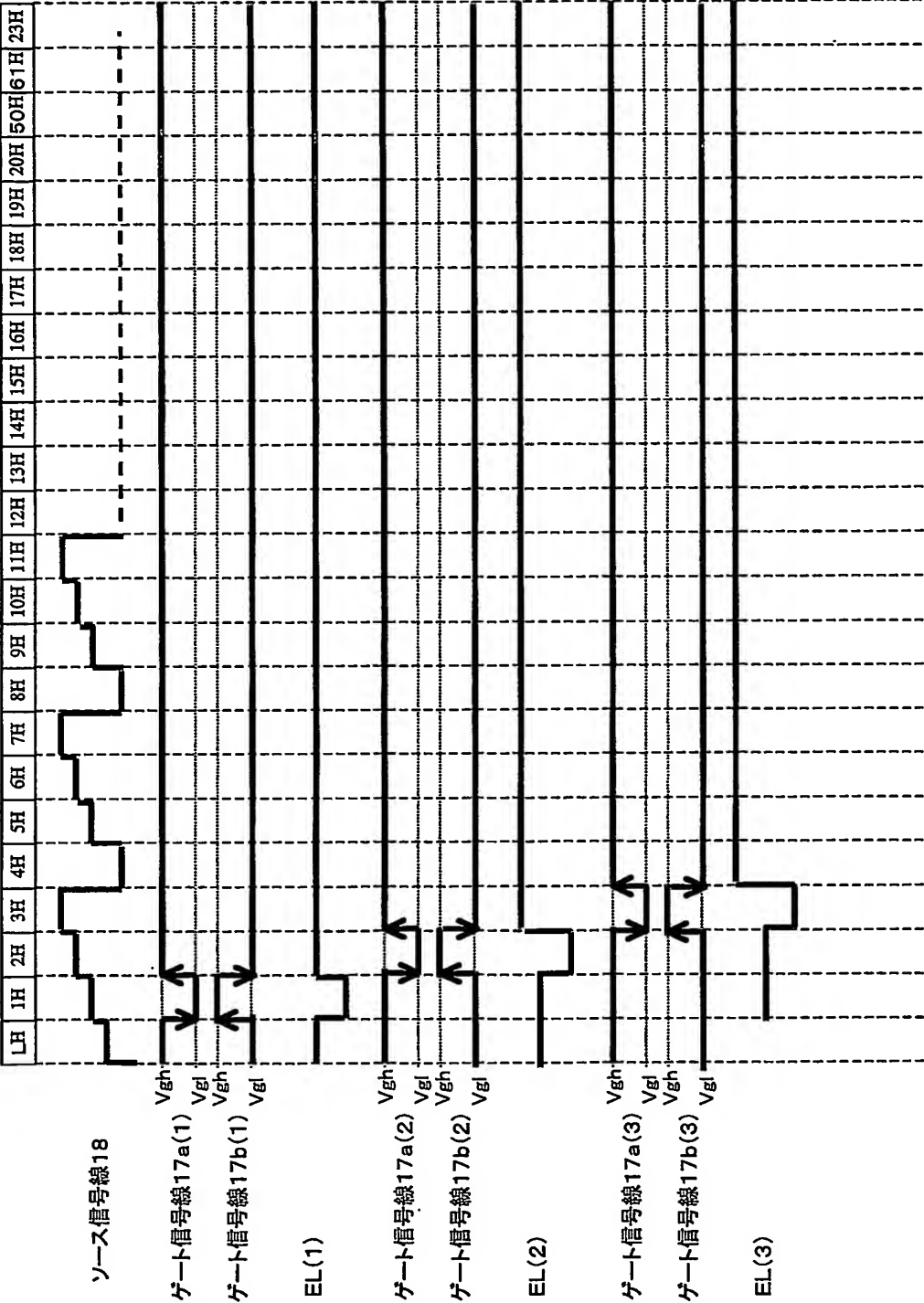
前記第4の電流源は、入力画像データに対応した個数の単位電流源が選択されるEL表示パネルのドライバ回路。



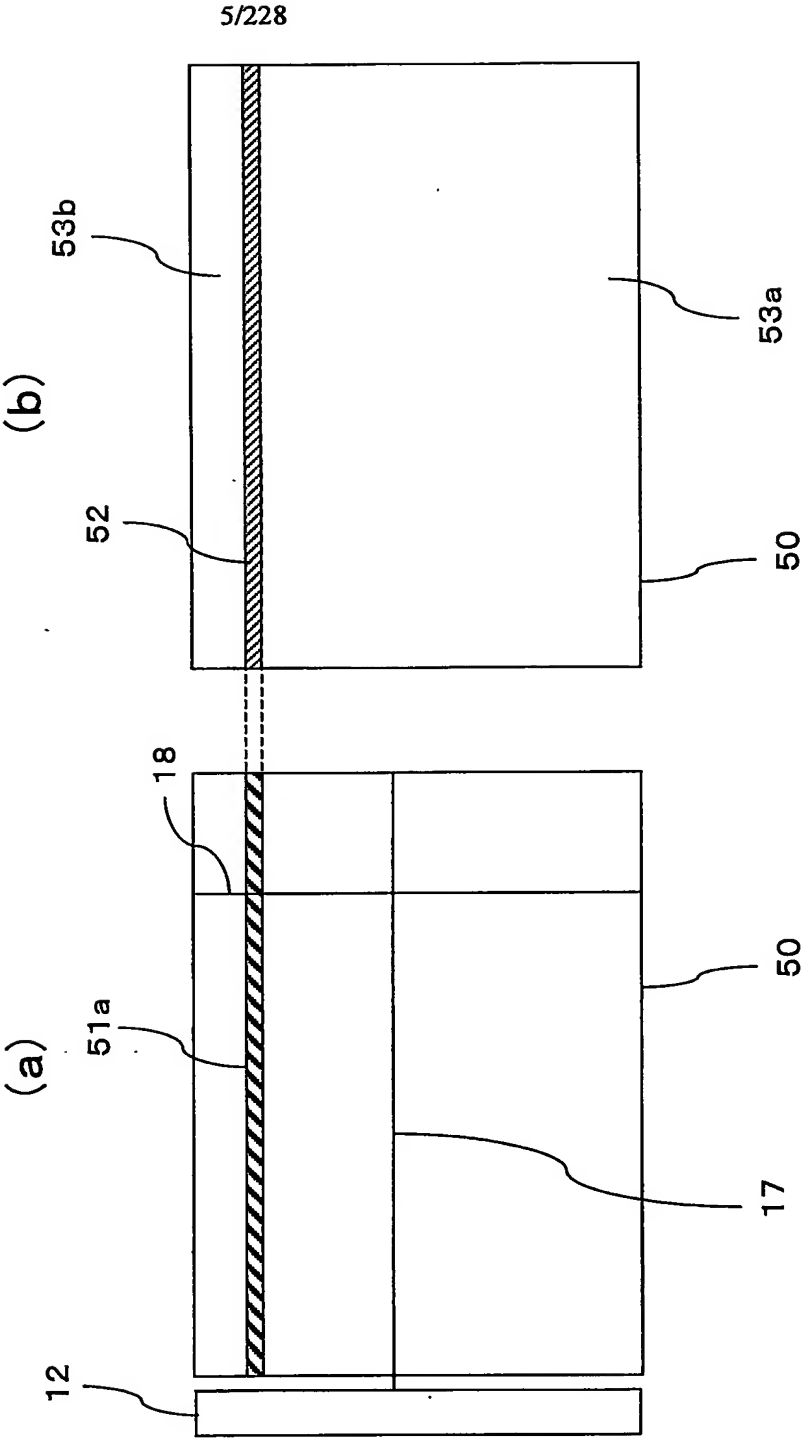




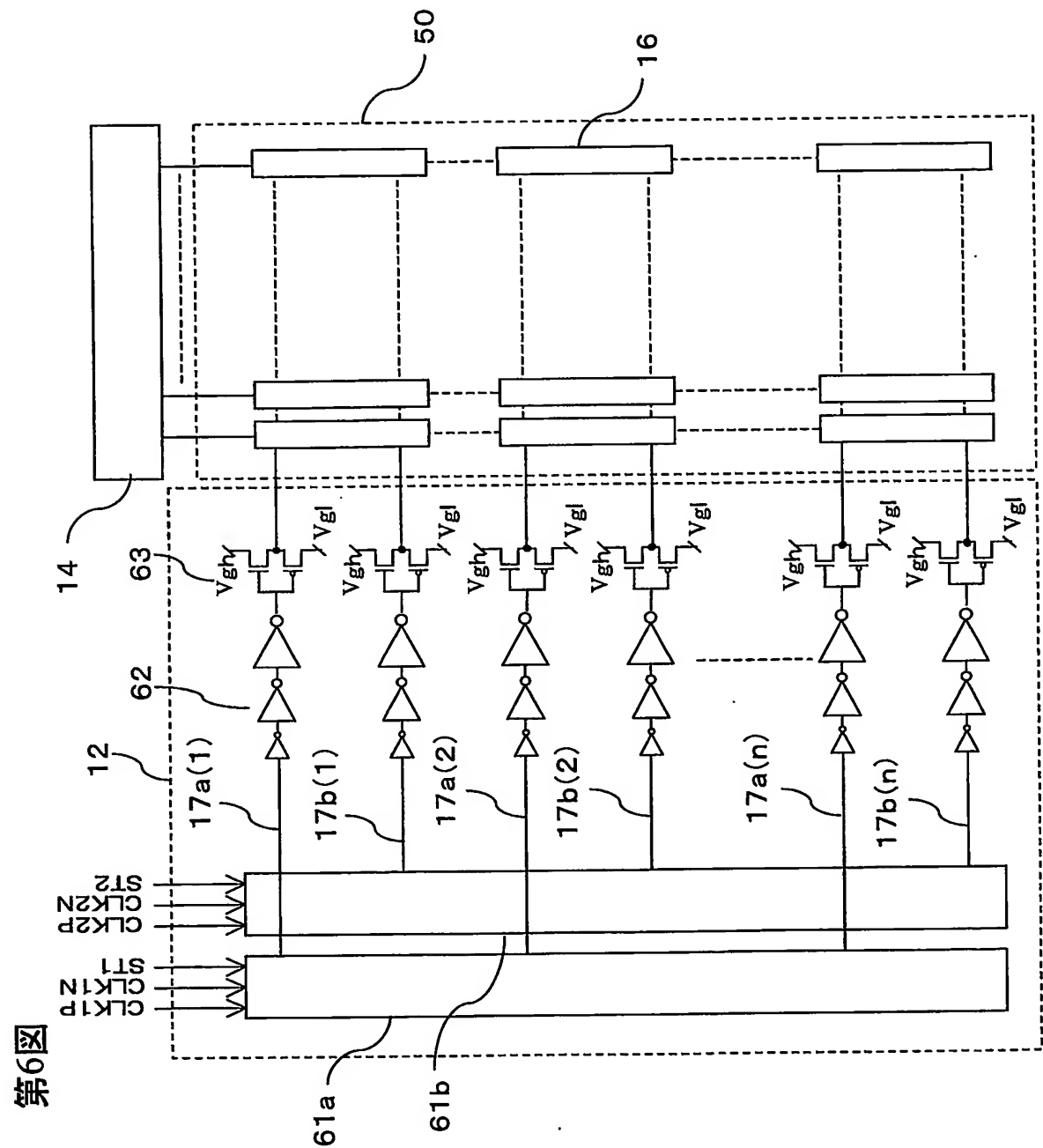
第4図



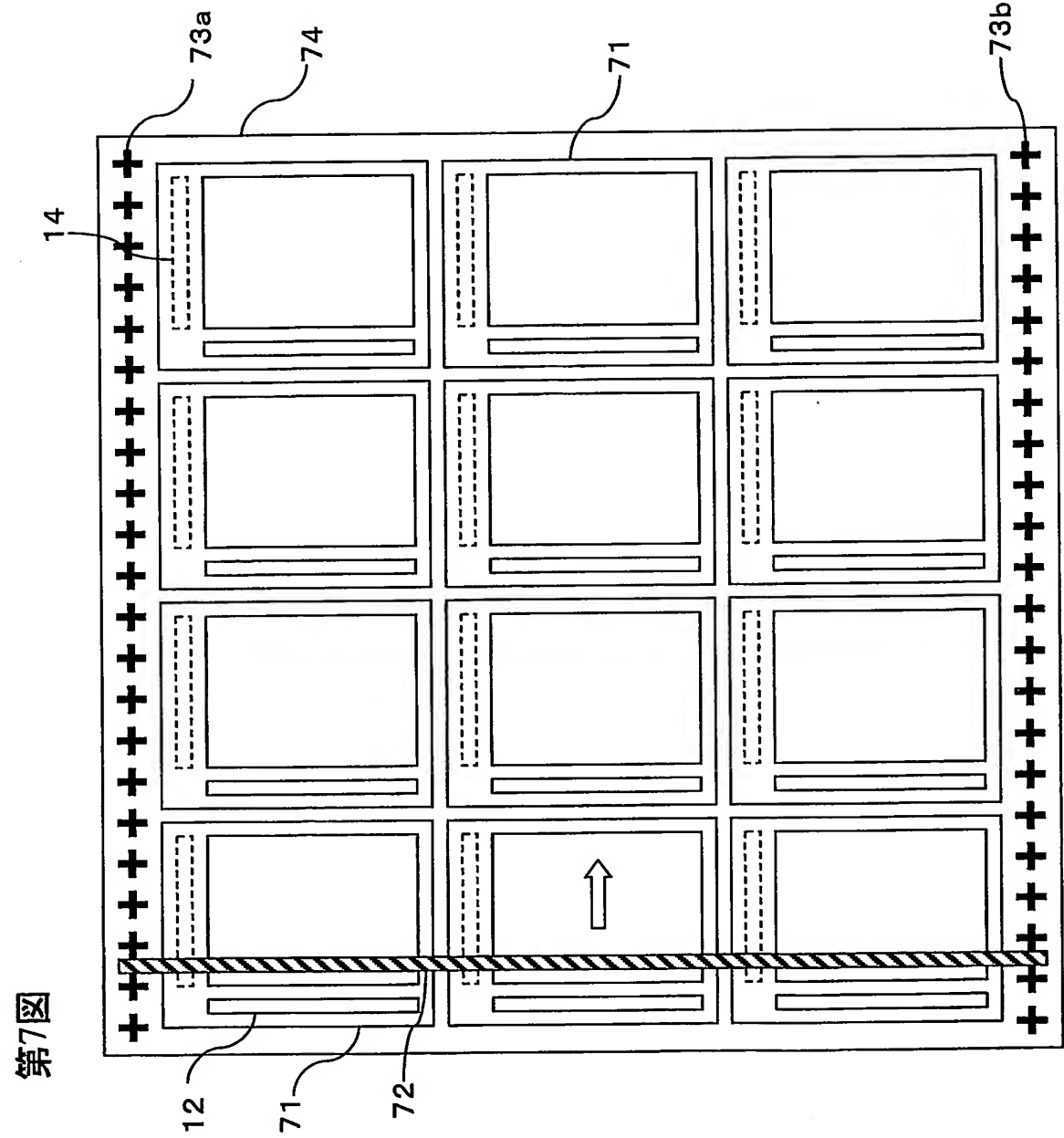
第5図

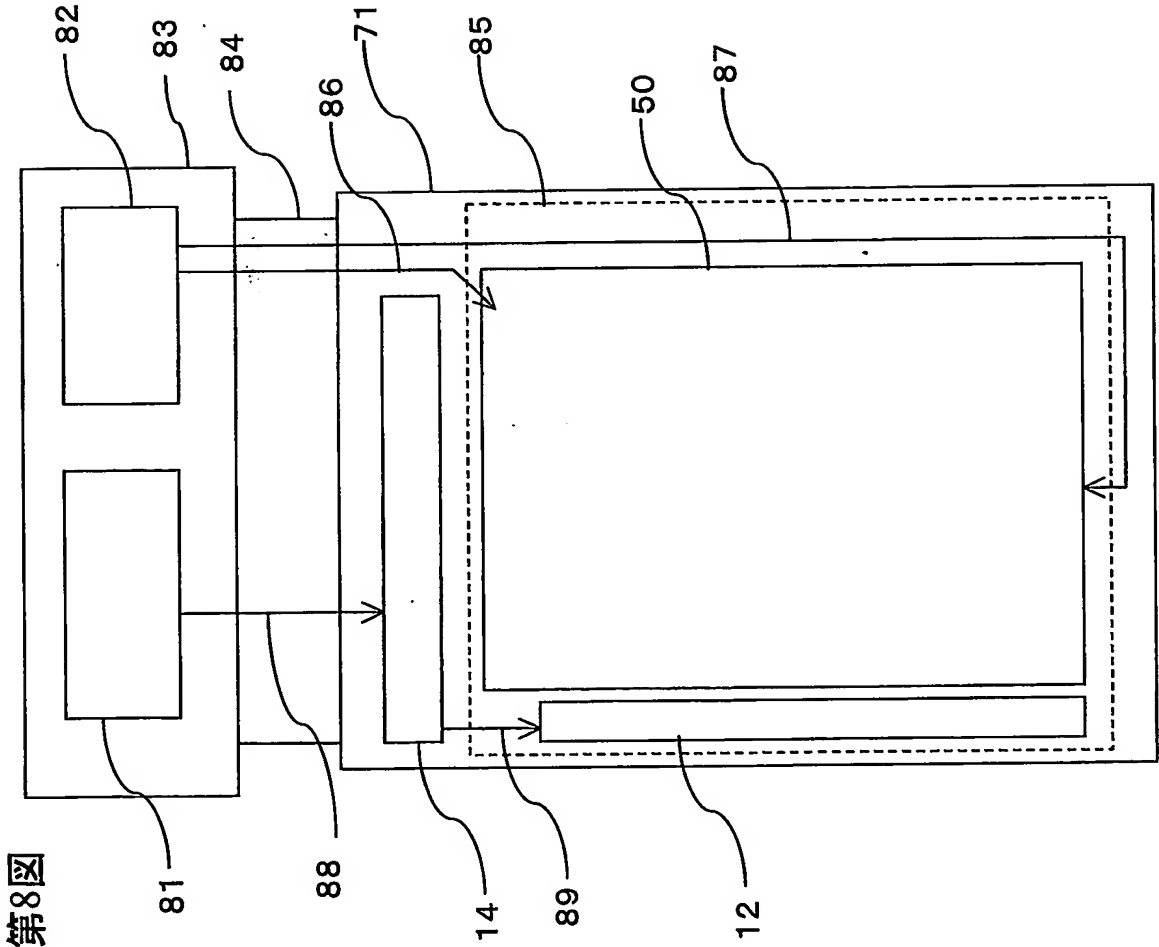


6/228



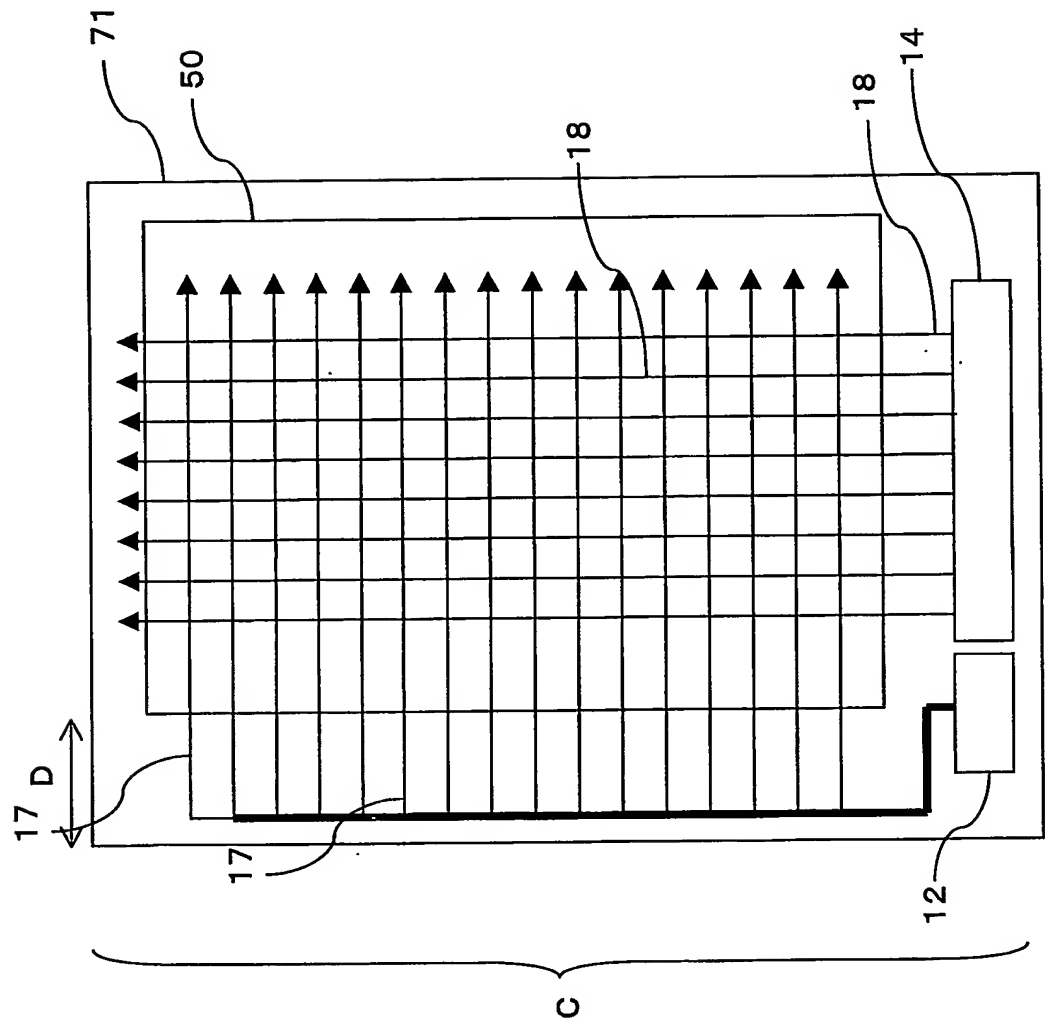
7/228



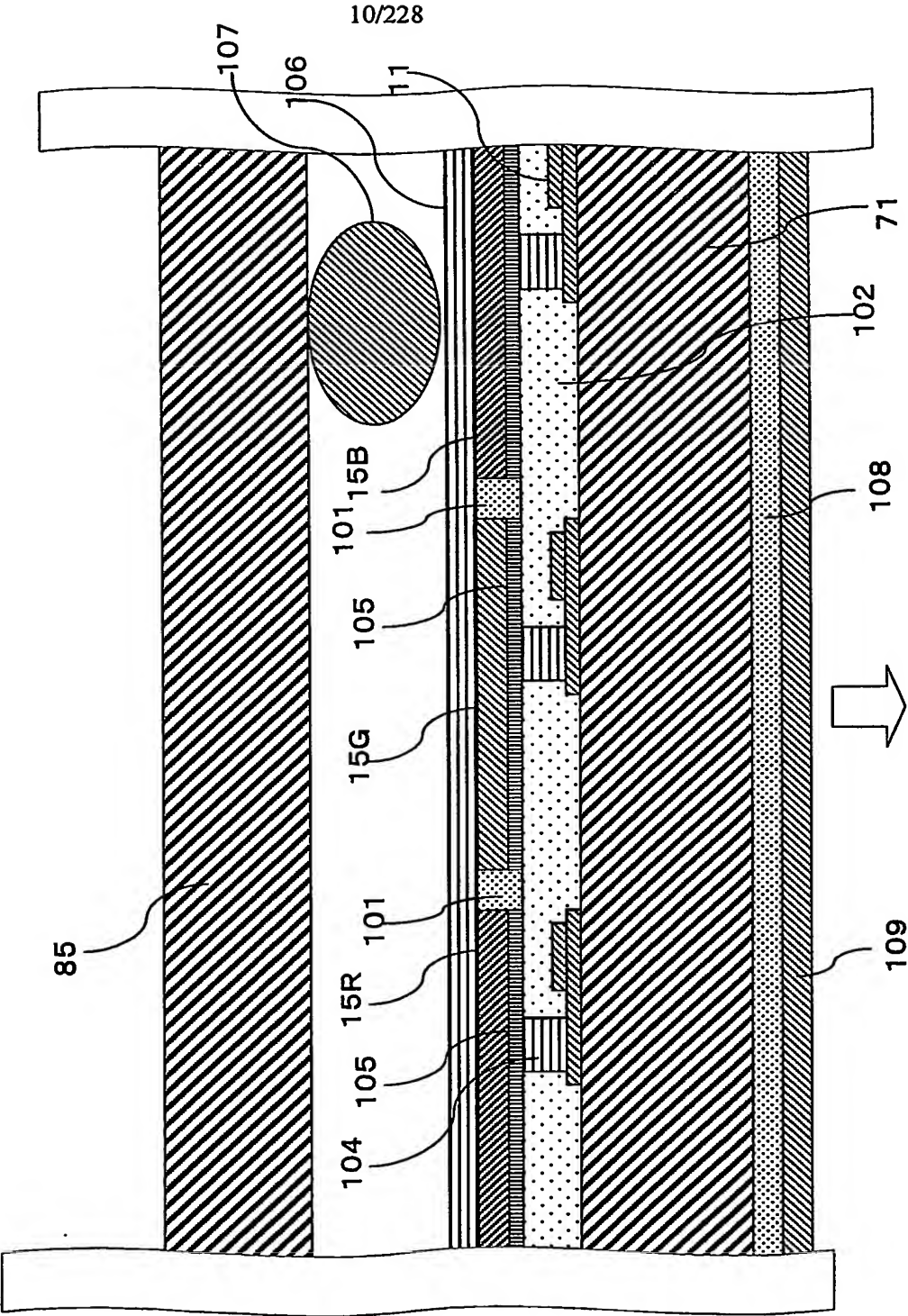


9/228

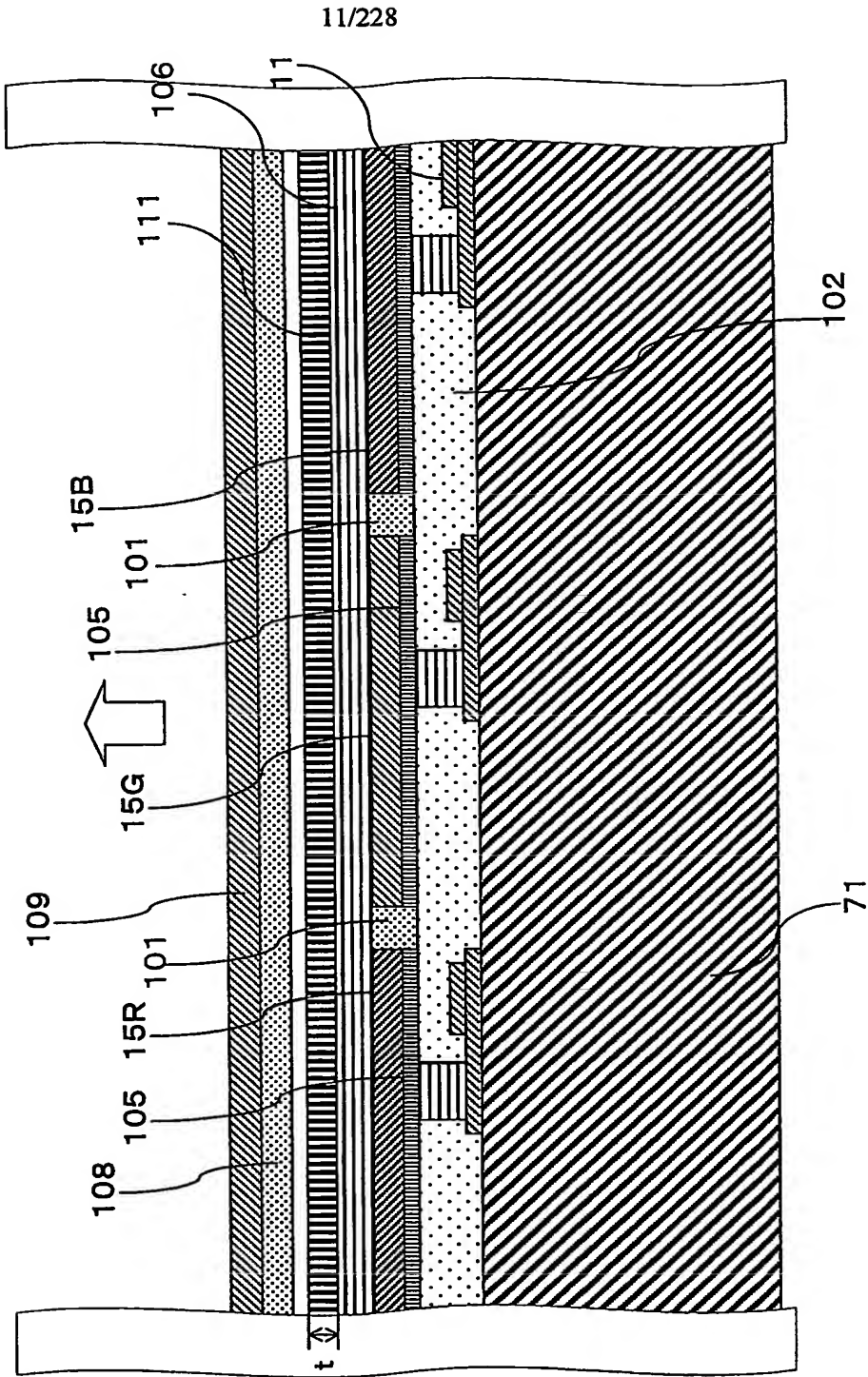
第9図



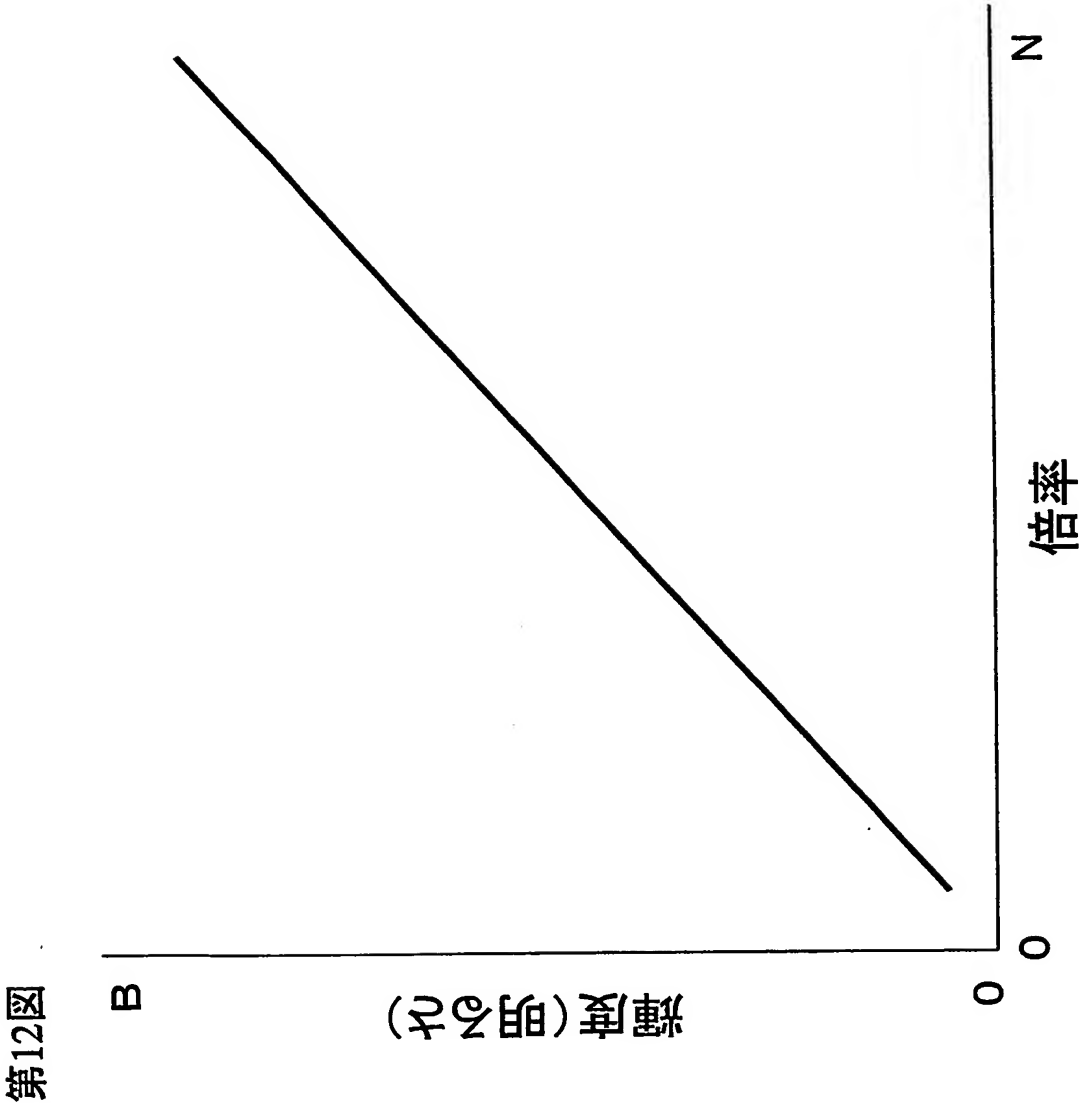
第10図



第11図

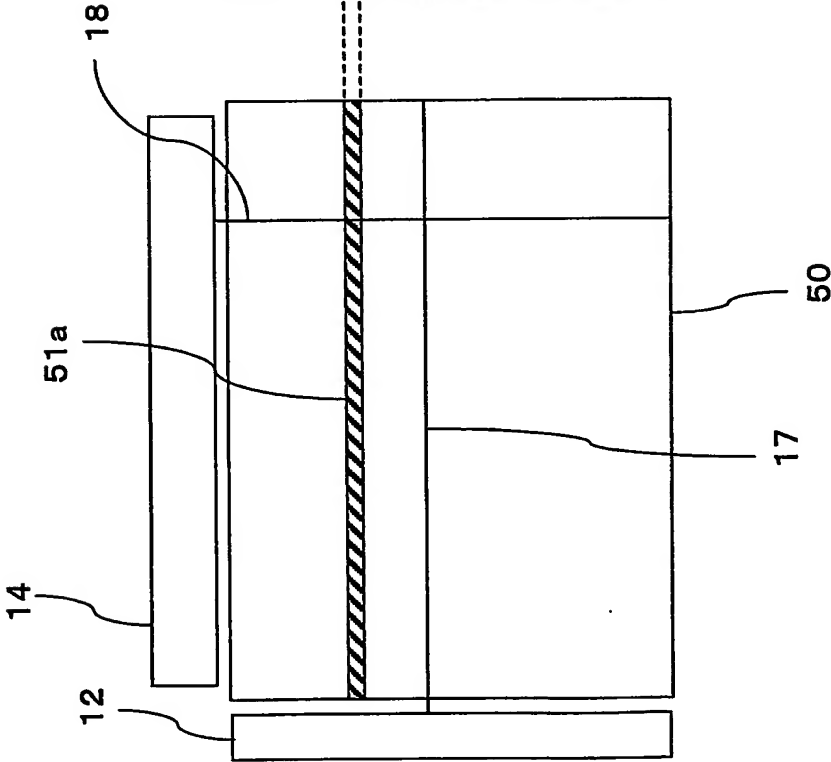


12/228

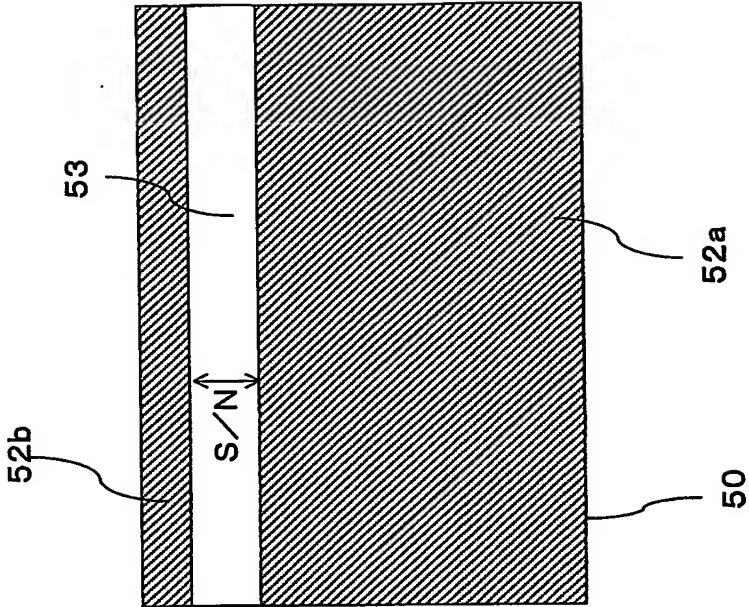


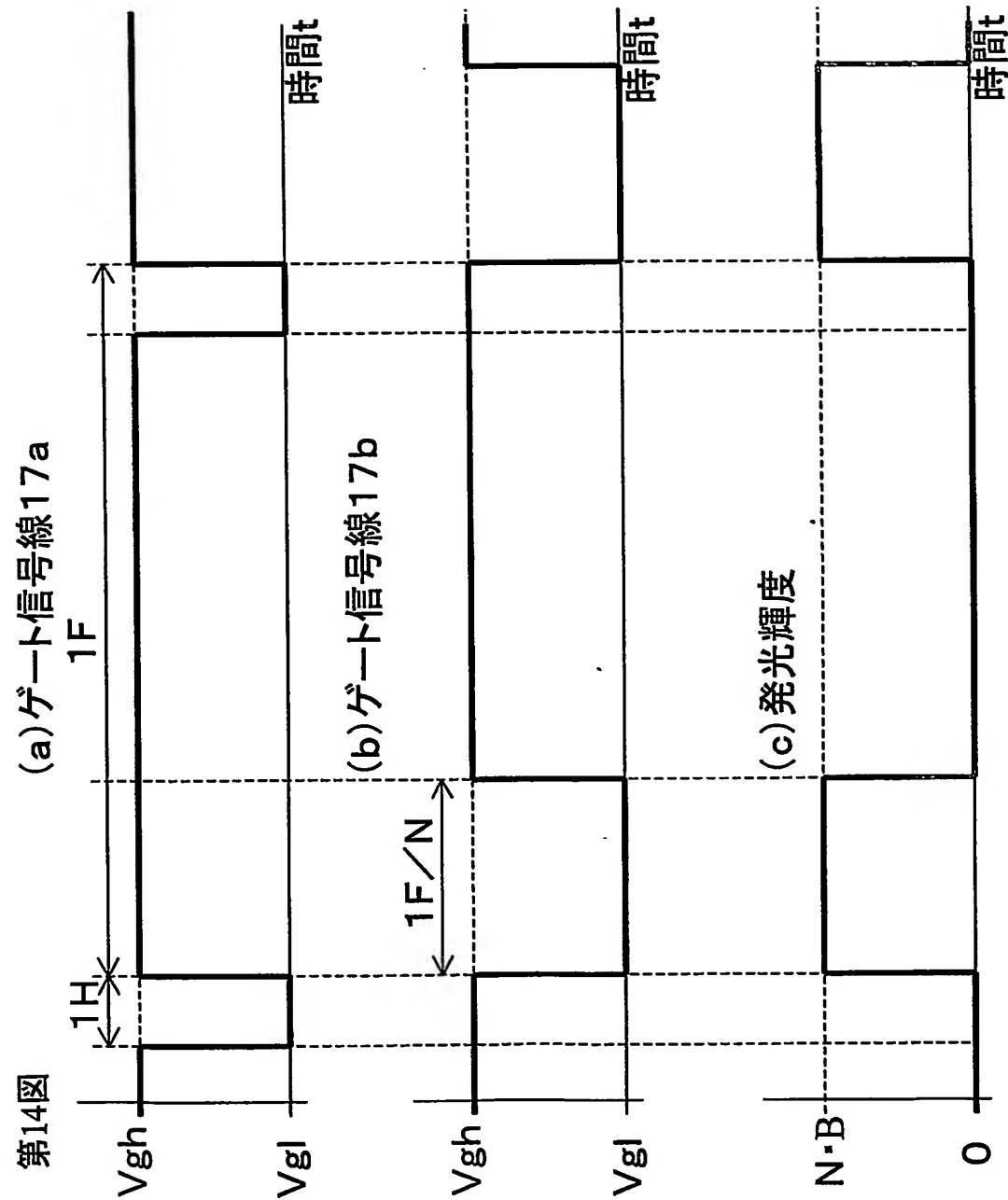
第13図

(a)

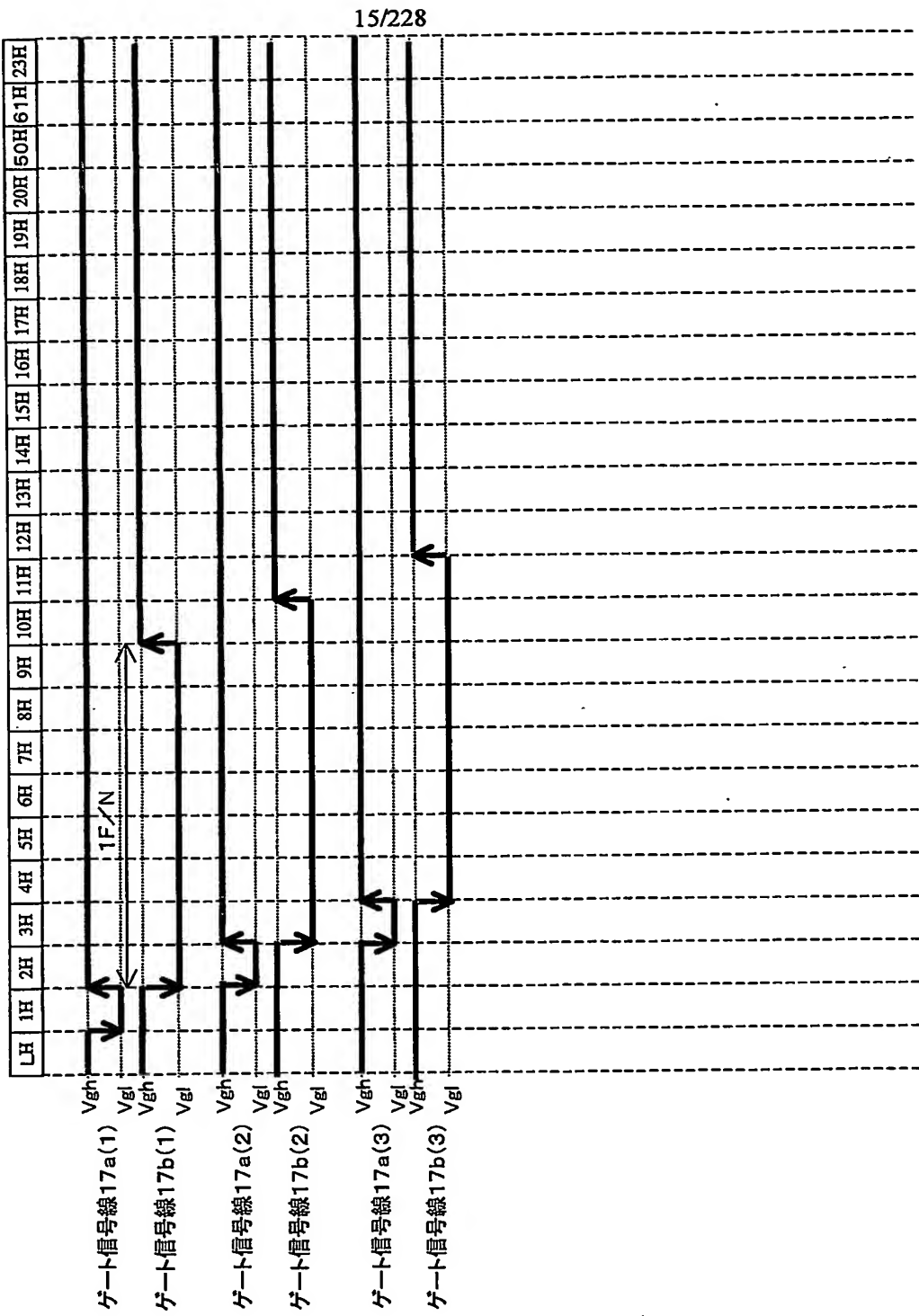


(b)



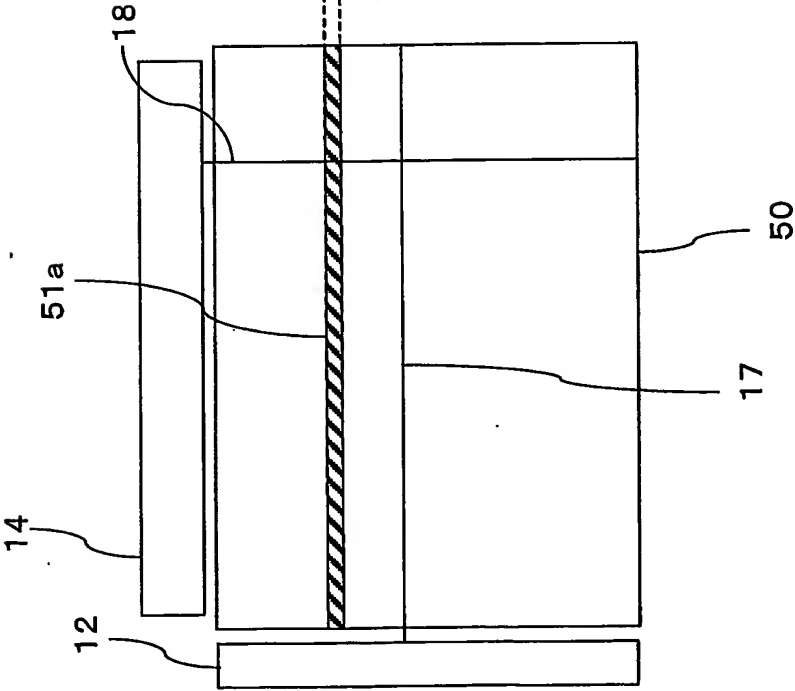


第15図

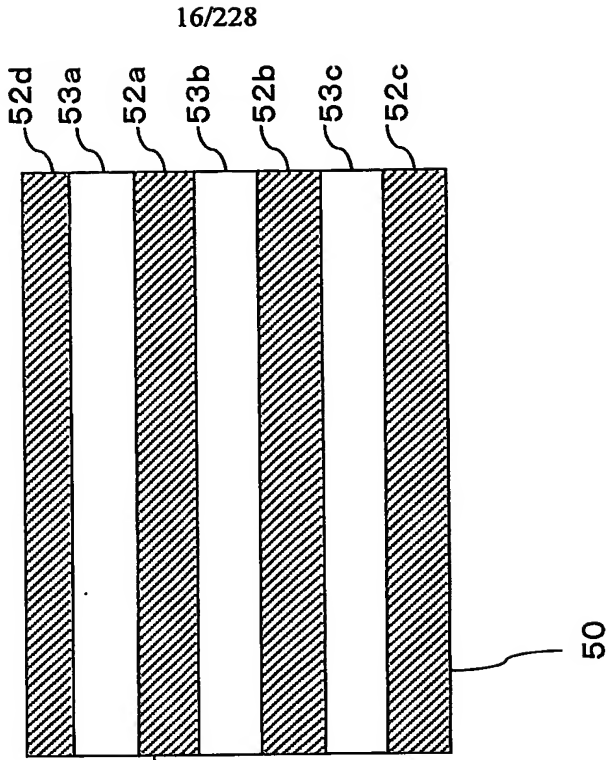


第16図

(a)



(b)



16/228

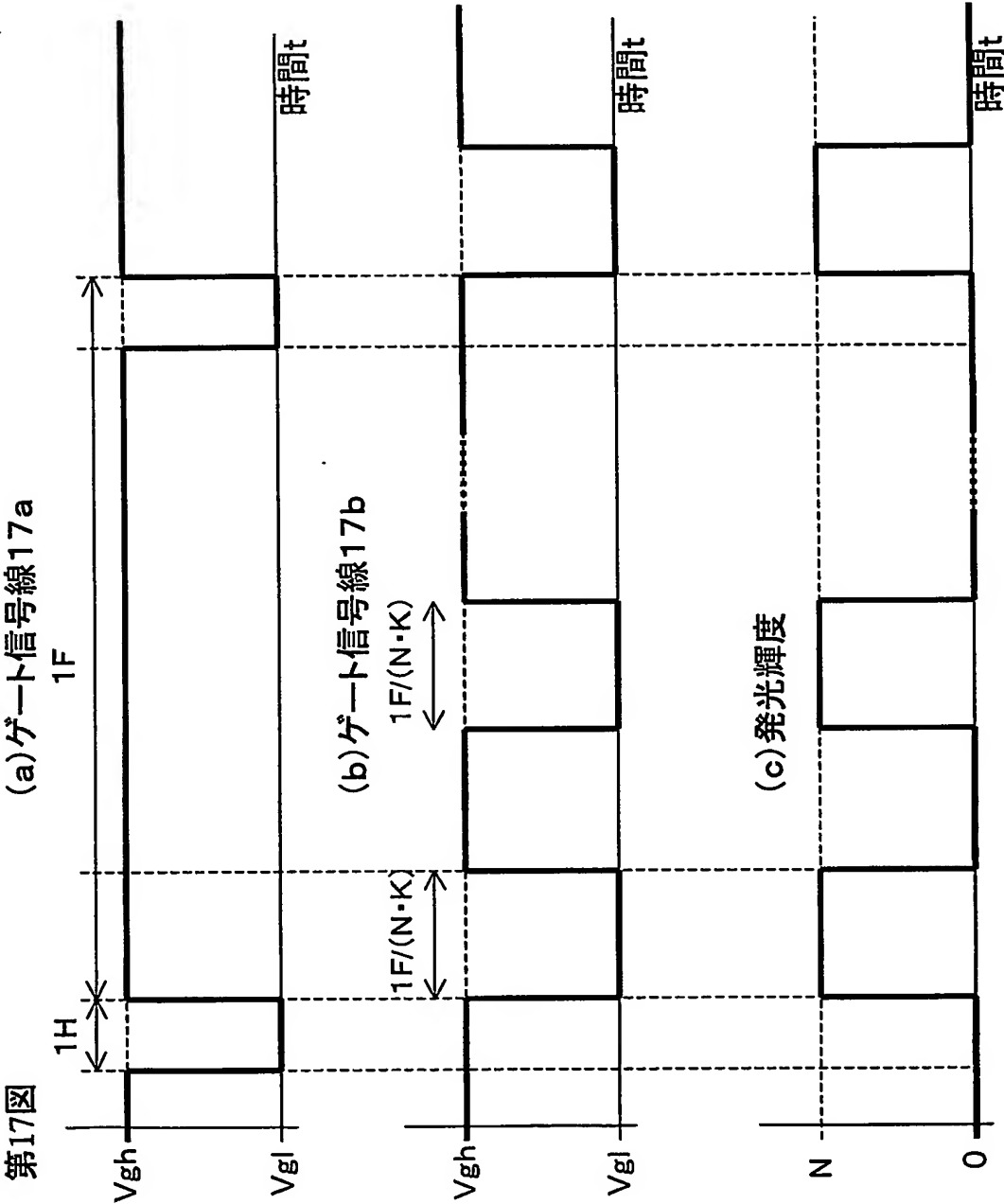
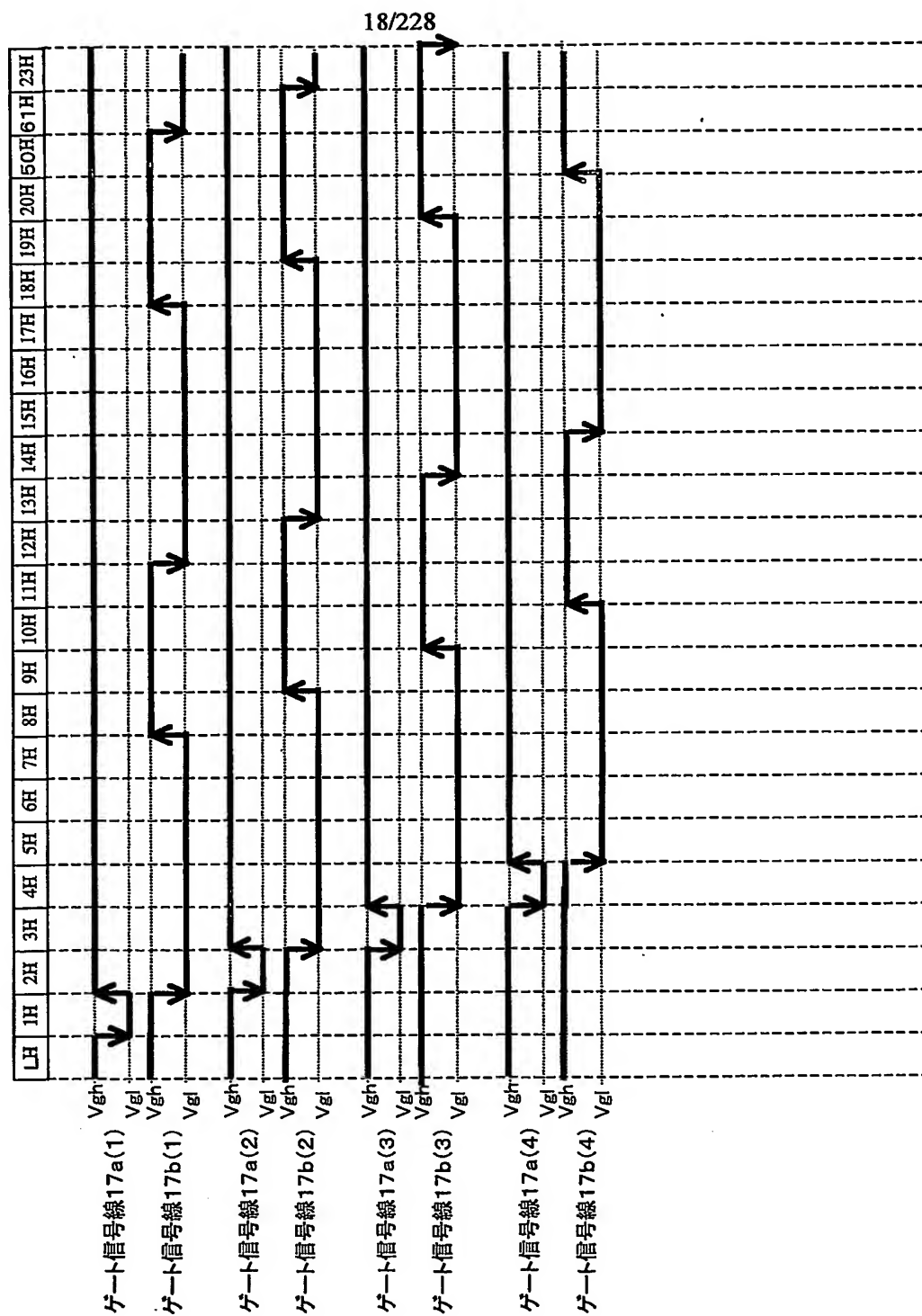
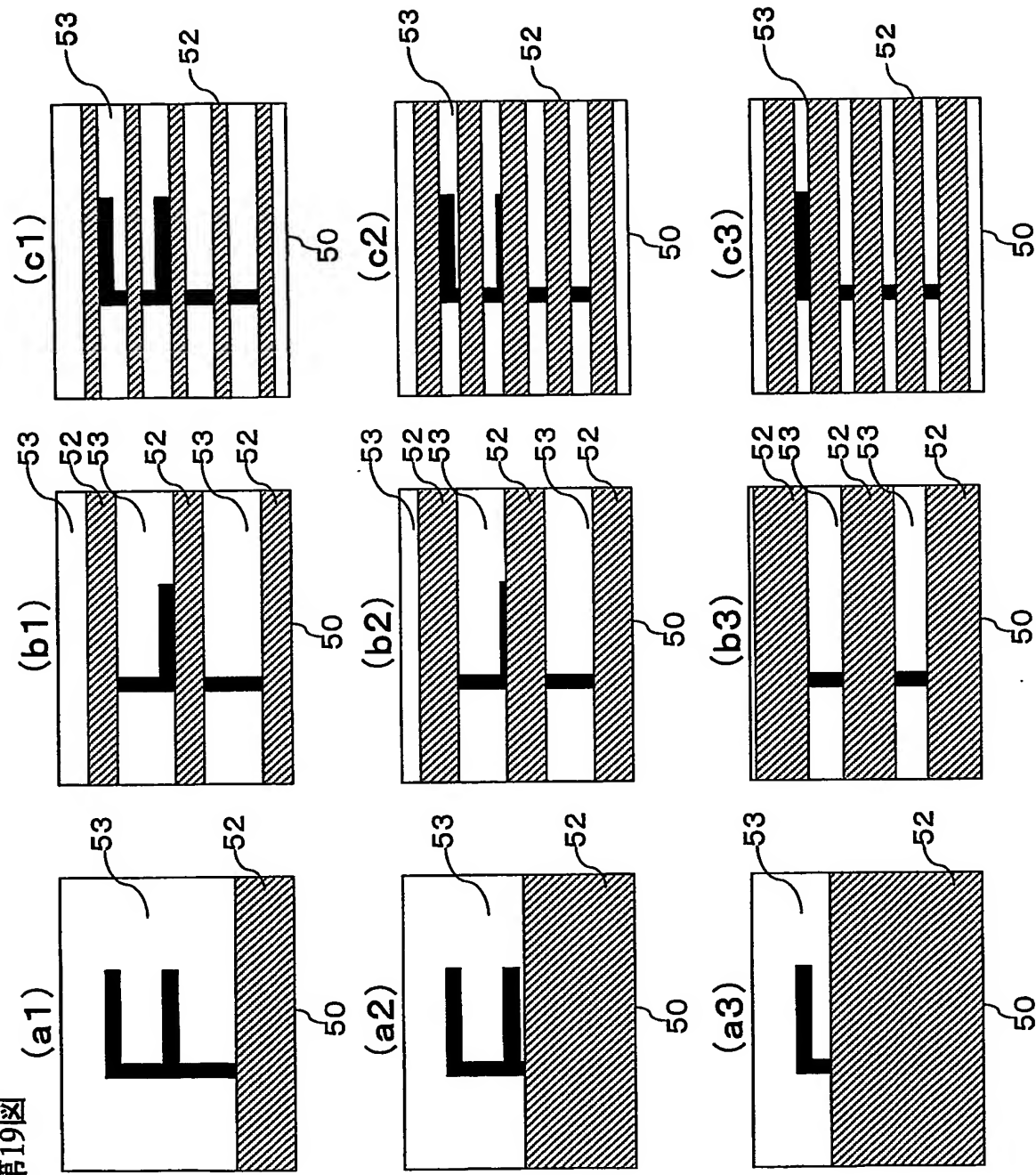
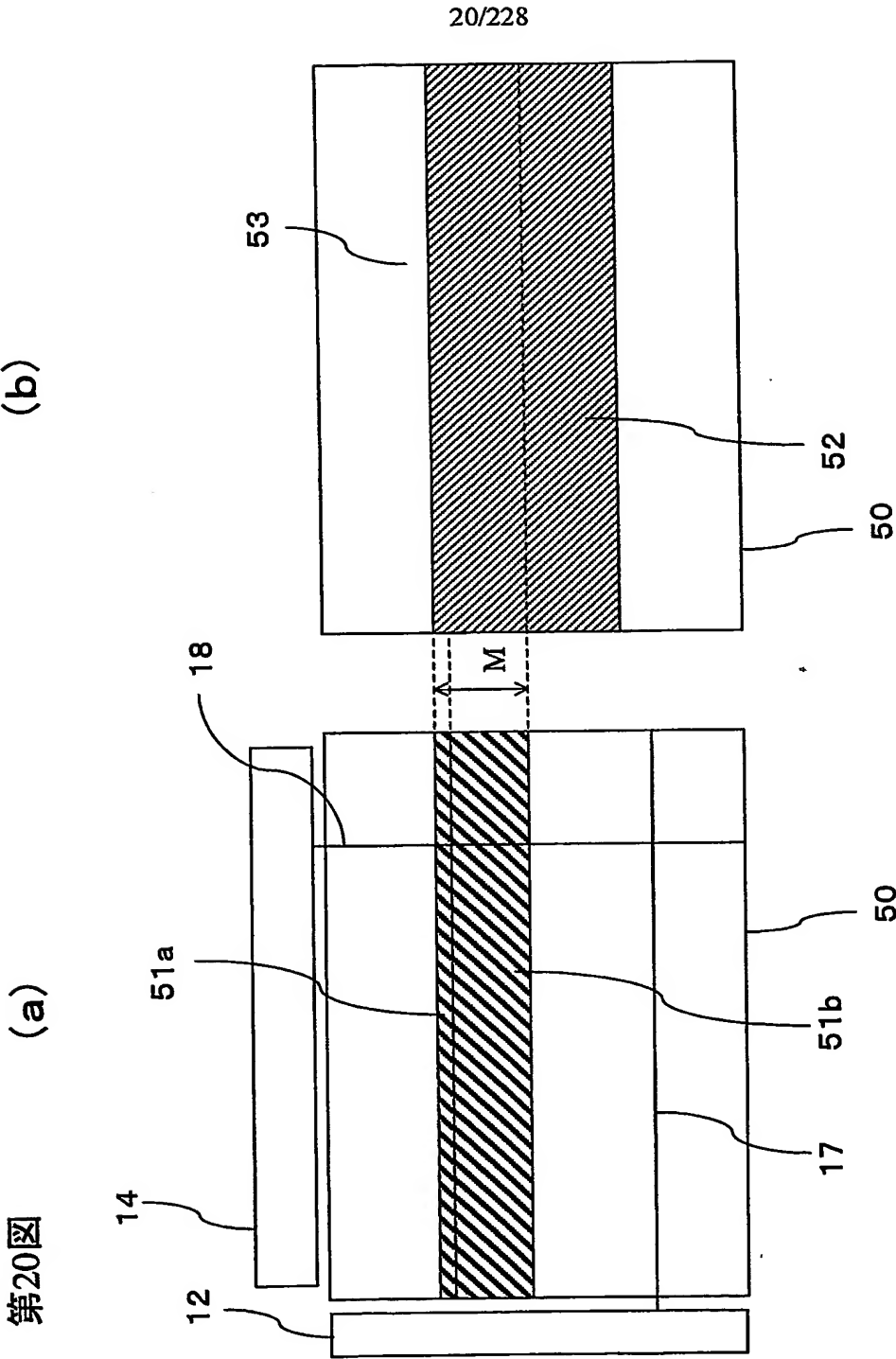


図 81 鋼

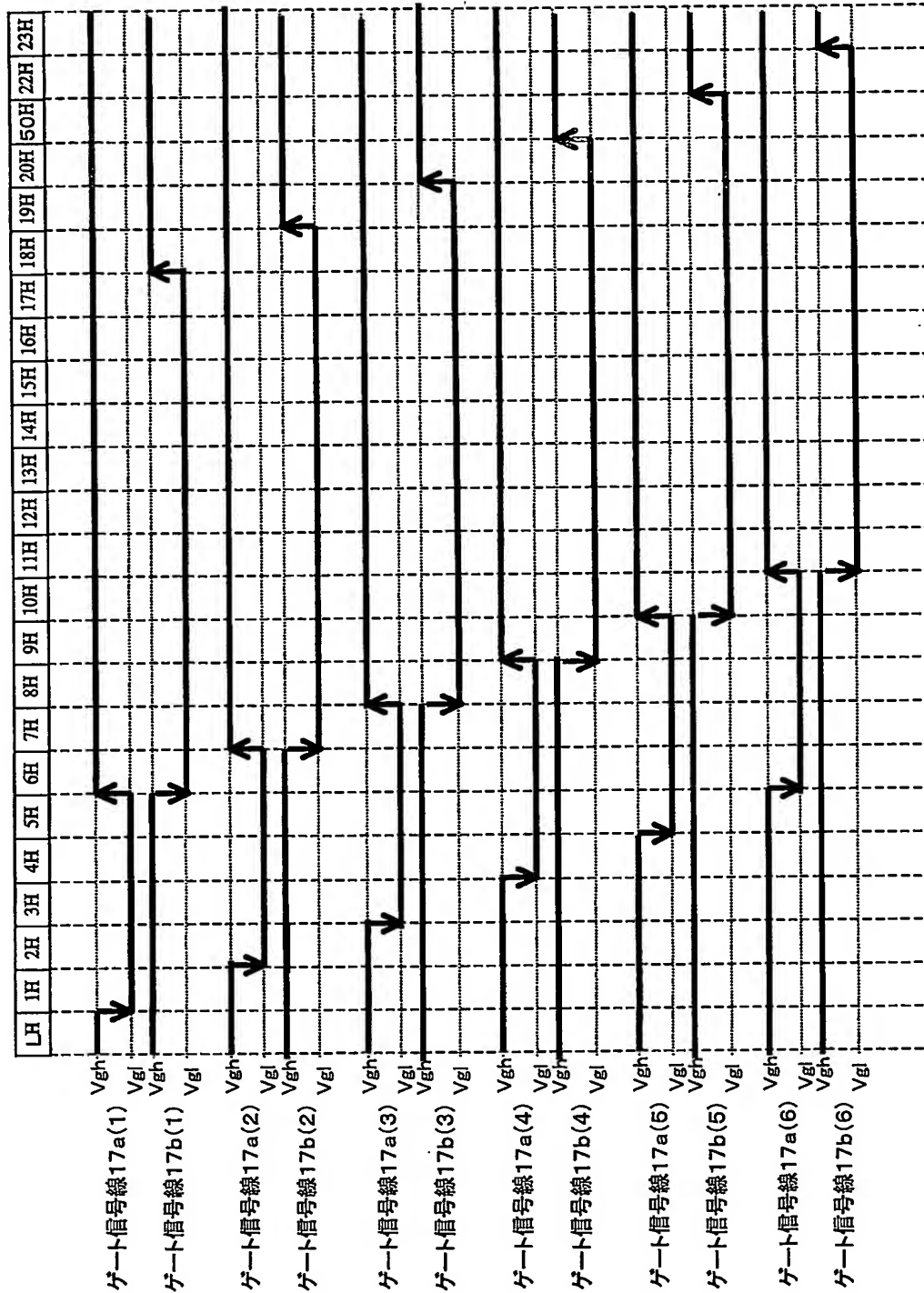


第19図





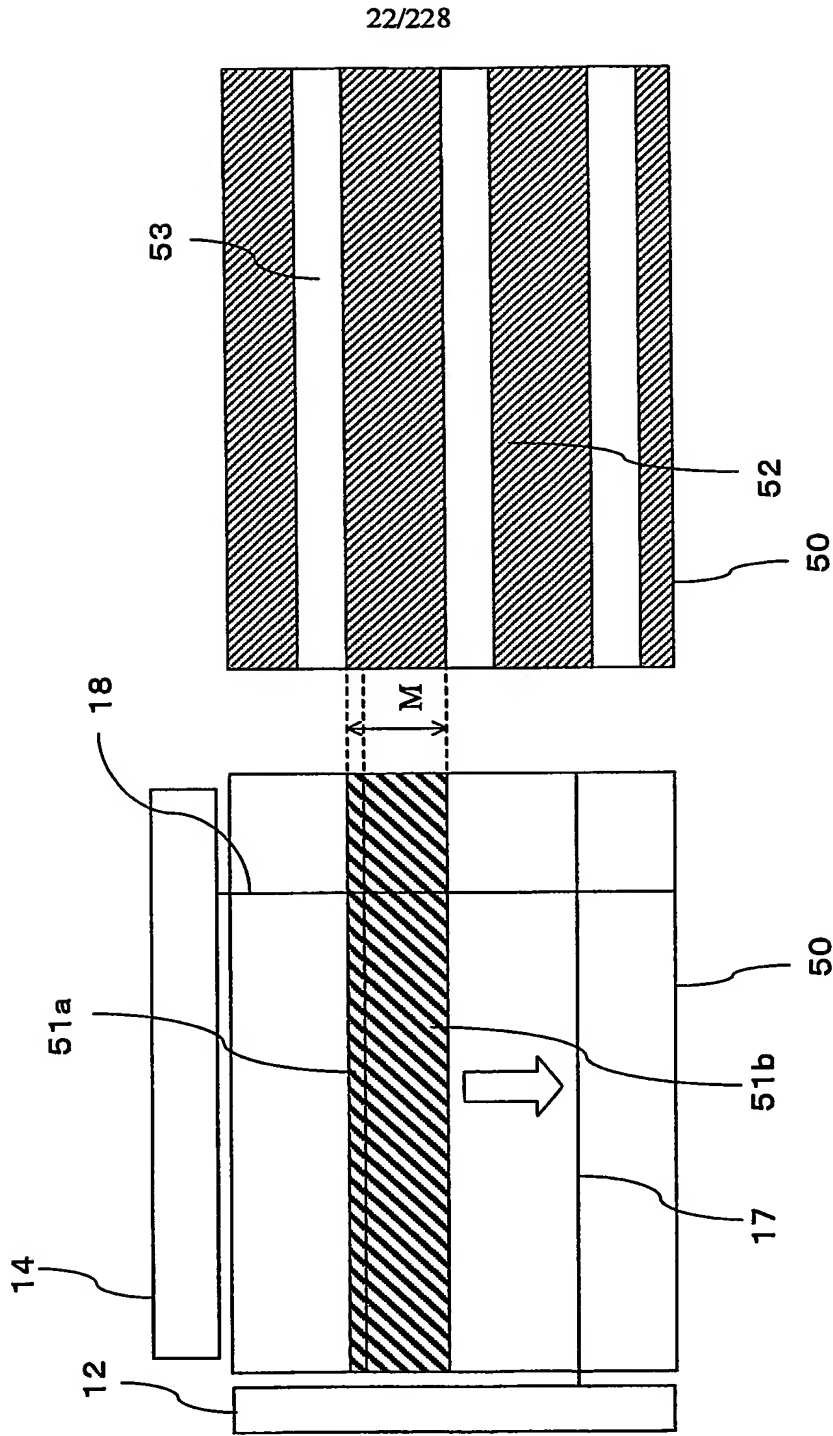
第21圖



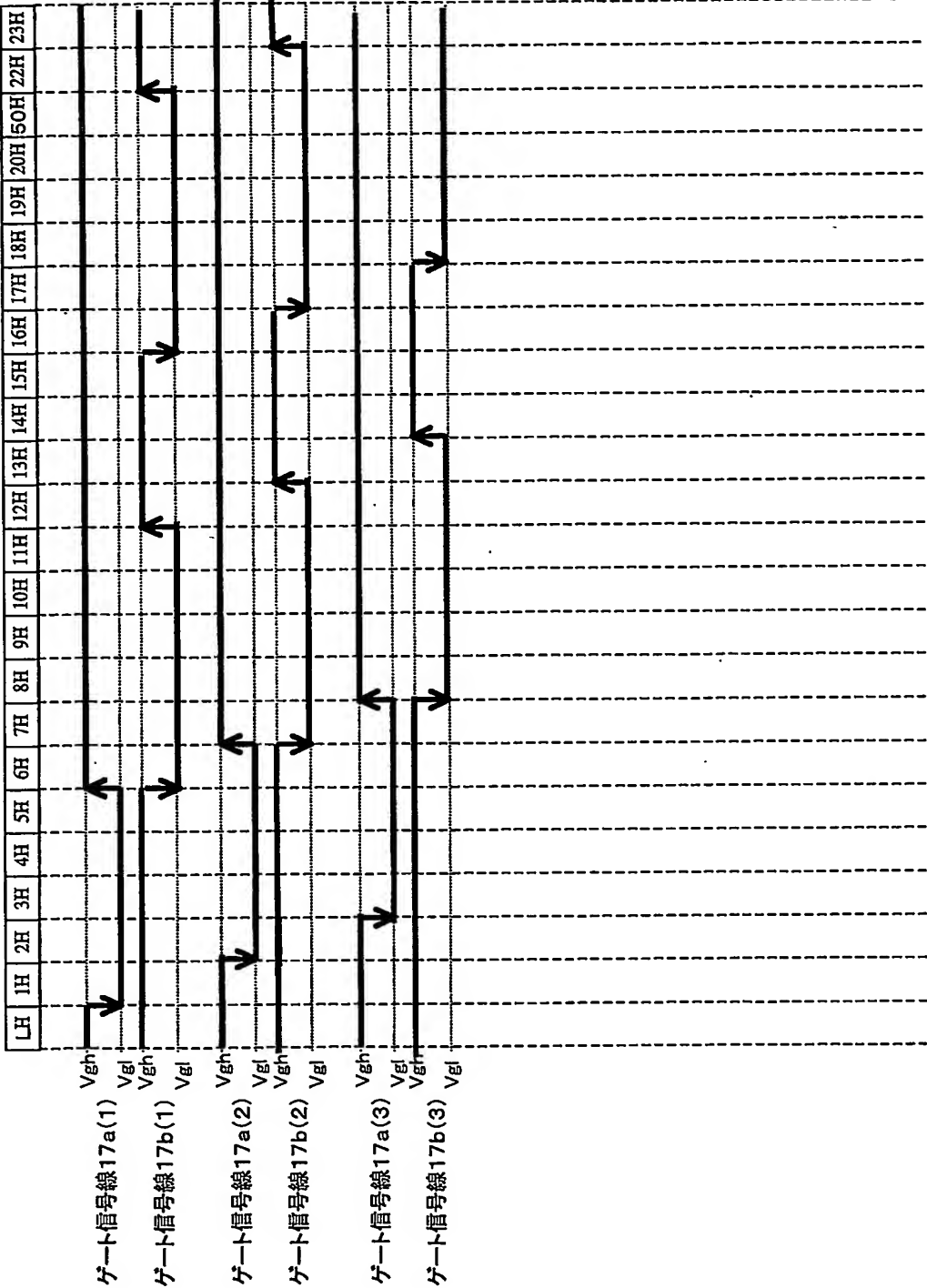
第22図

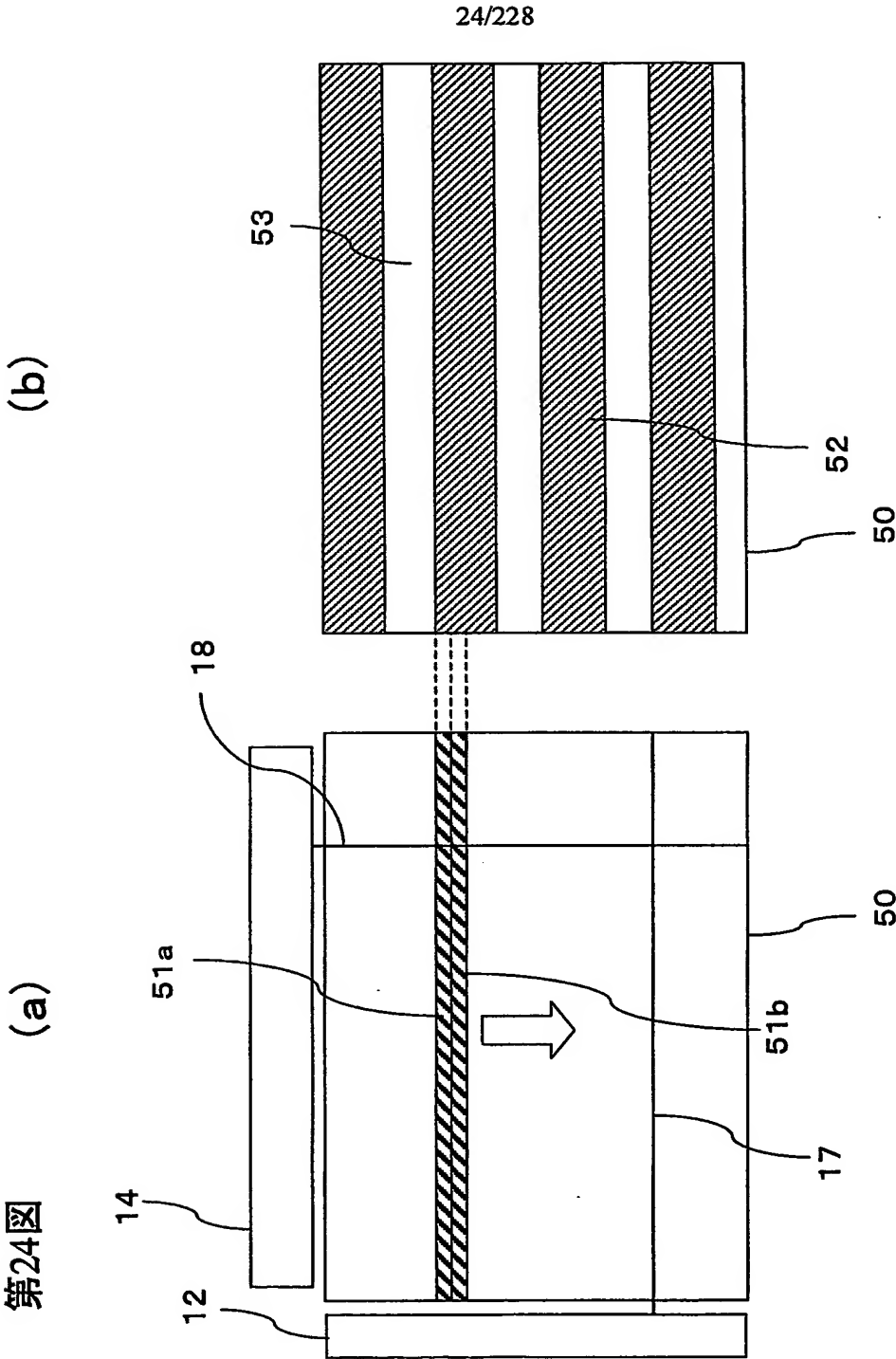
(a)

(b)



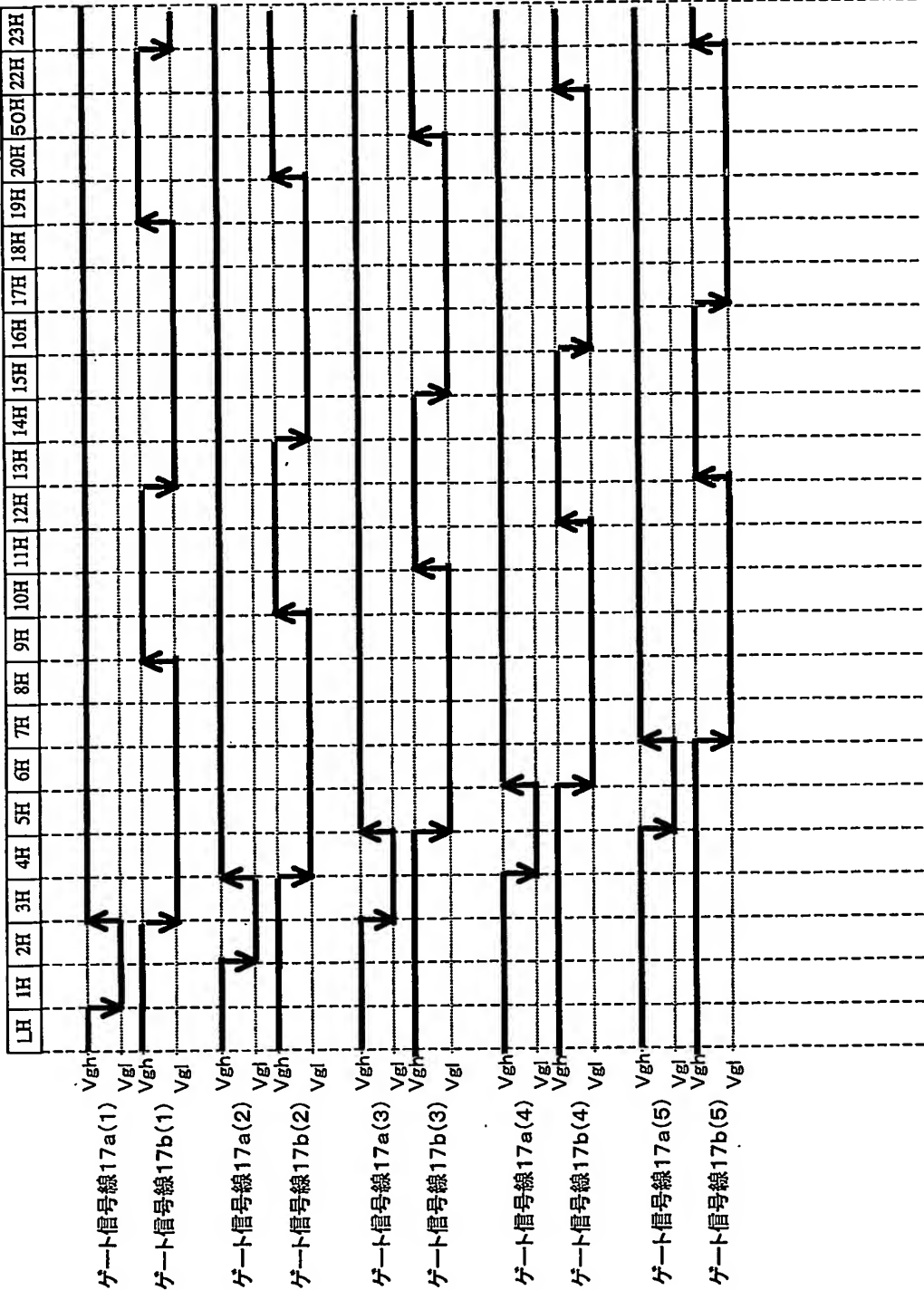
第23図

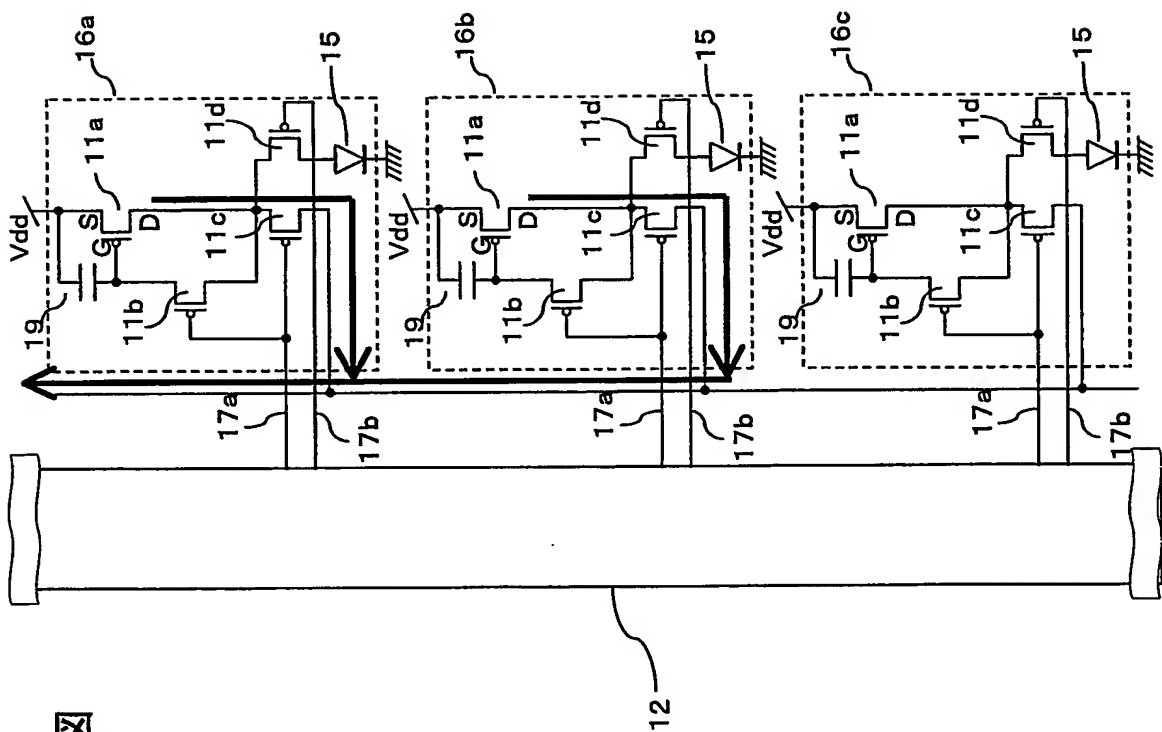




25/228

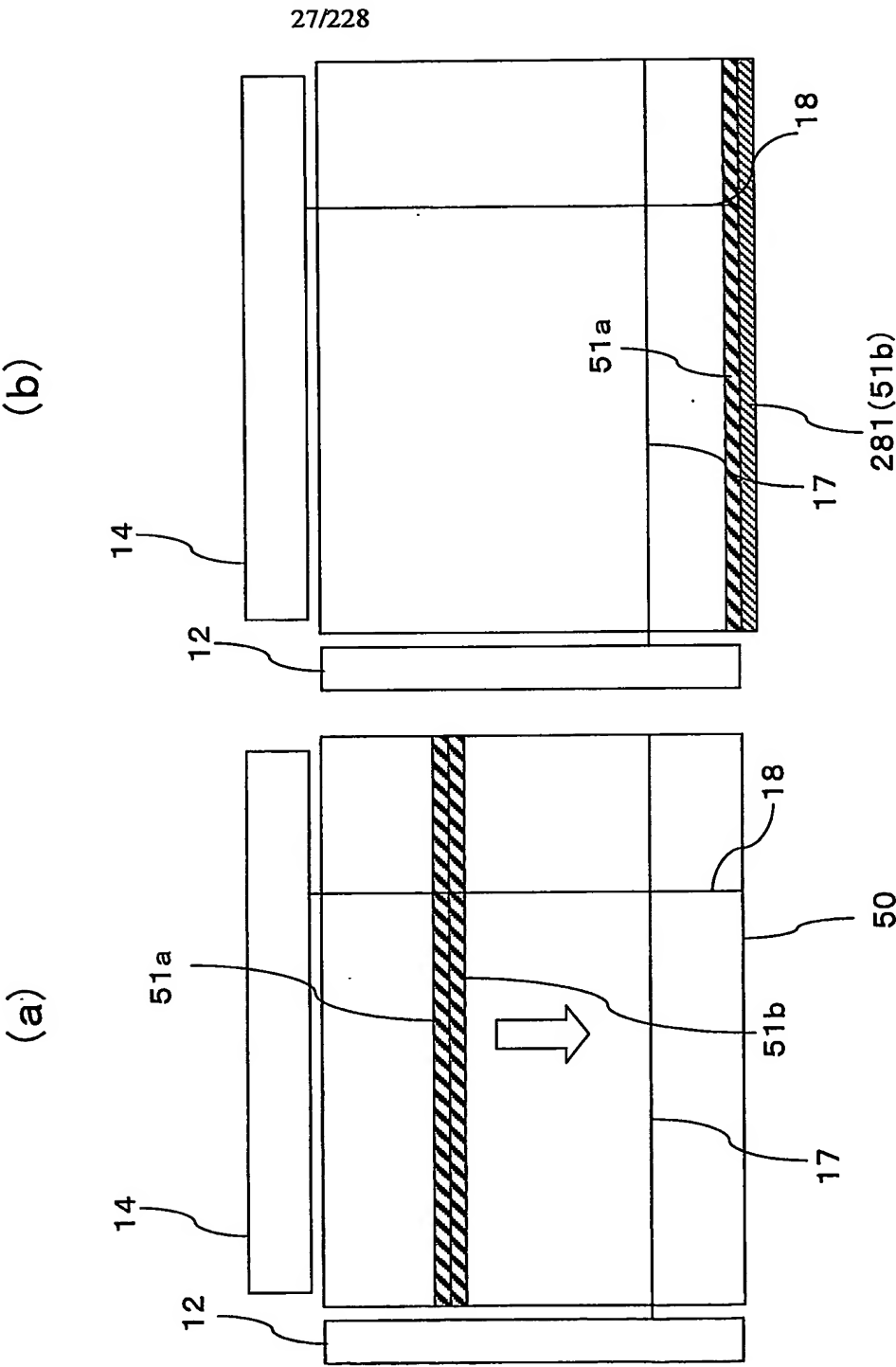
第25図

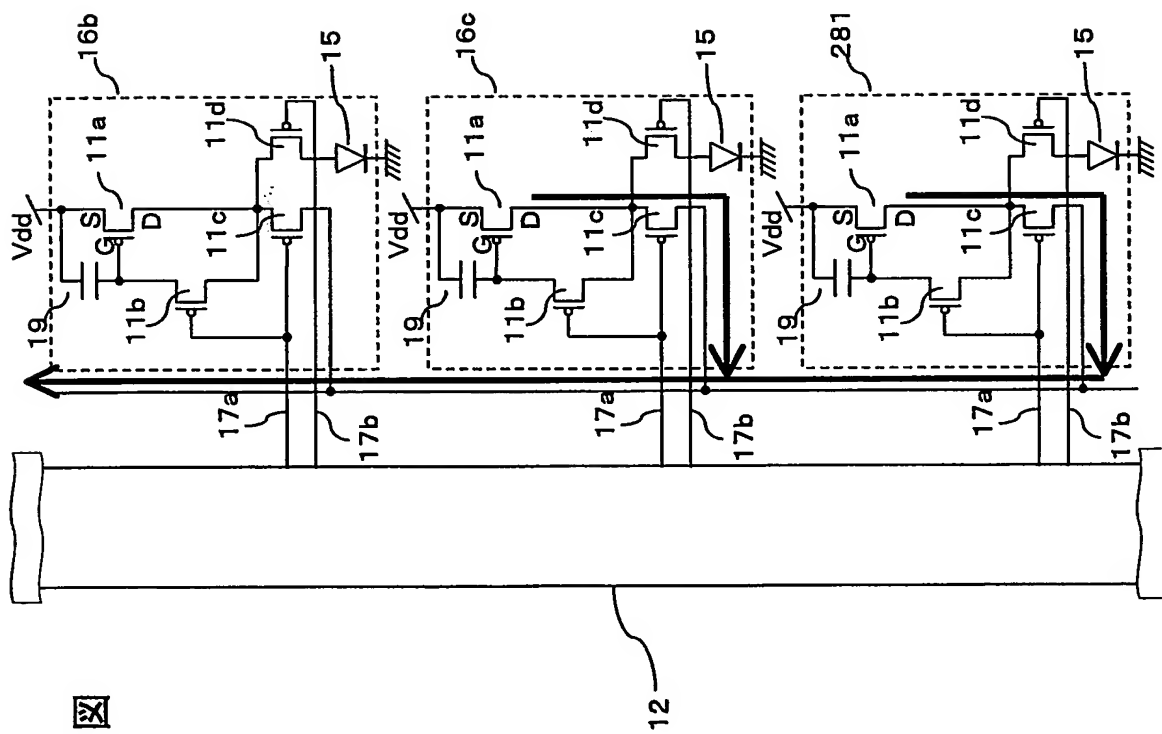




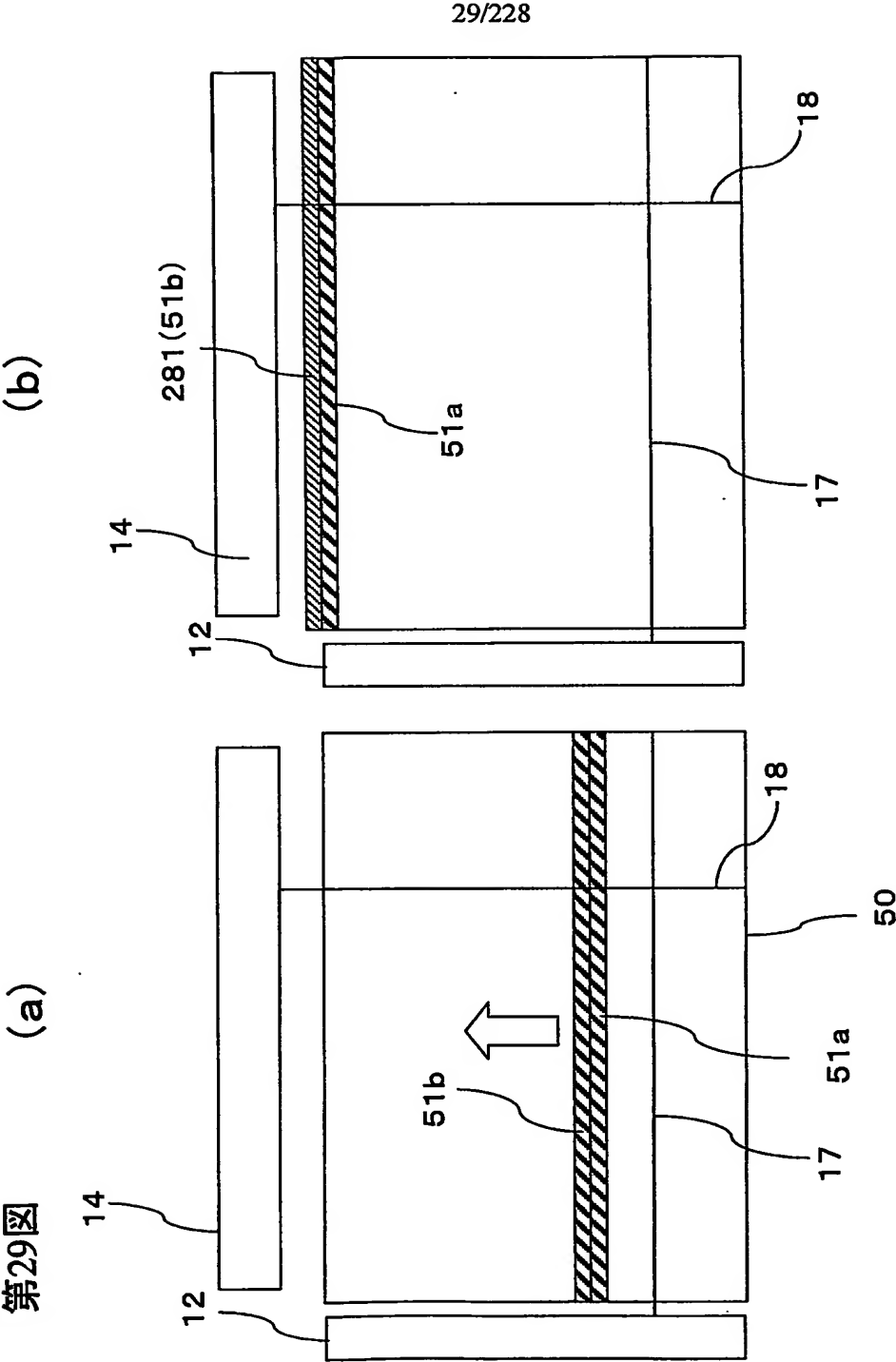
第26図

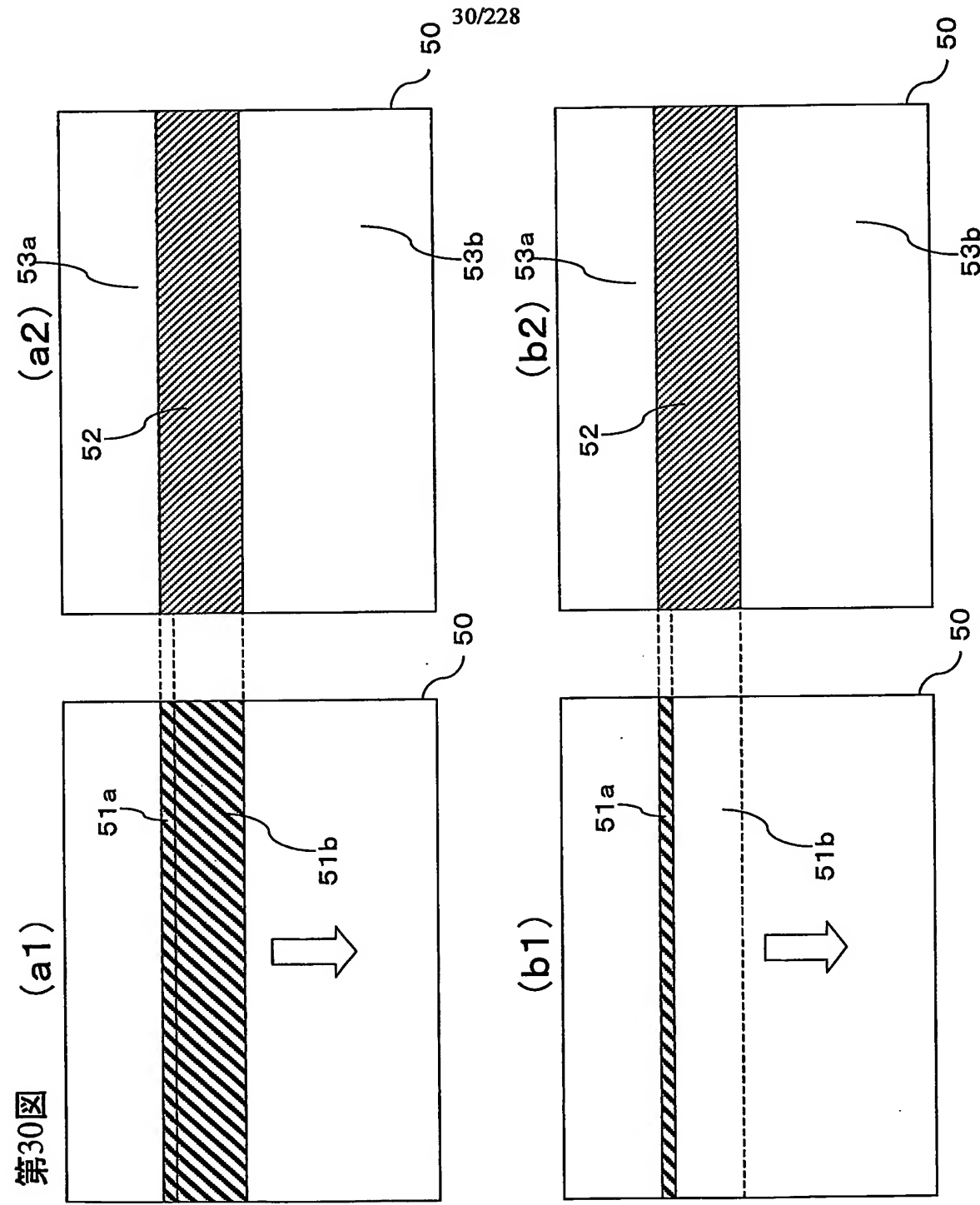
第27図



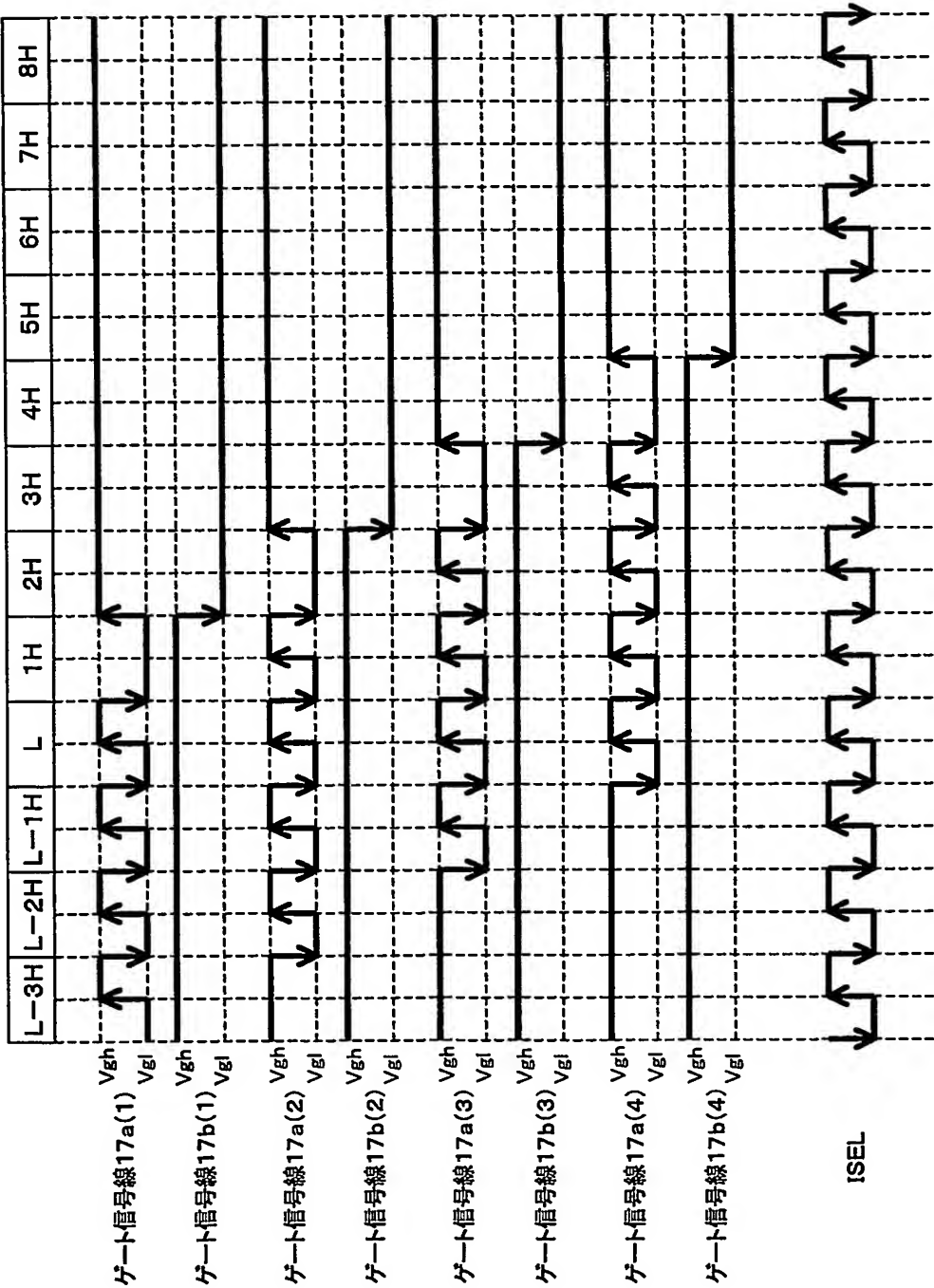


第28図

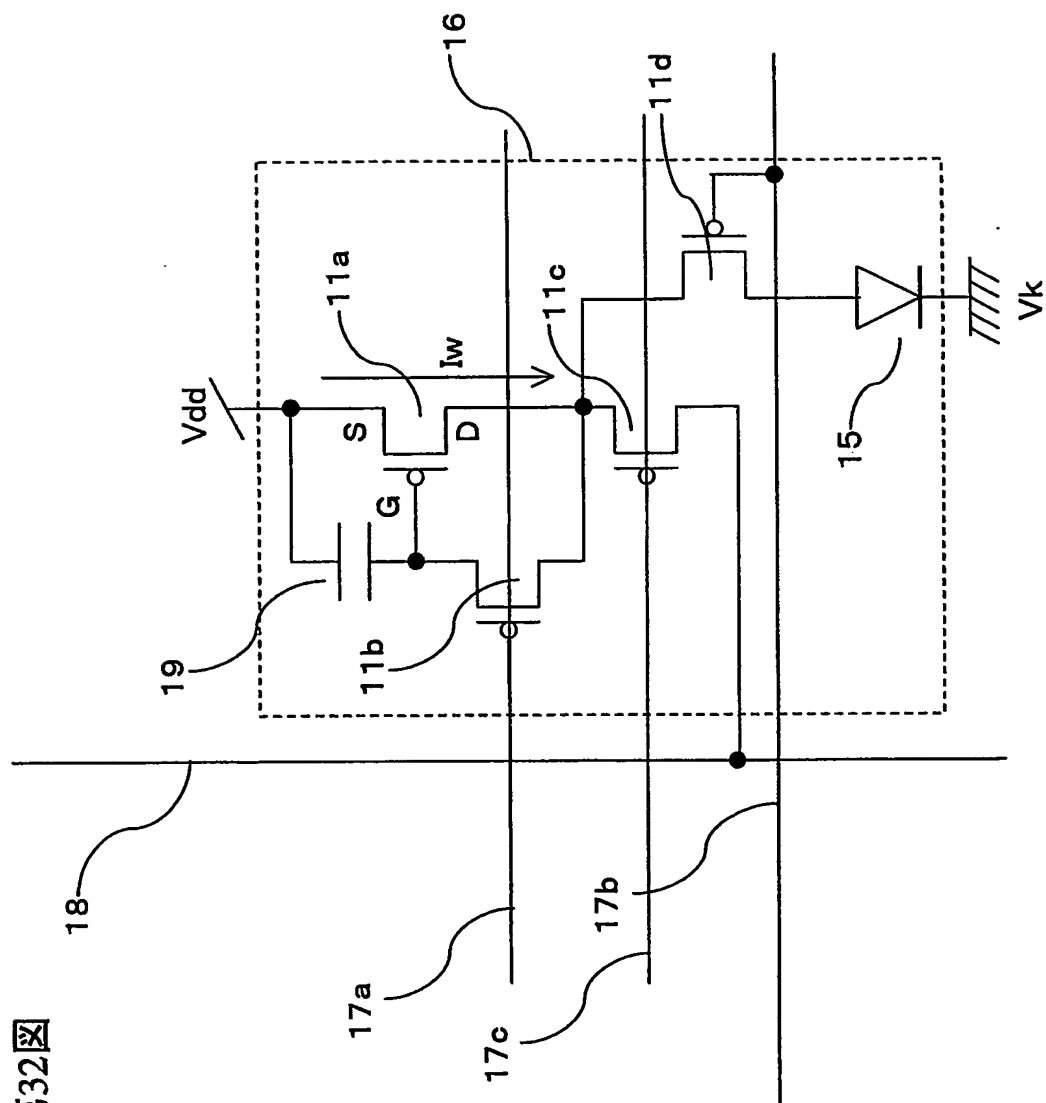




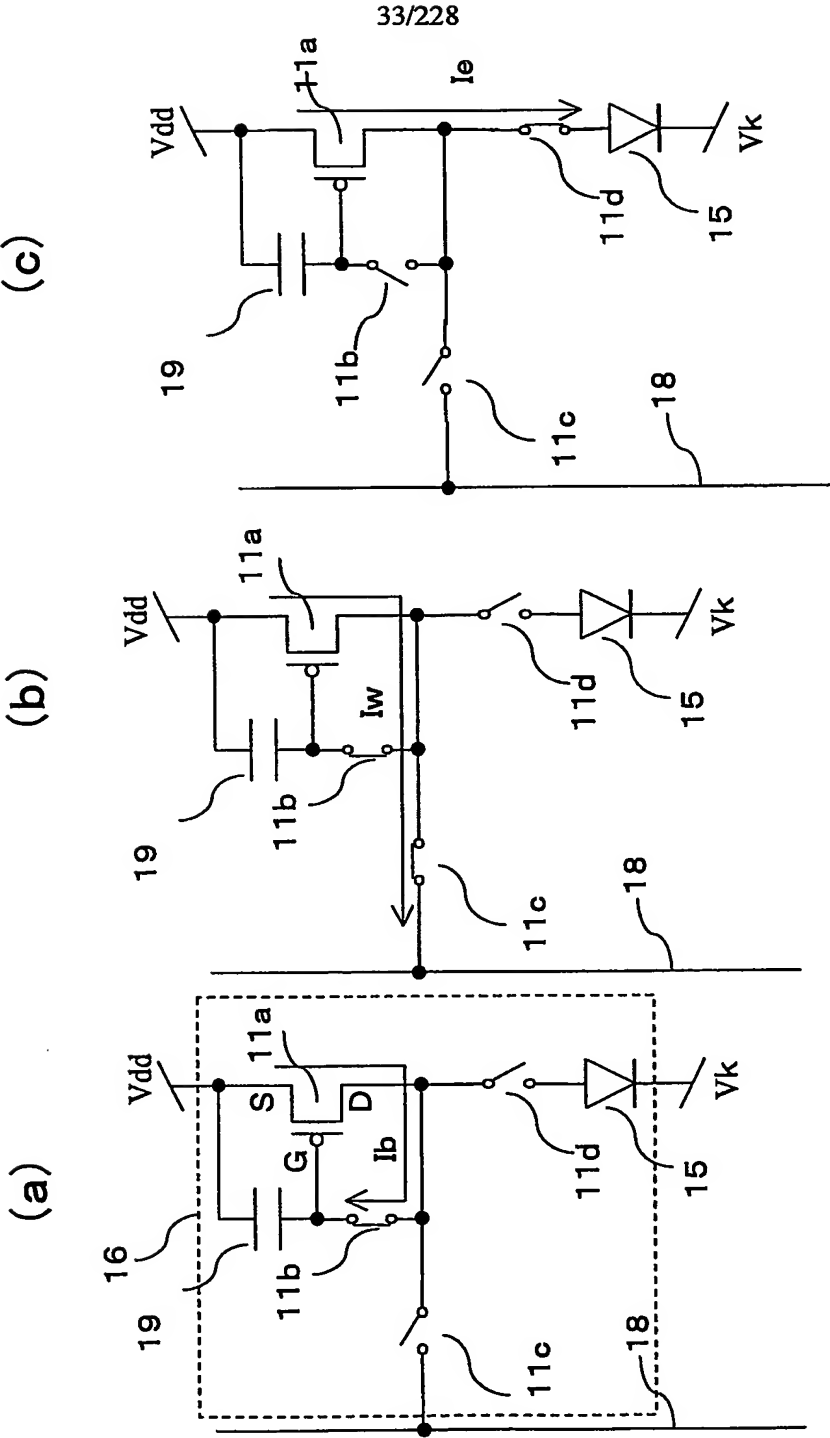
第31図



第32圖

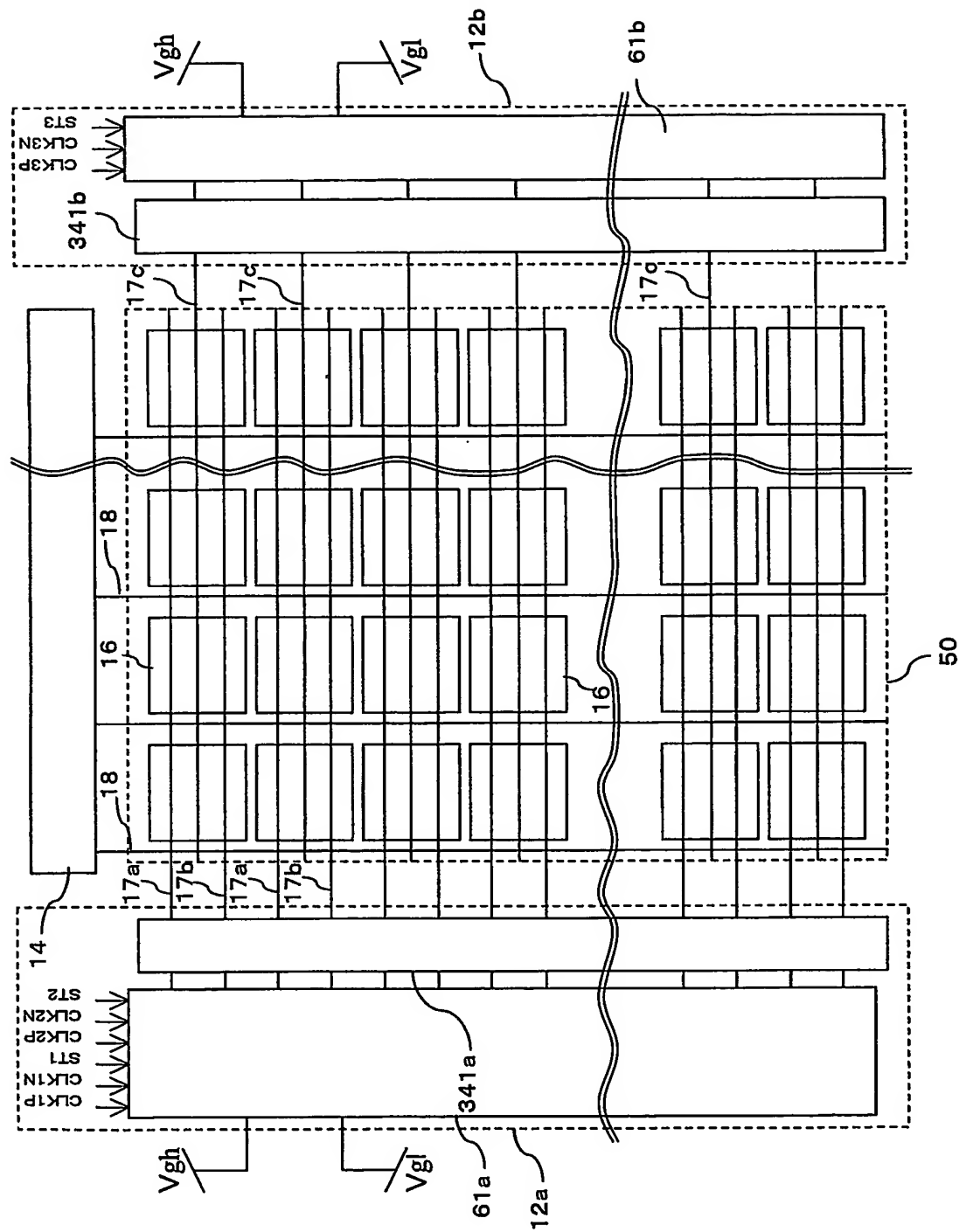


第33図

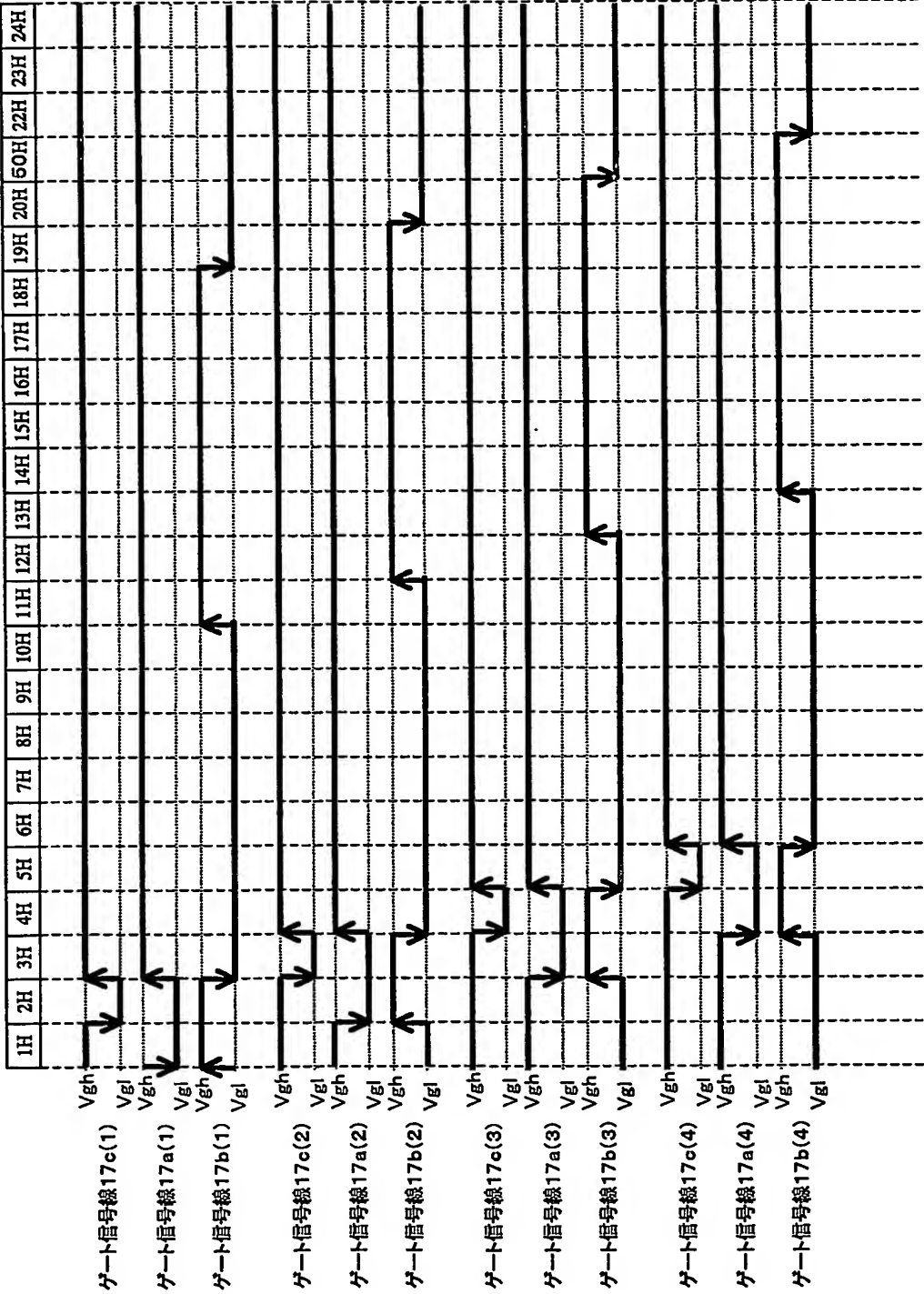


34/228

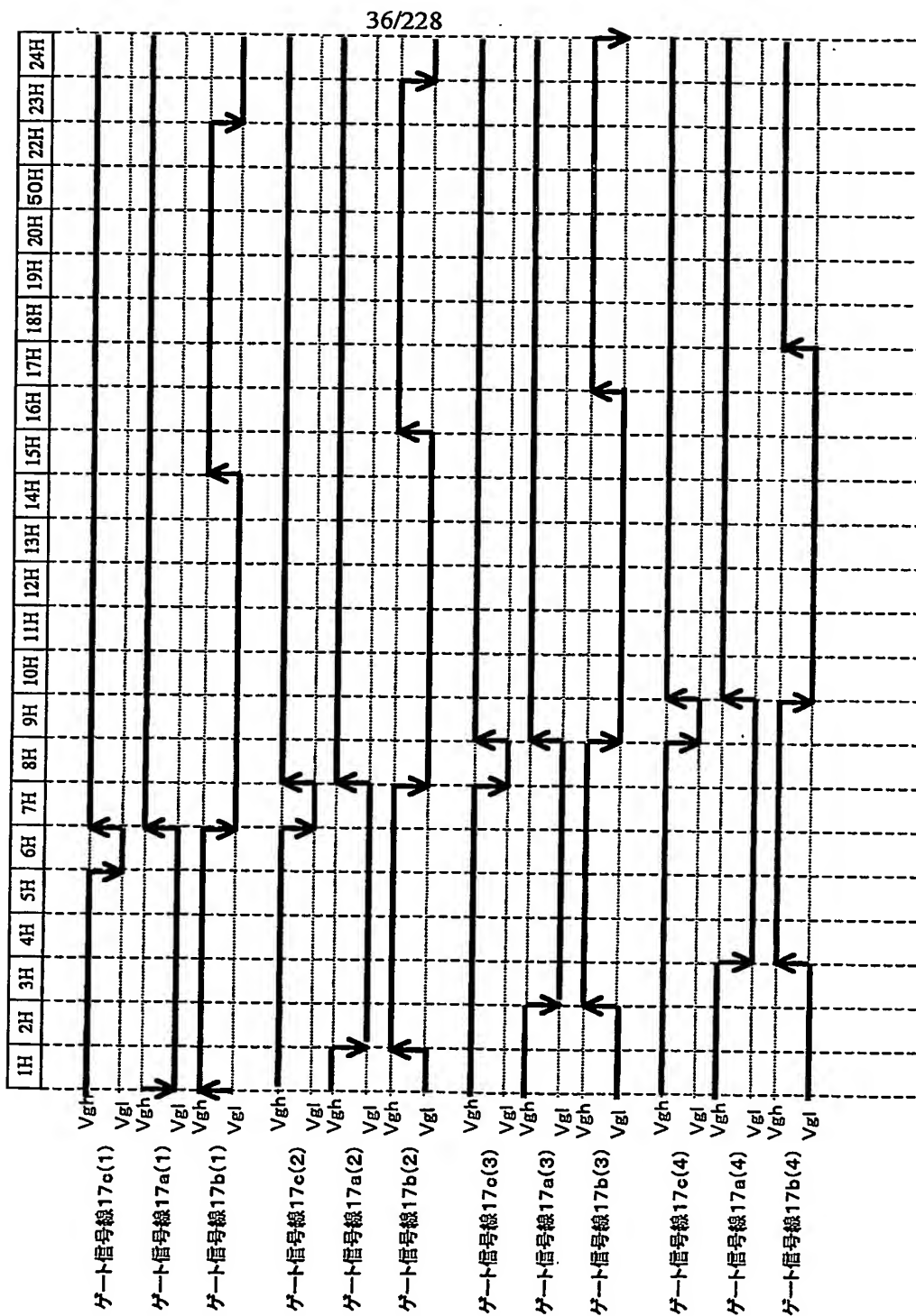
第34図



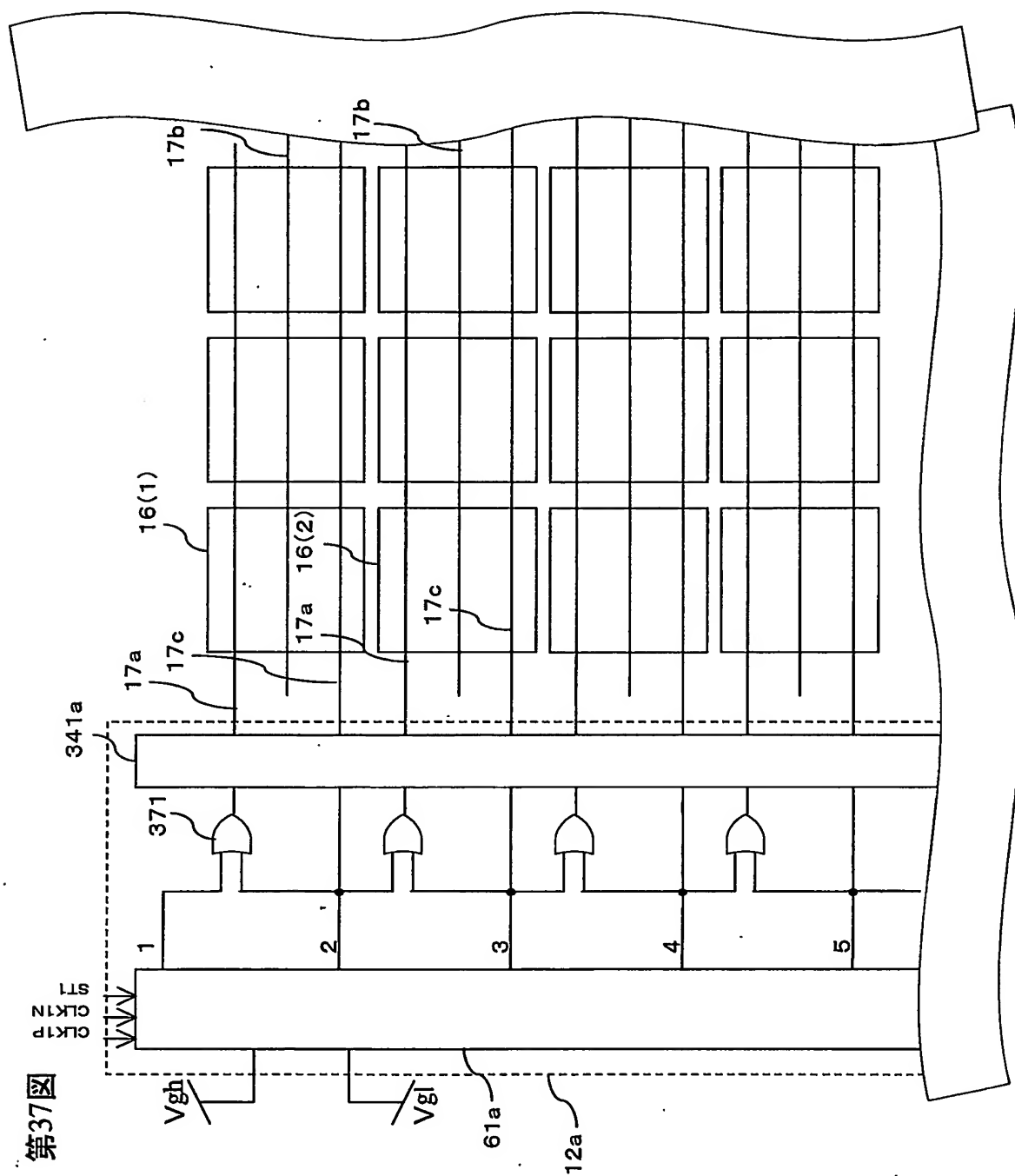
第35図

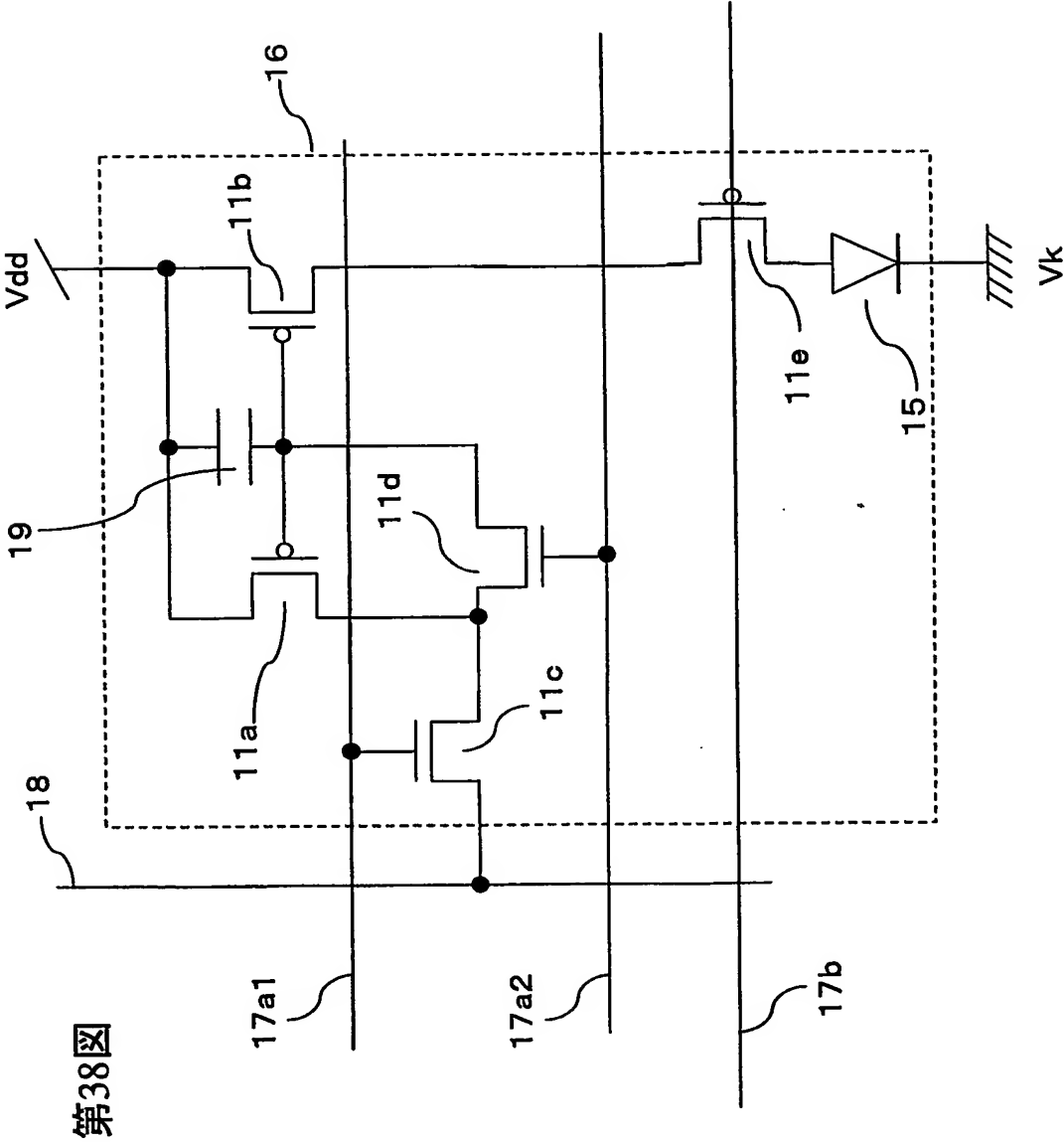


第36圖

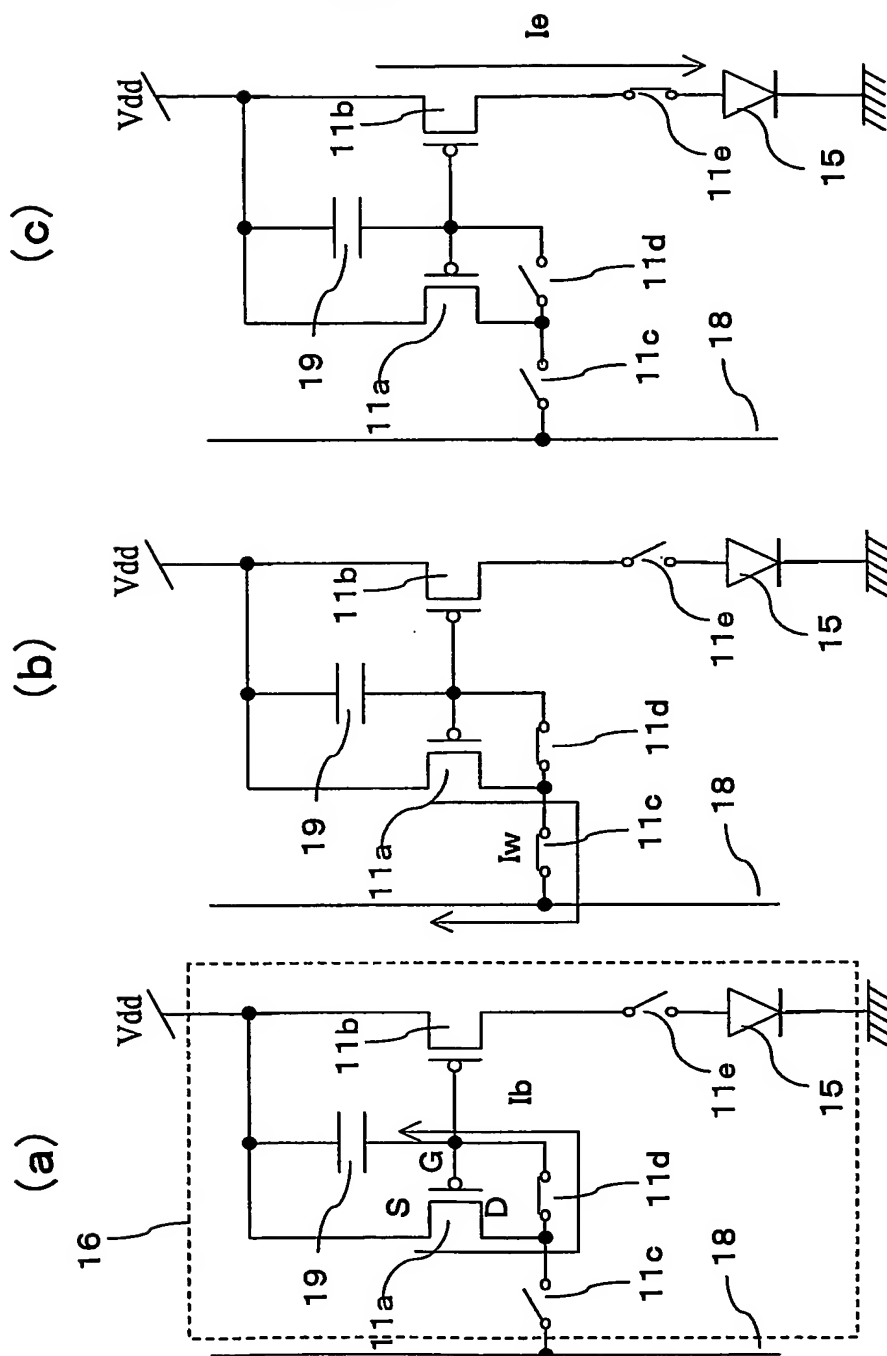


37/228

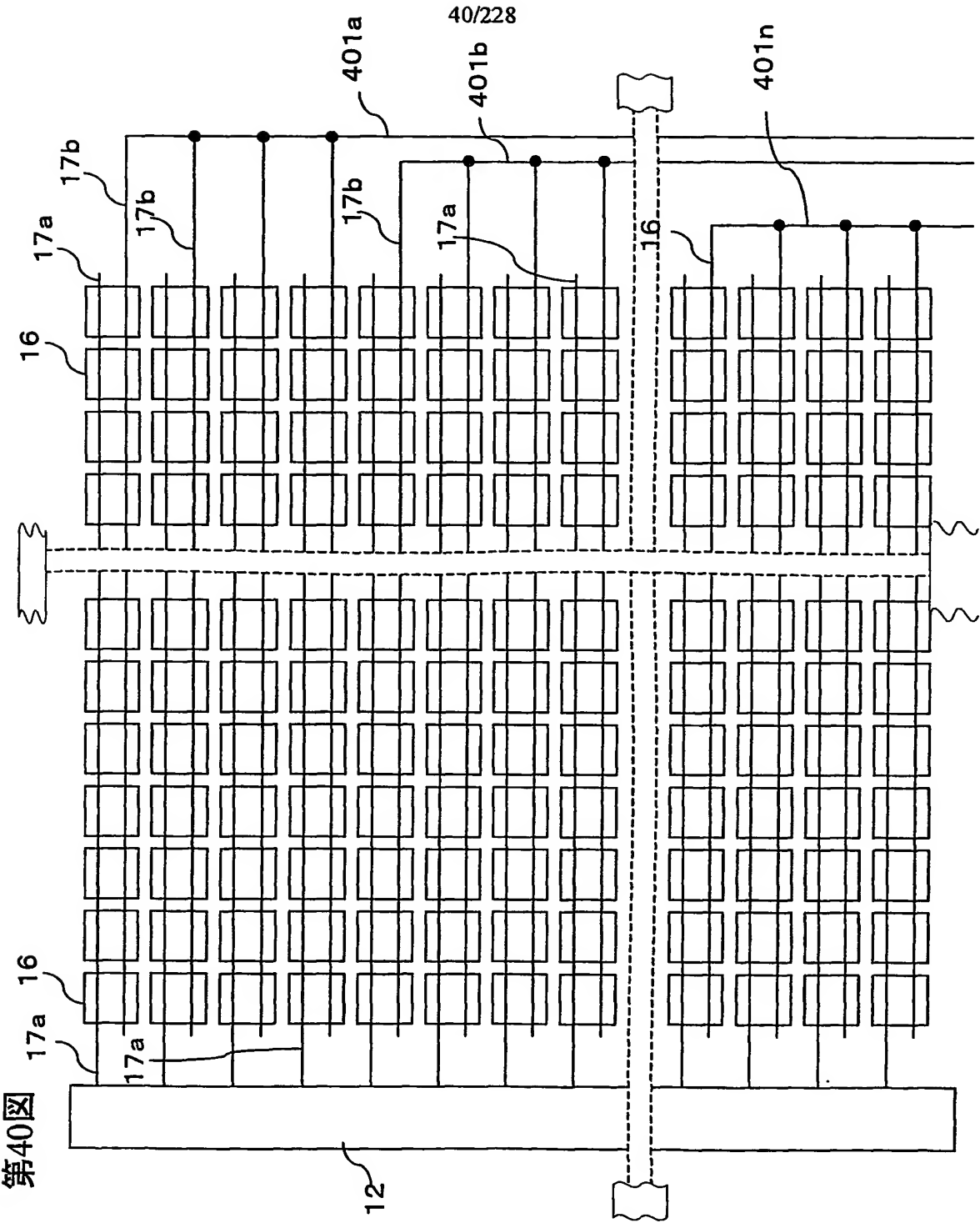




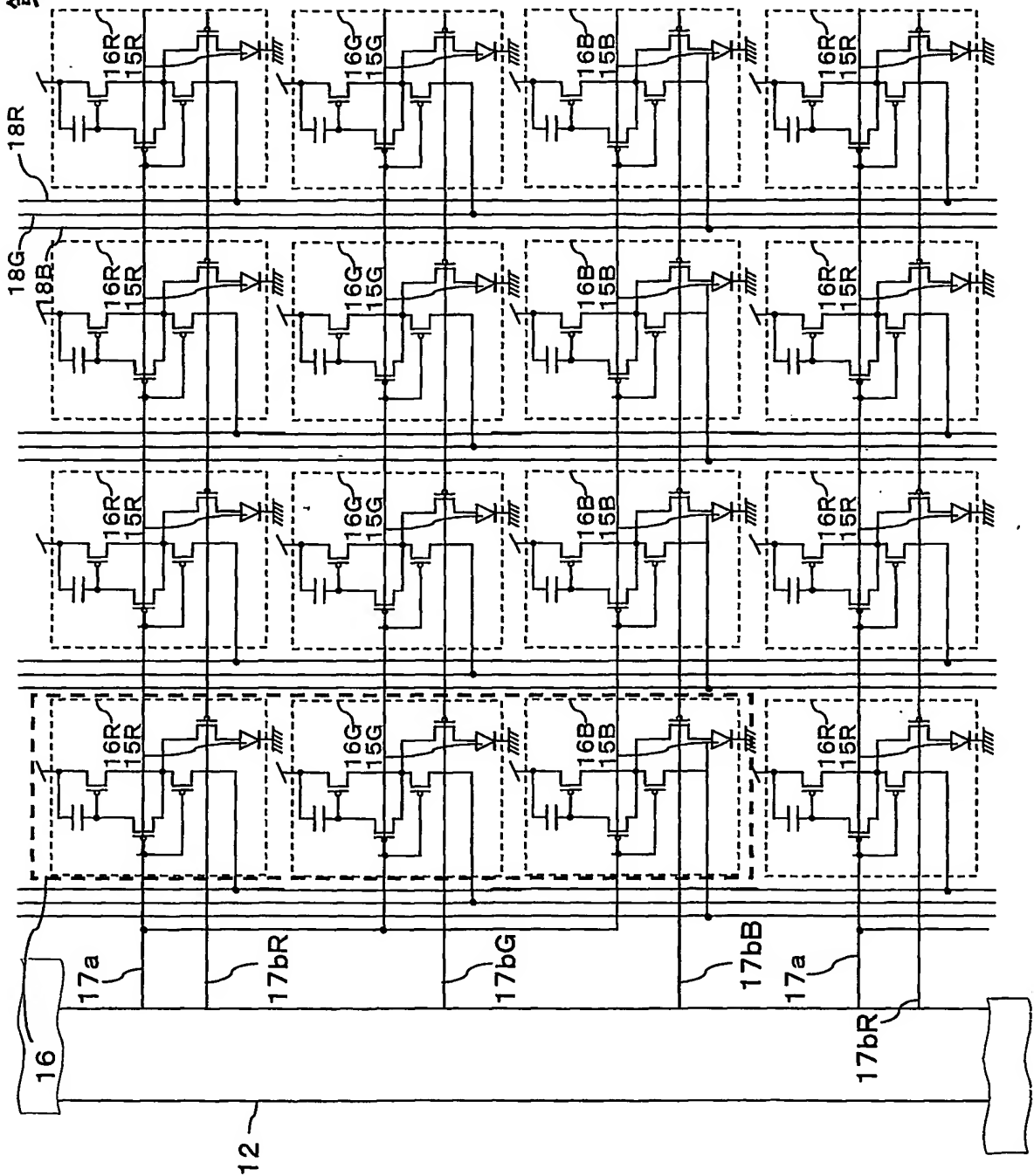
39/228



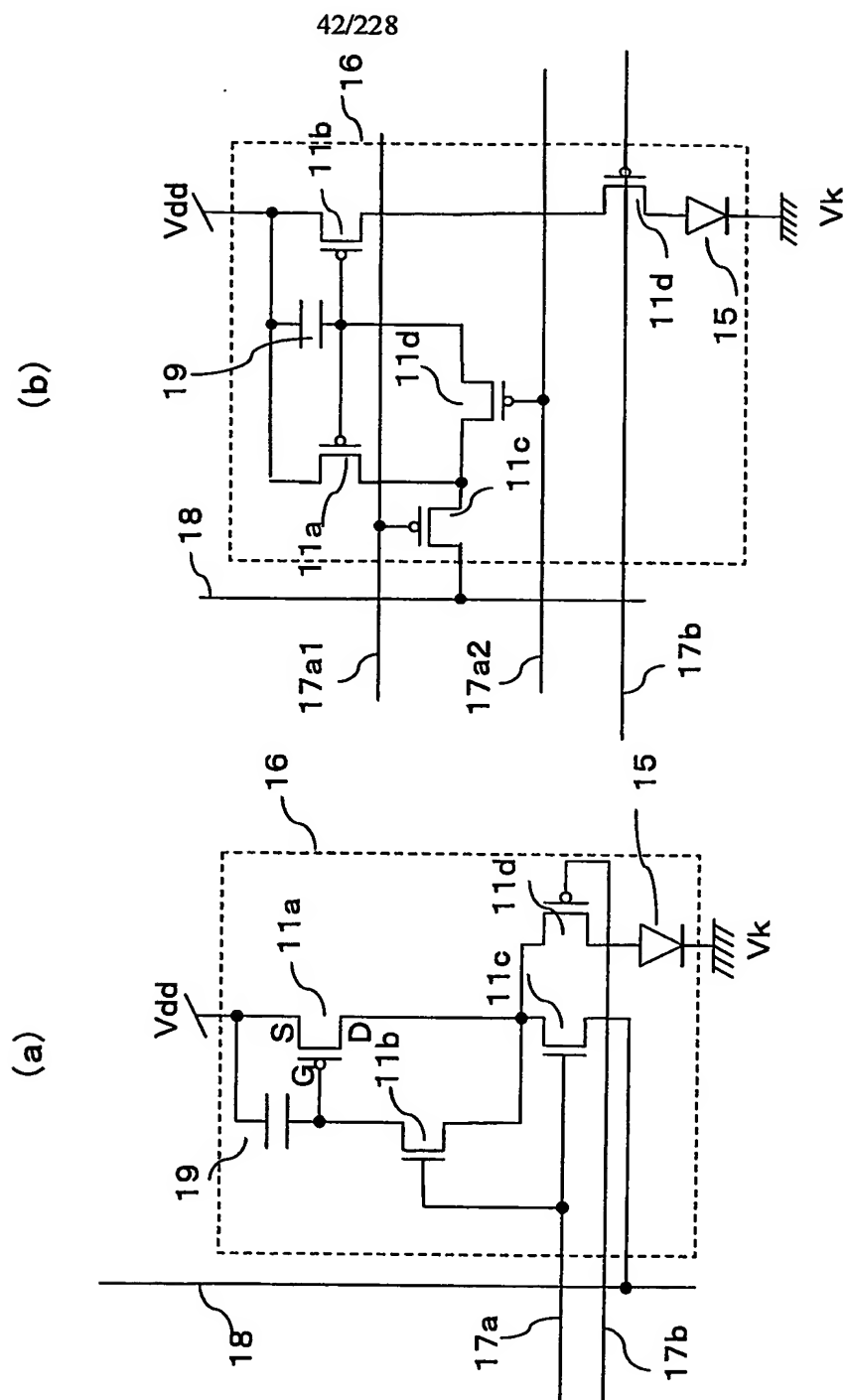
第39圖



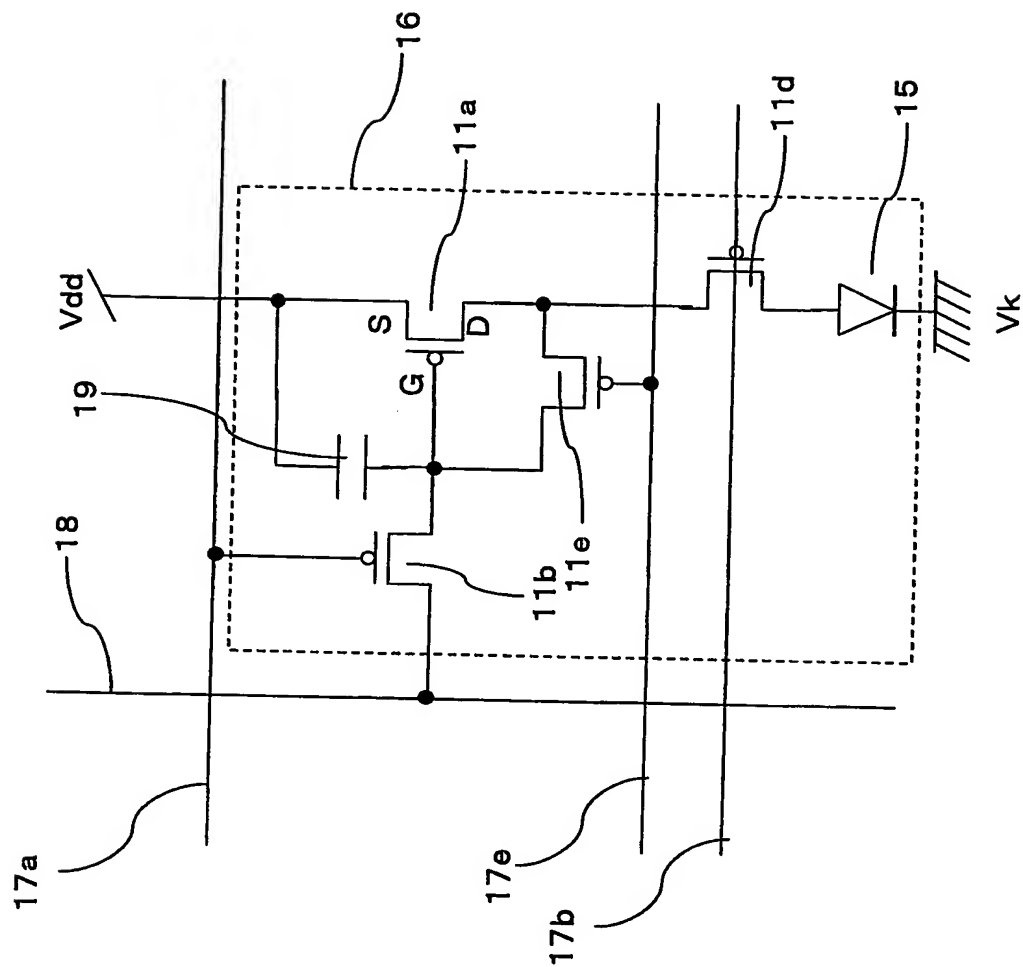
第41図



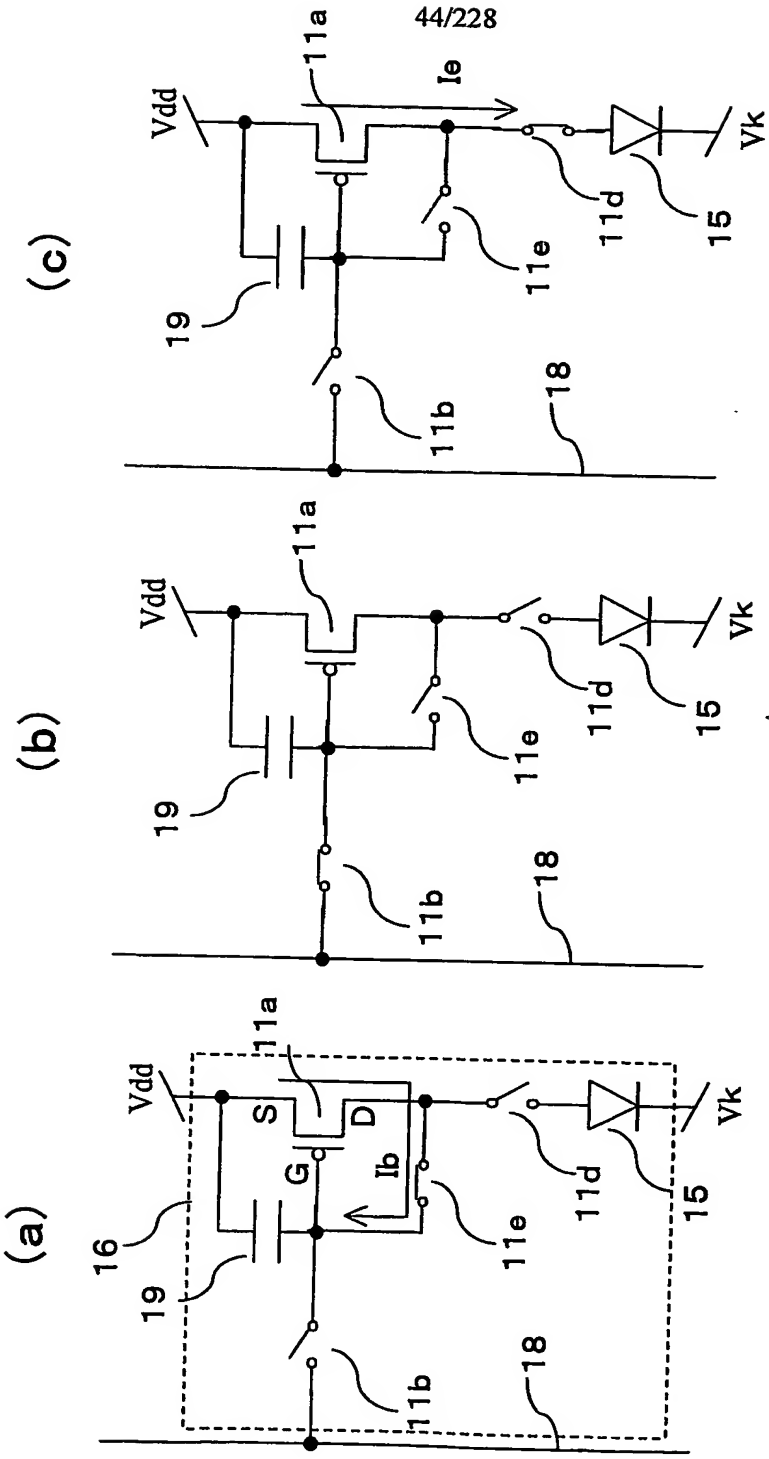
第42圖

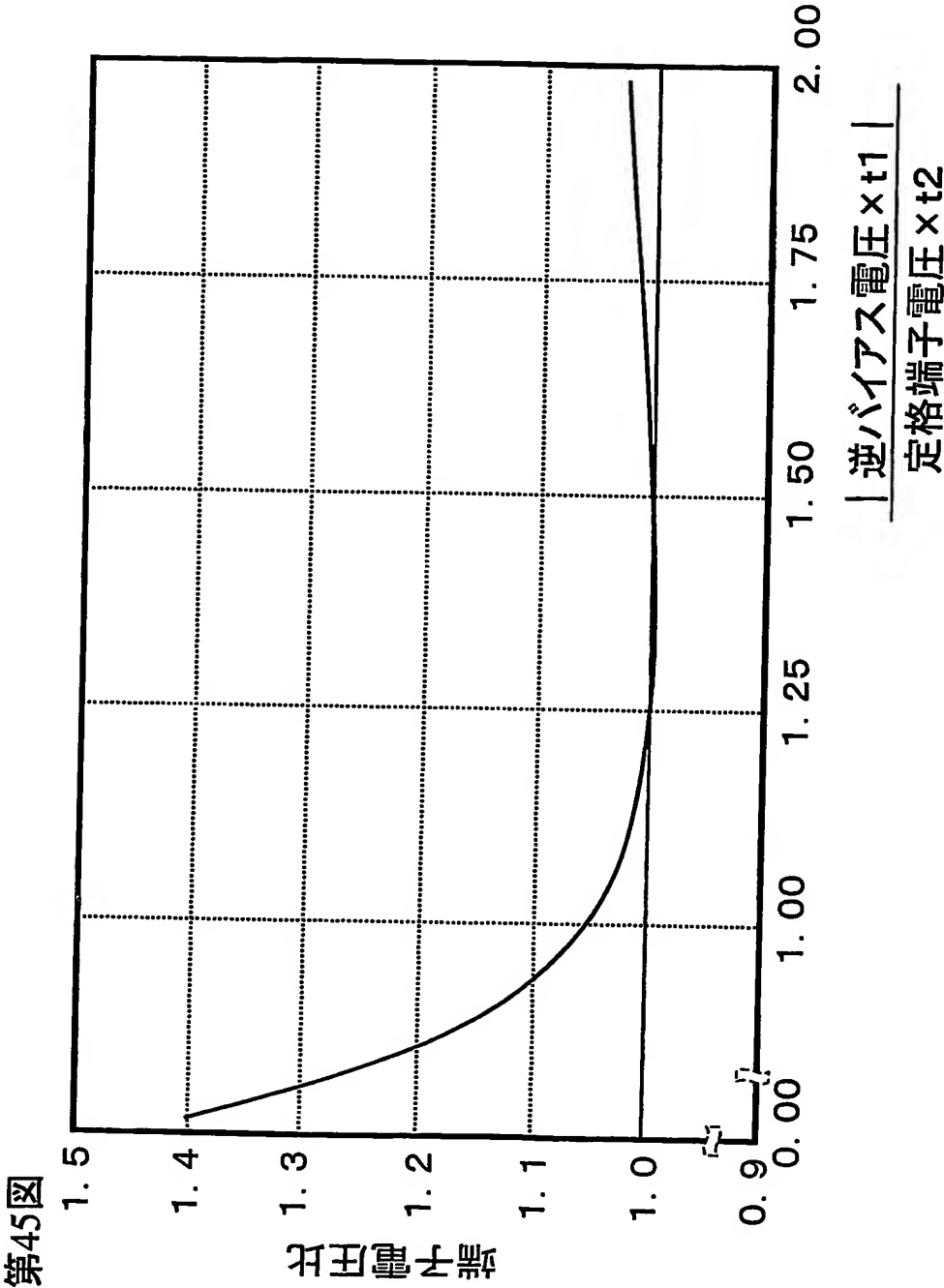


第43図

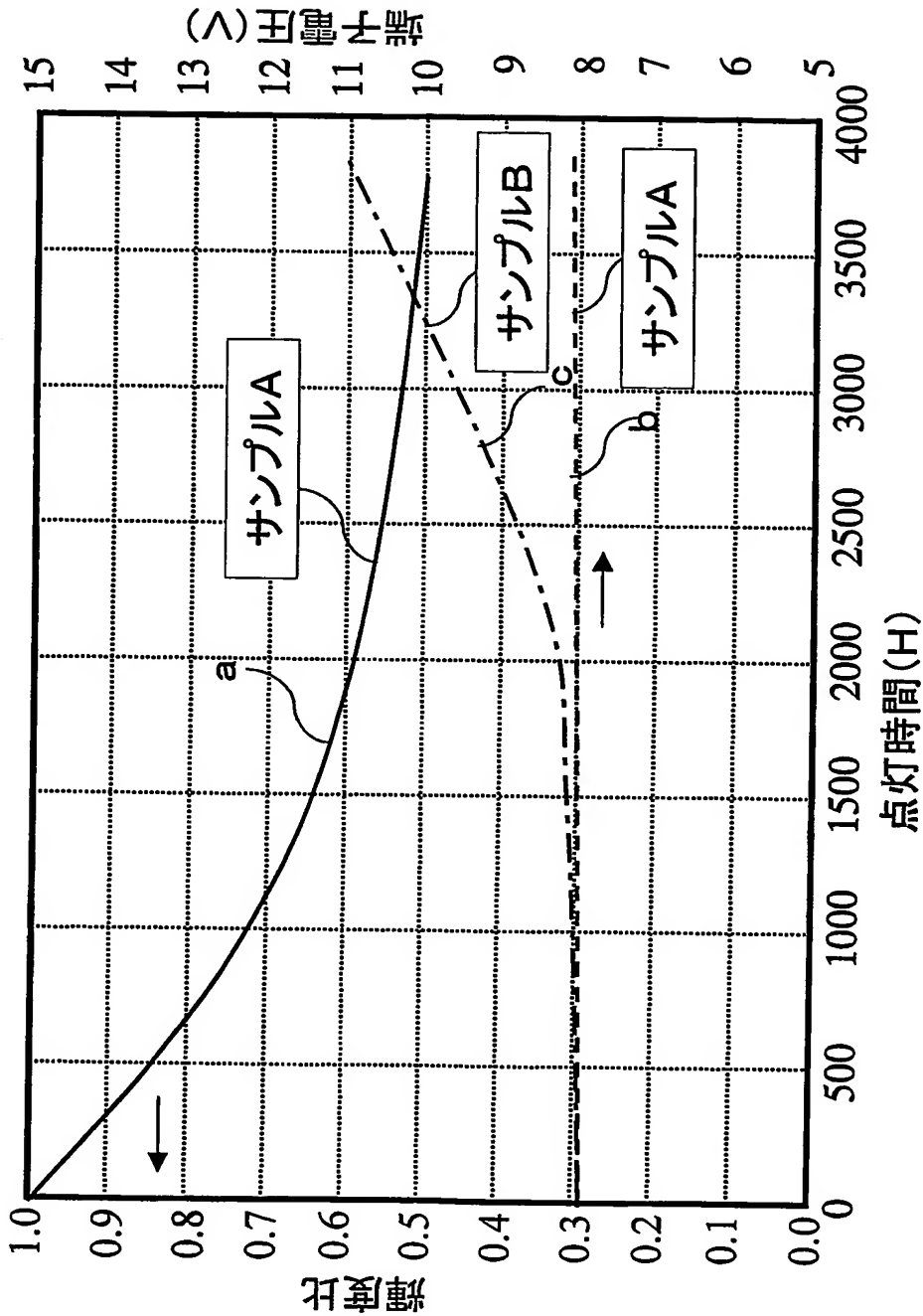


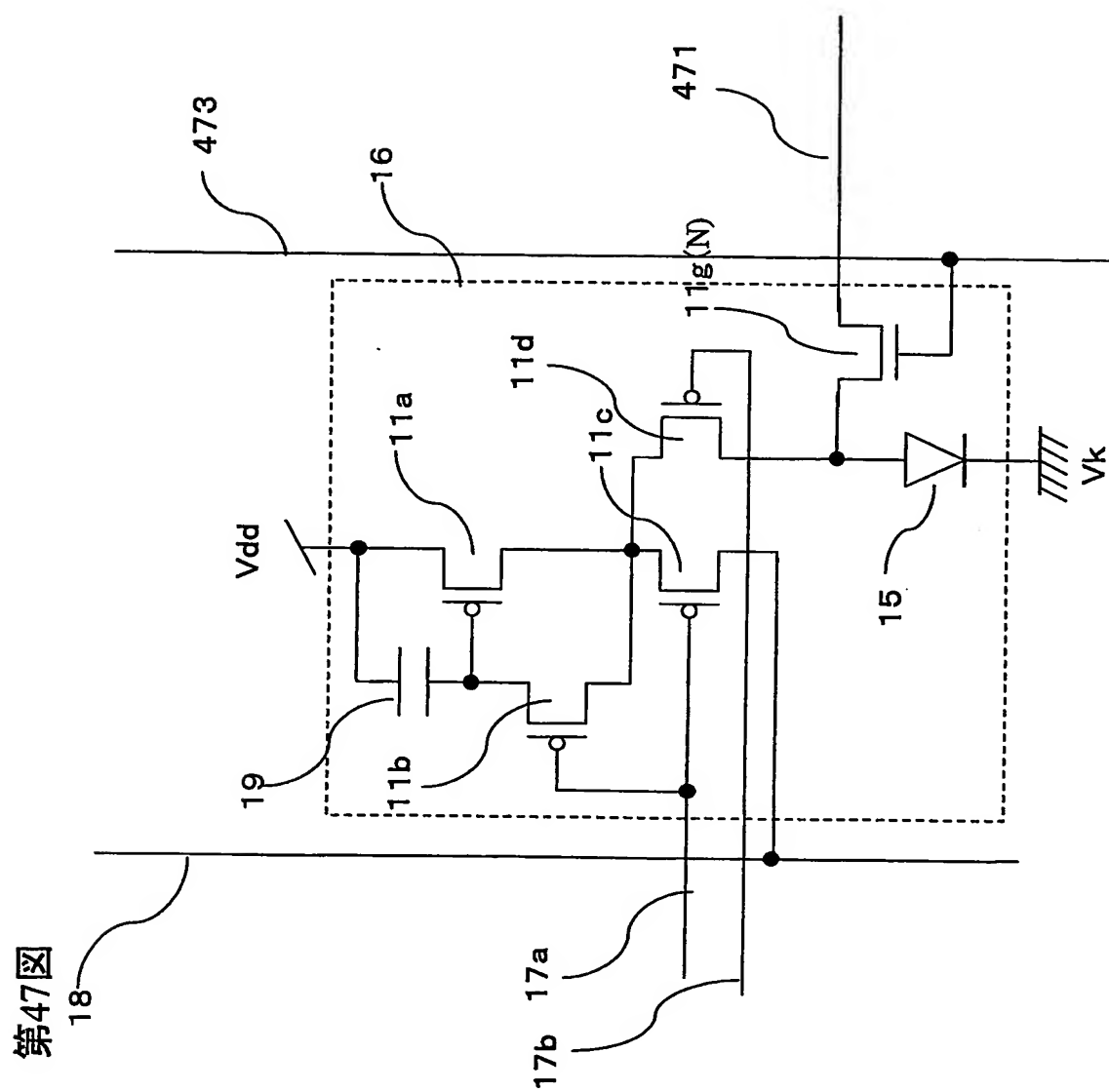
第44図



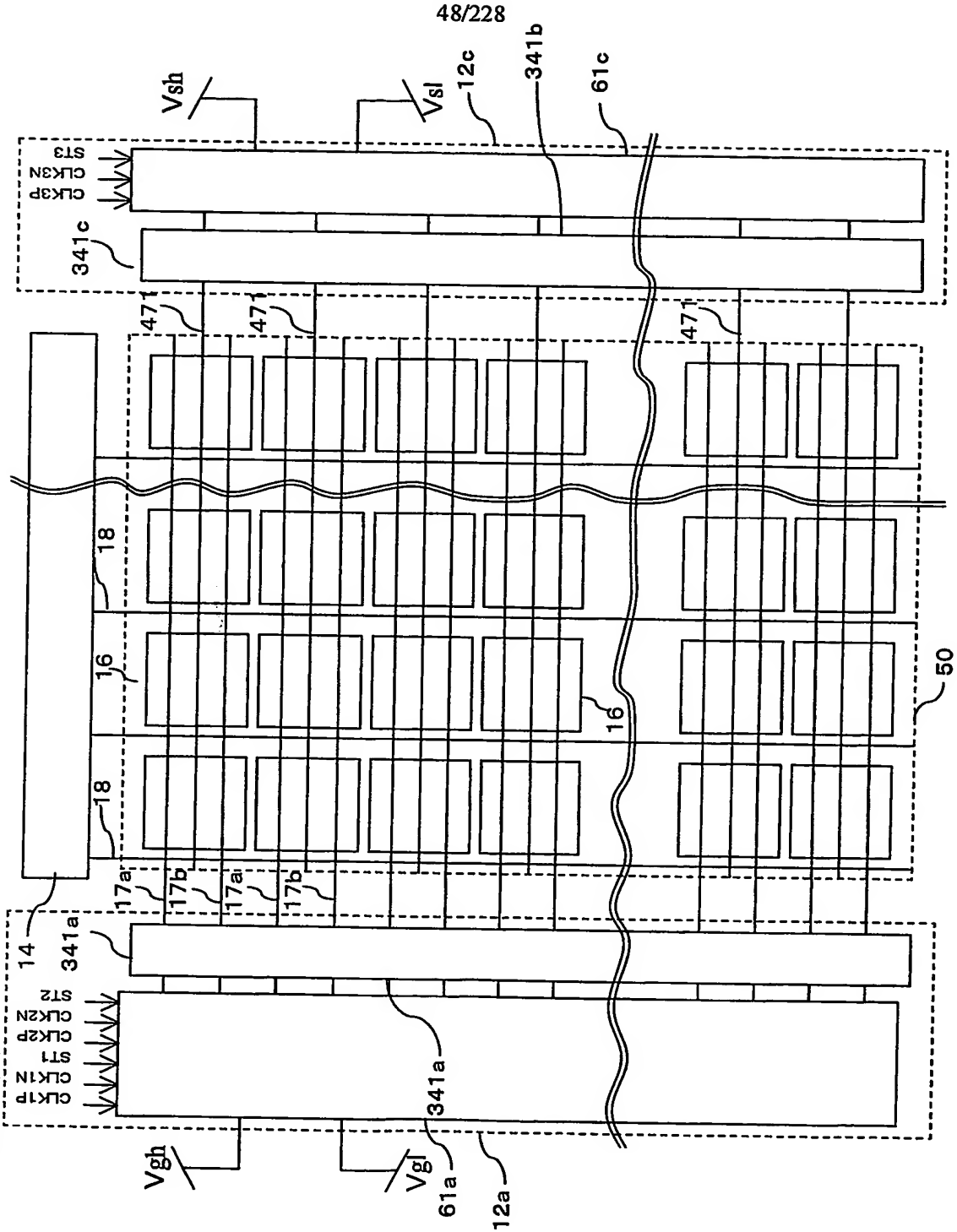


第46図

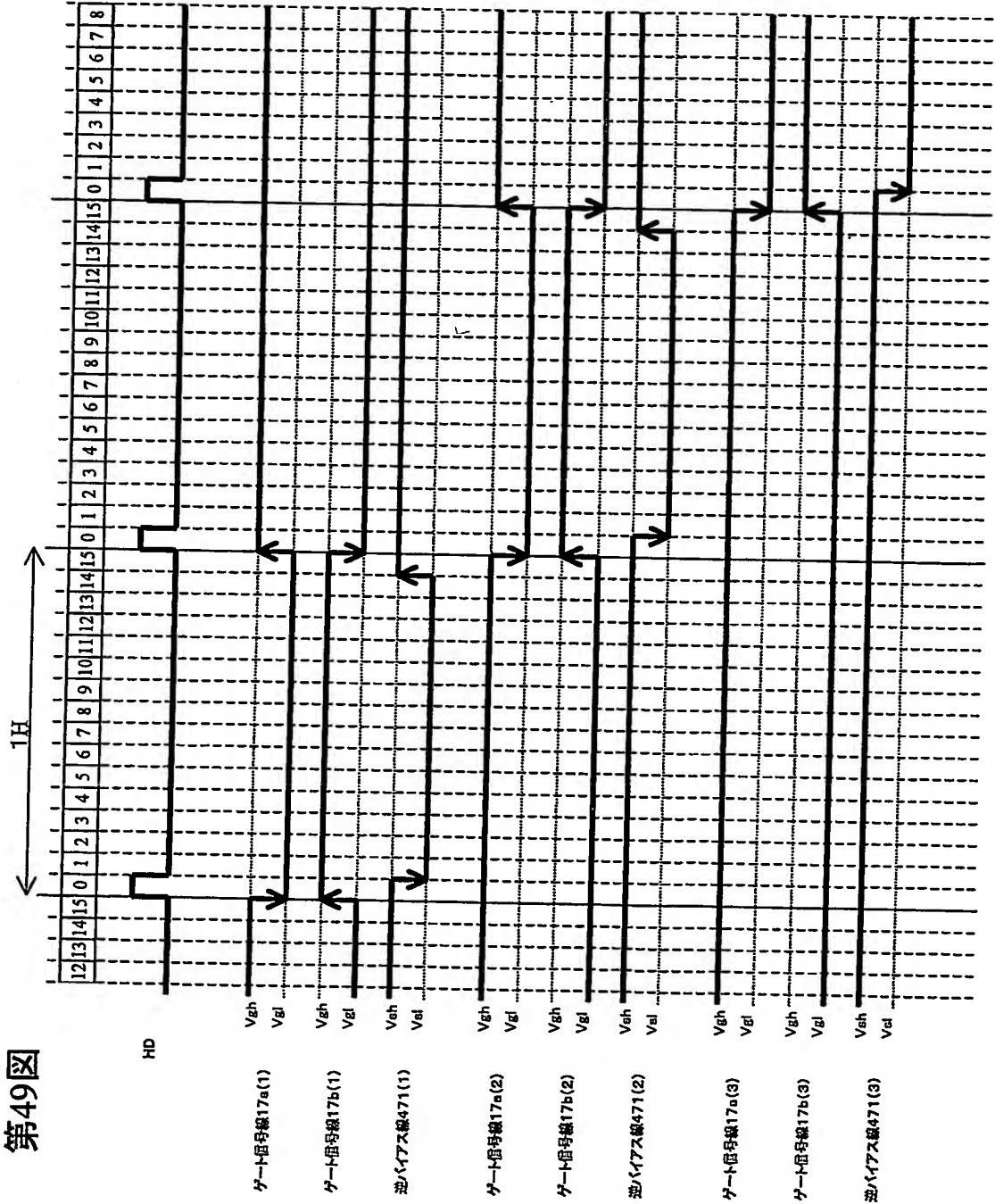




第48図

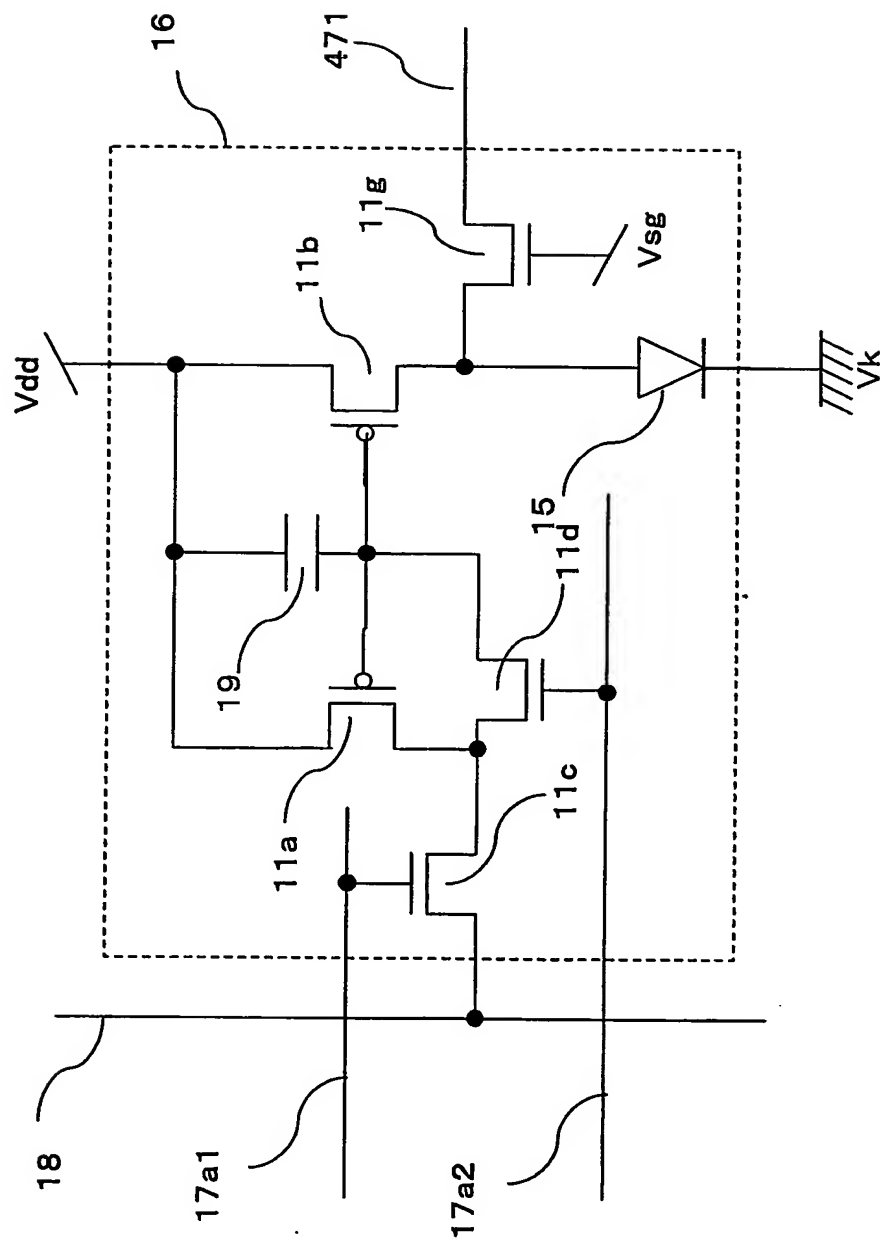


第49図

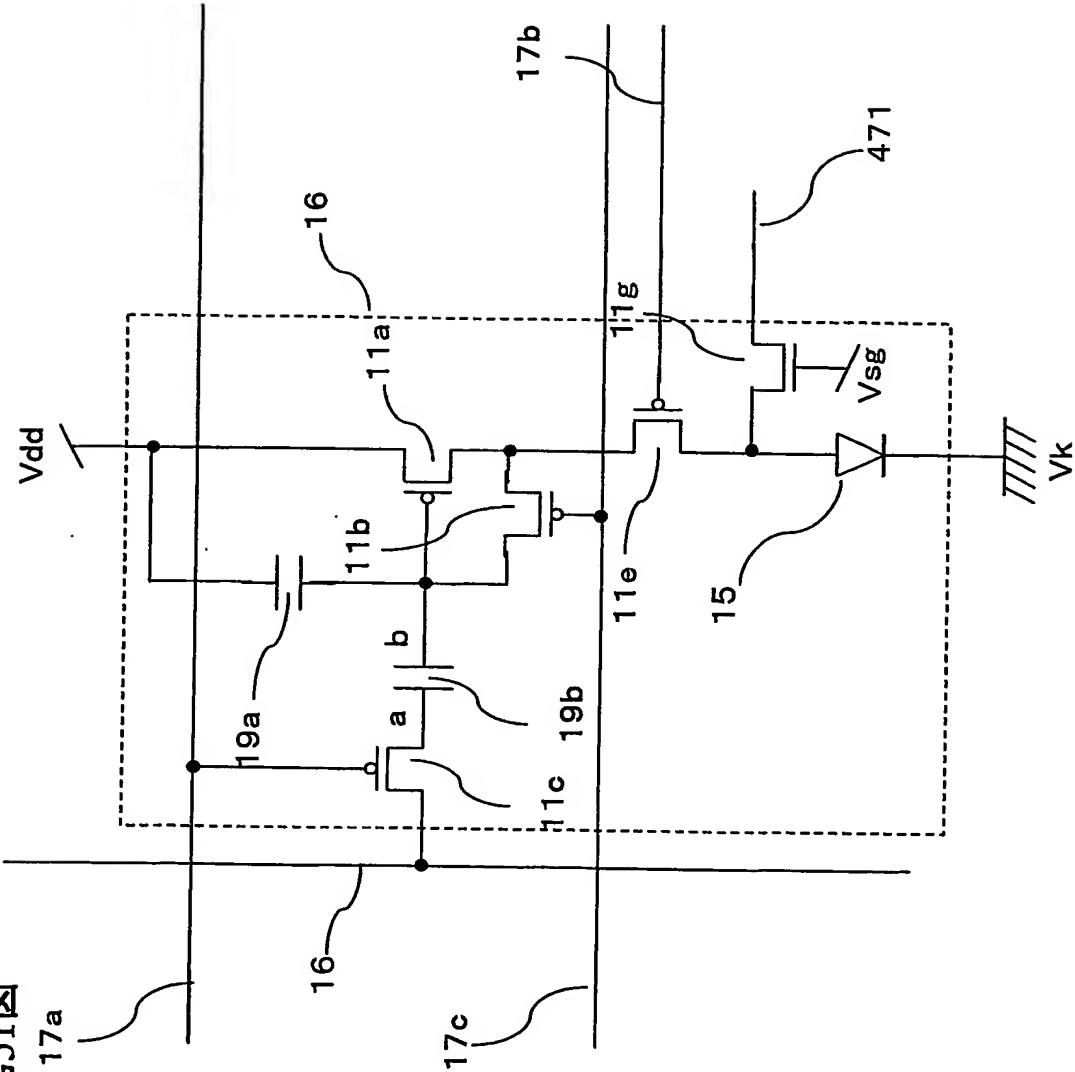


50/228

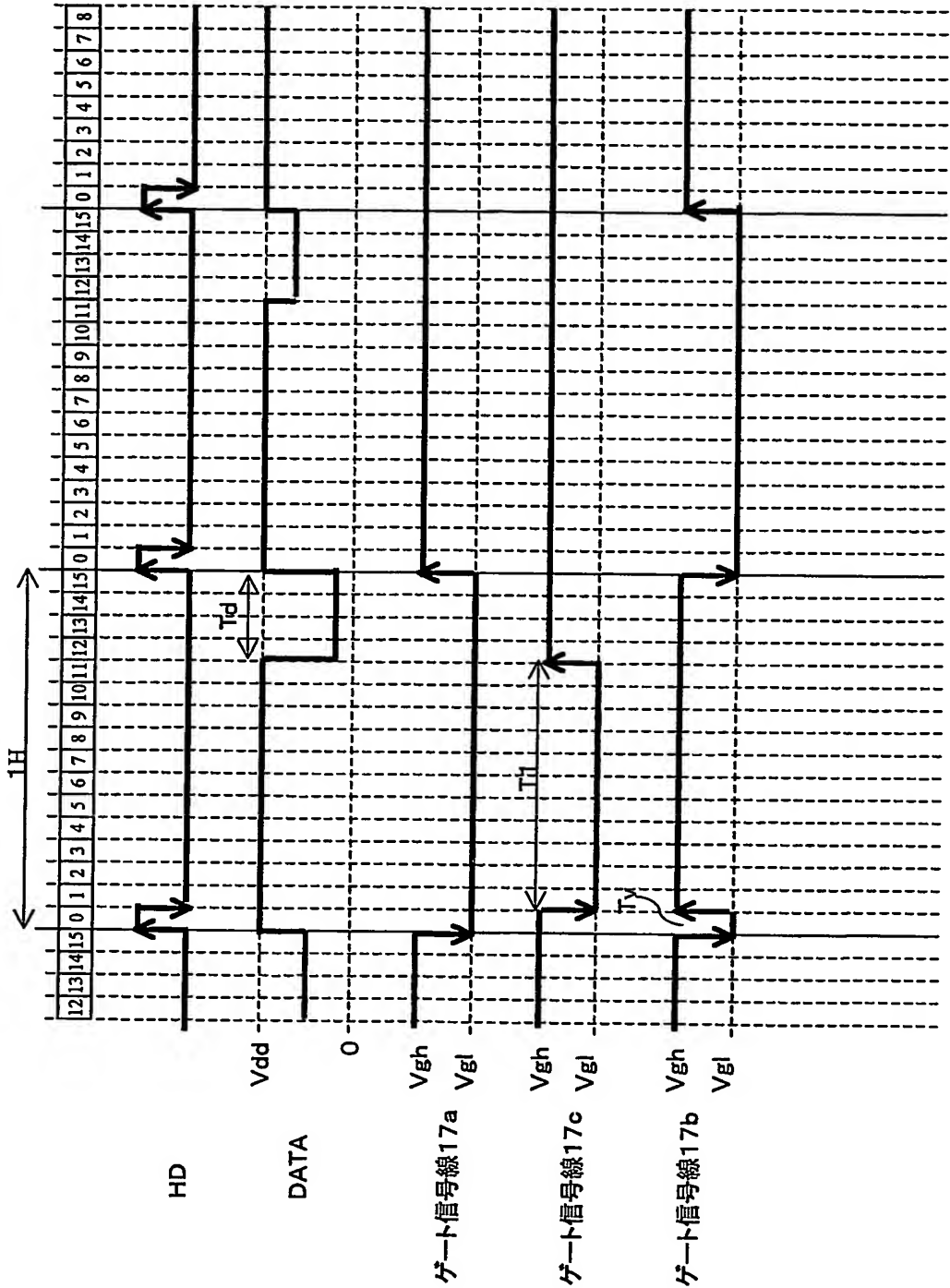
第50図

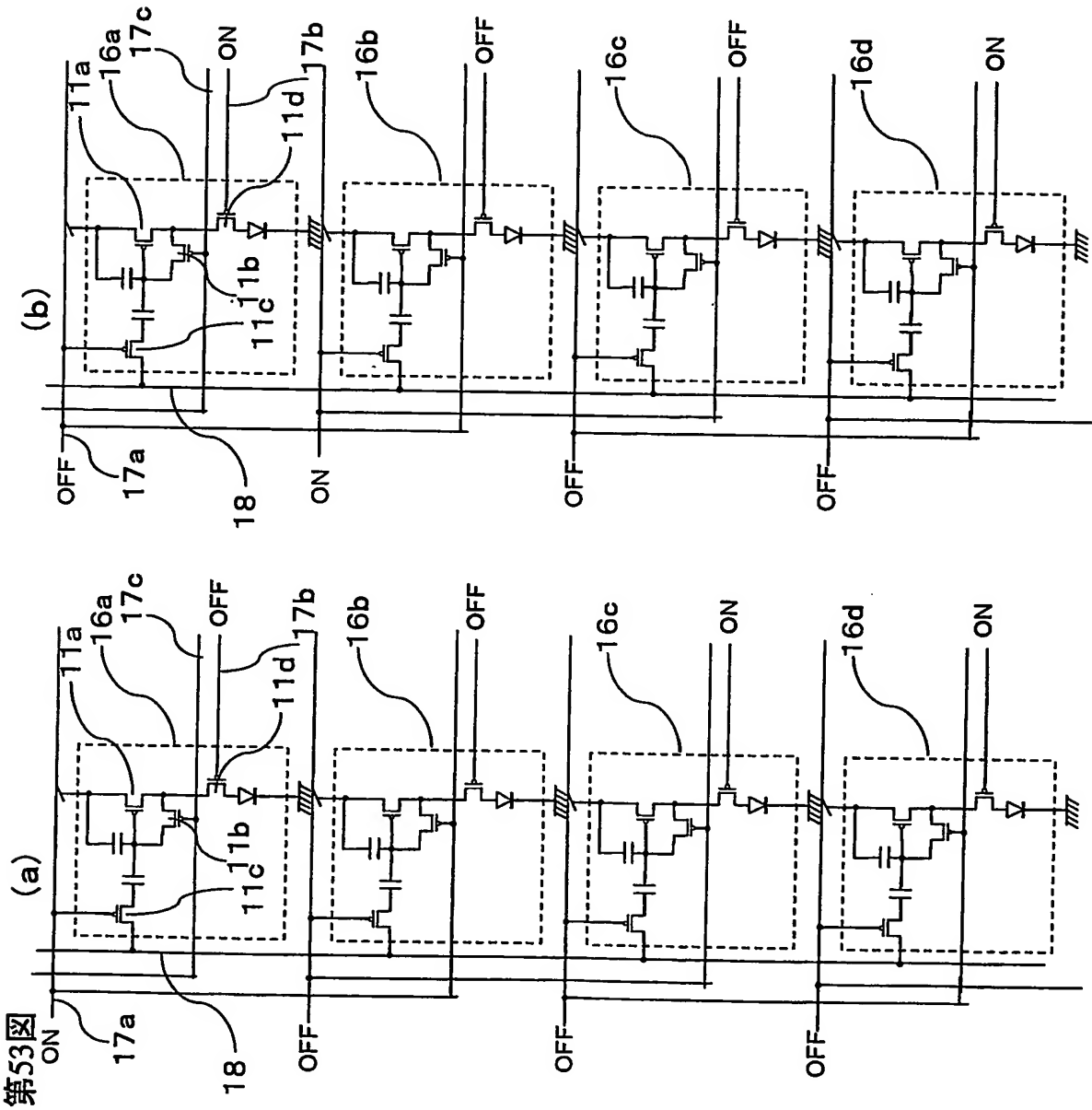


第51図

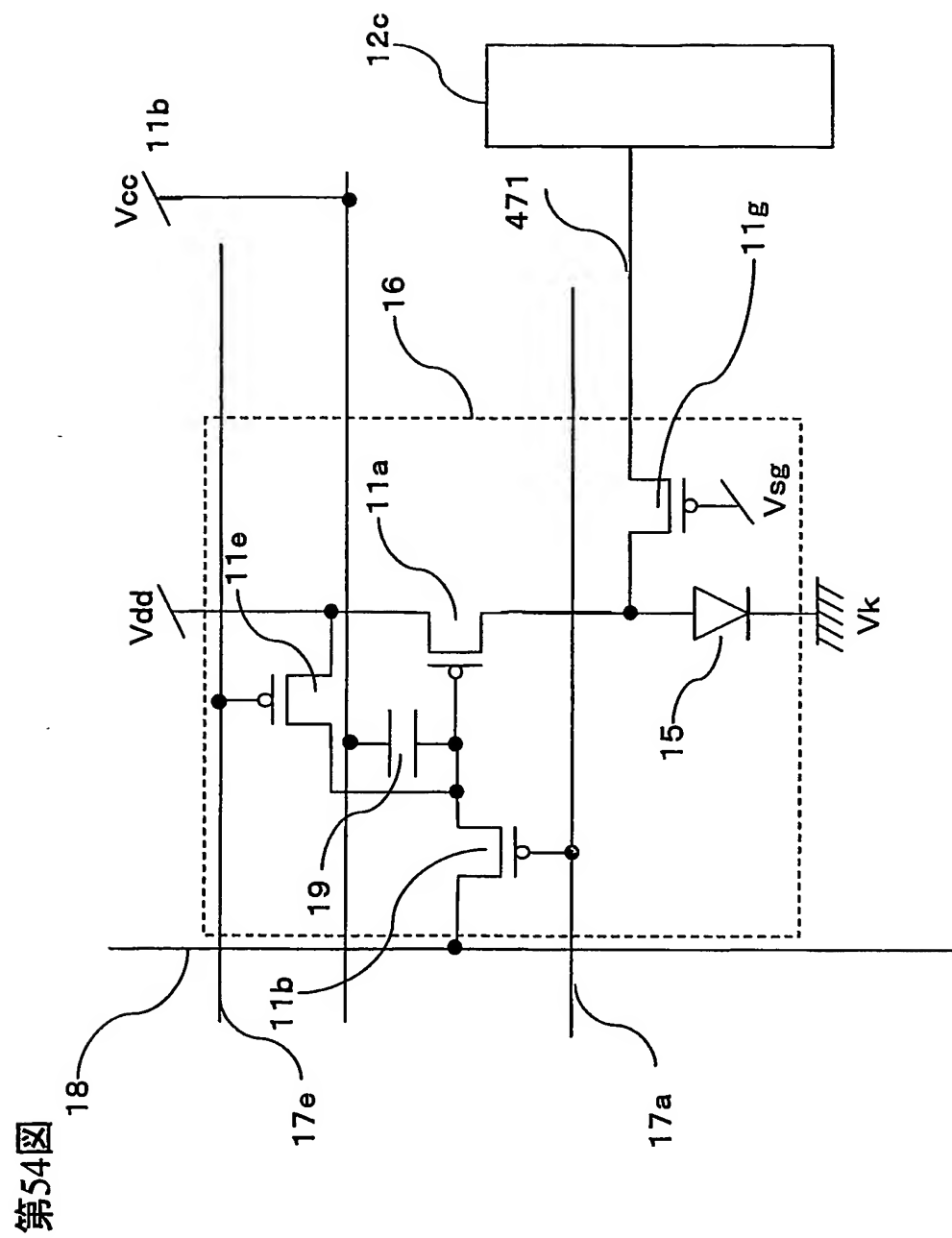


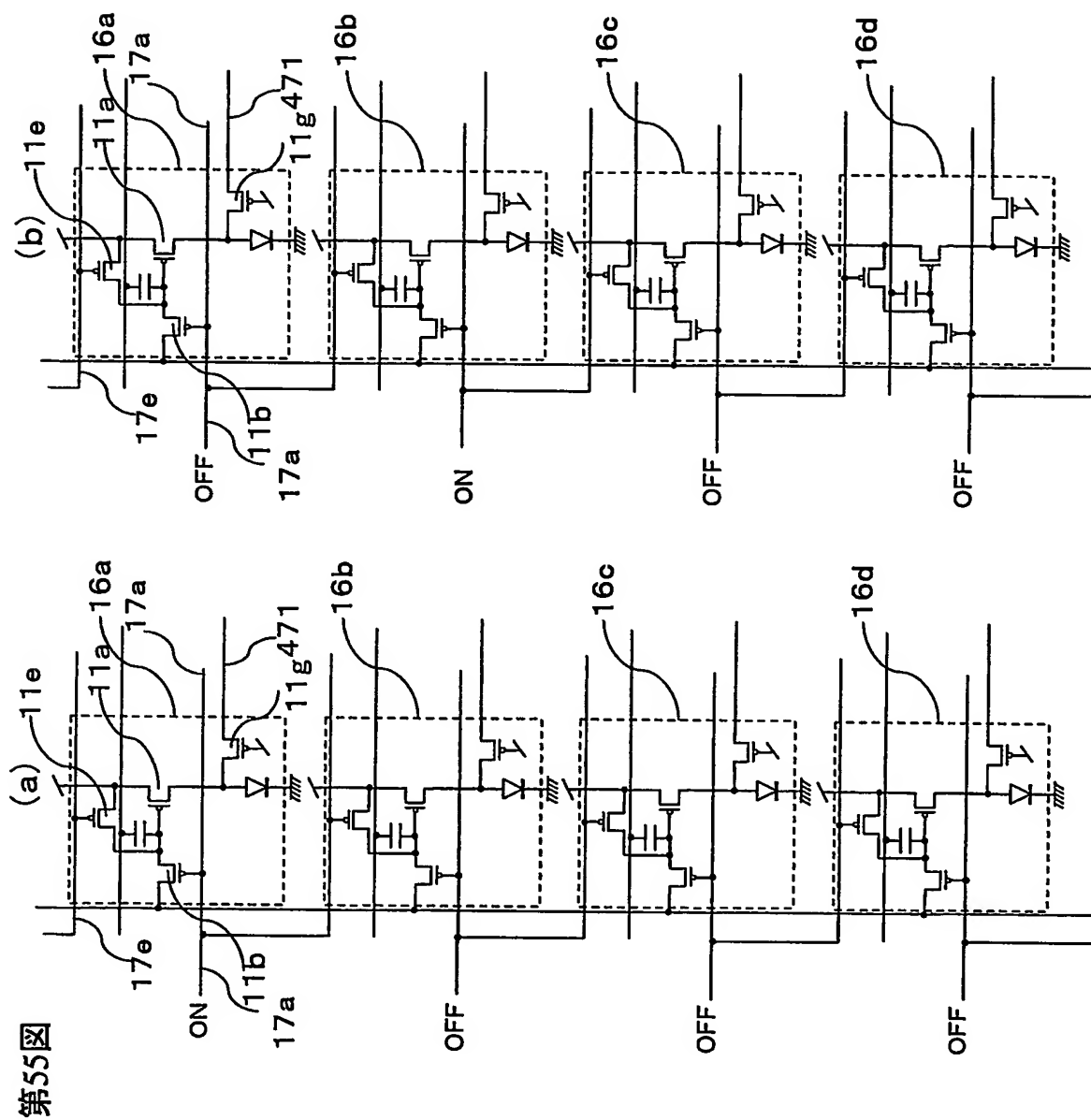
第52図



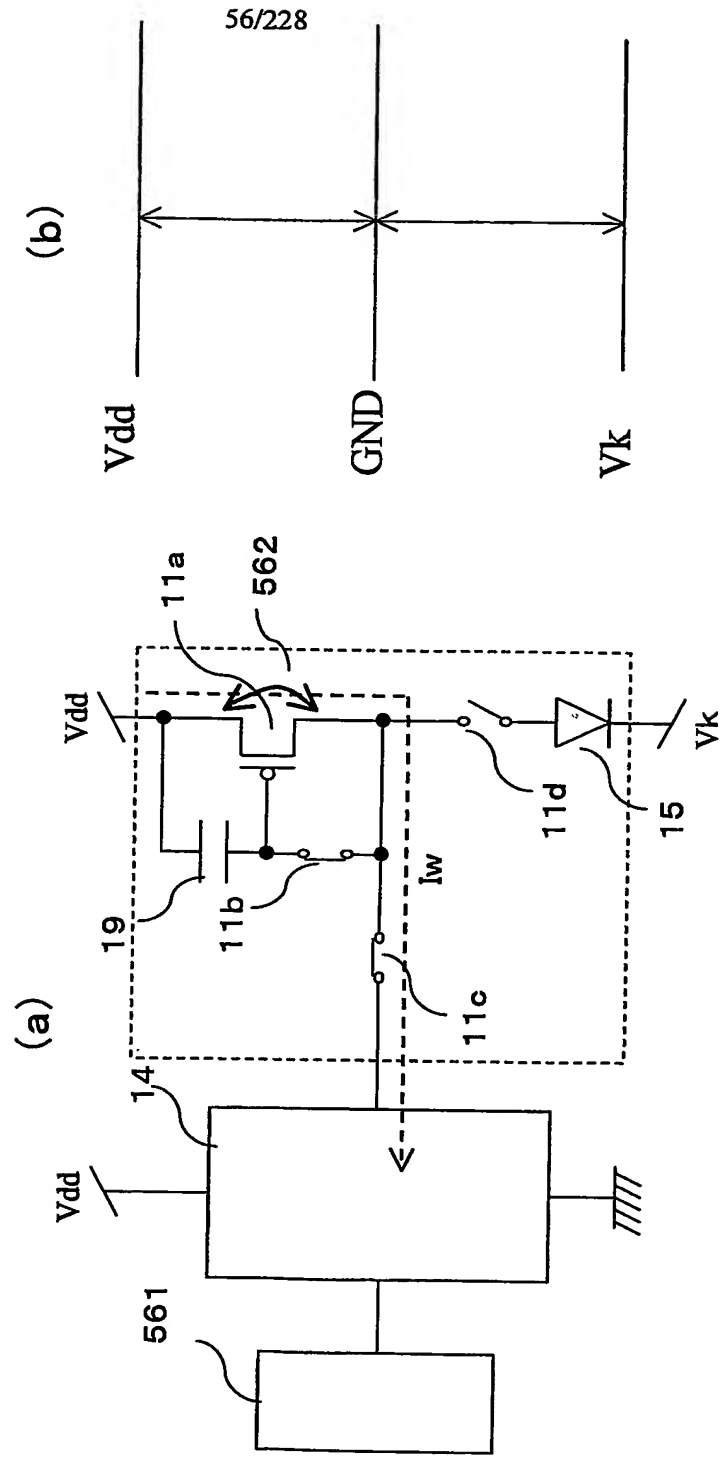


54/228



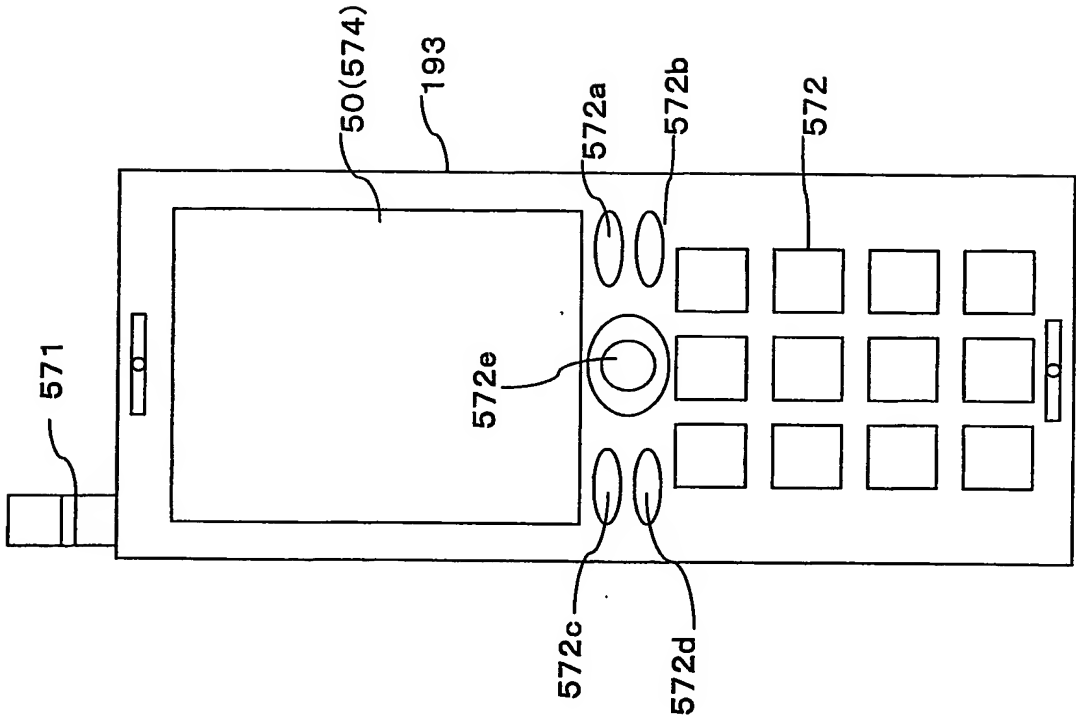


第56図

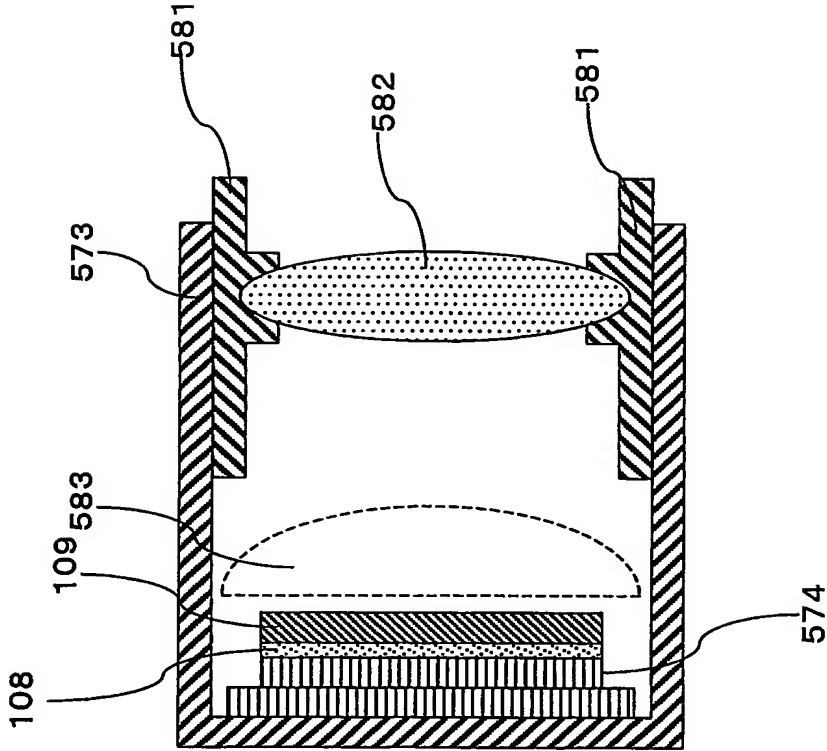


57/228

第57図

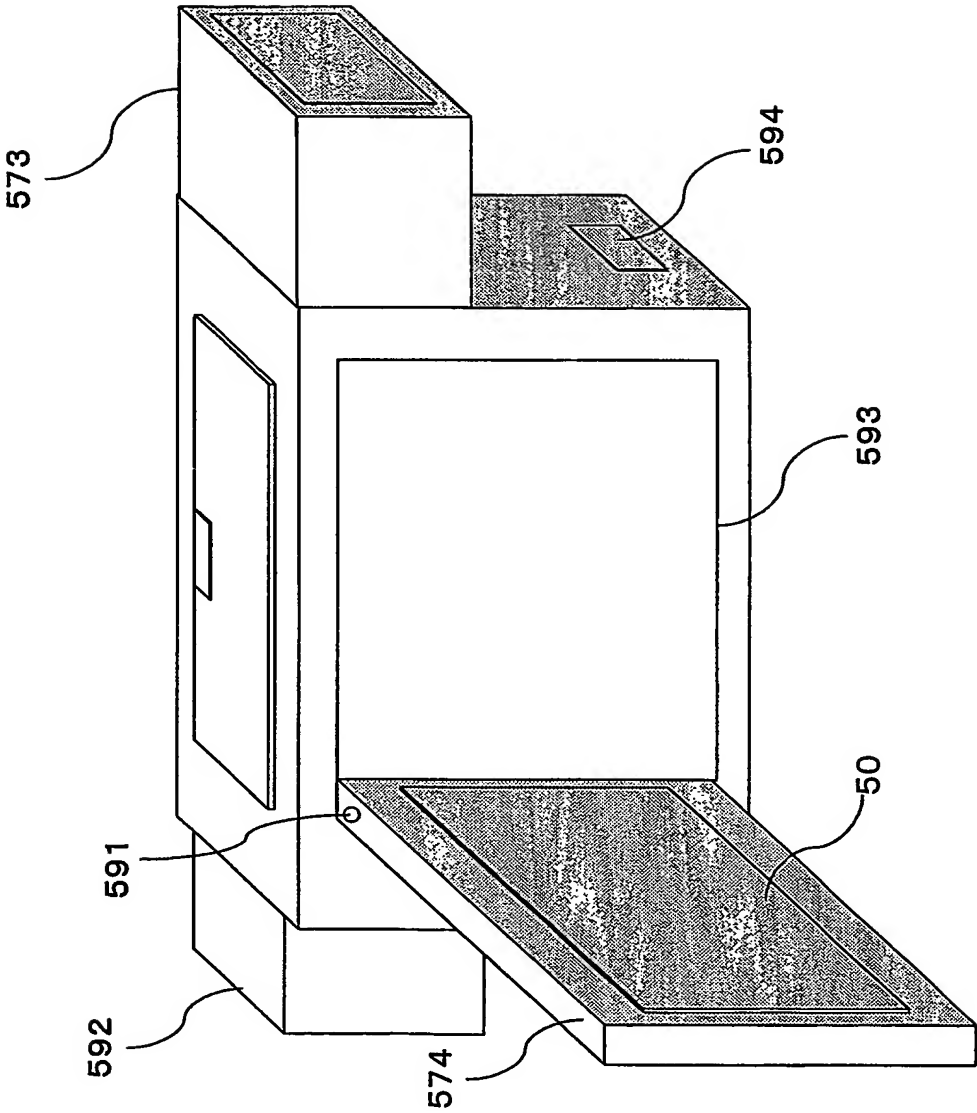


58/228



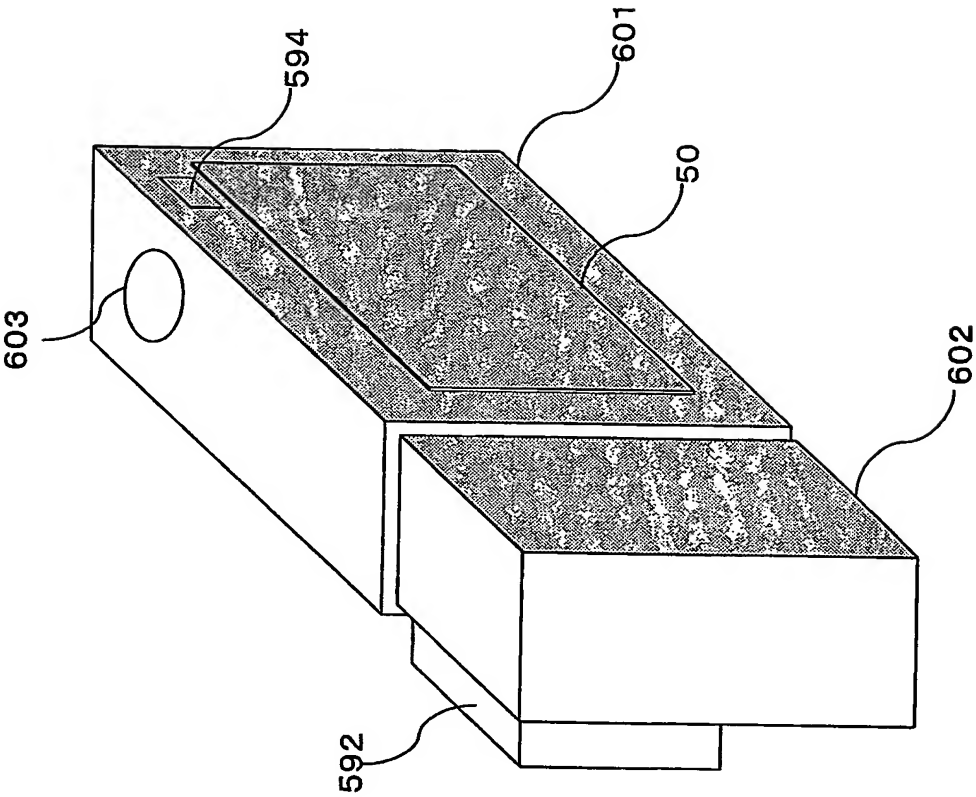
第58図

59/228



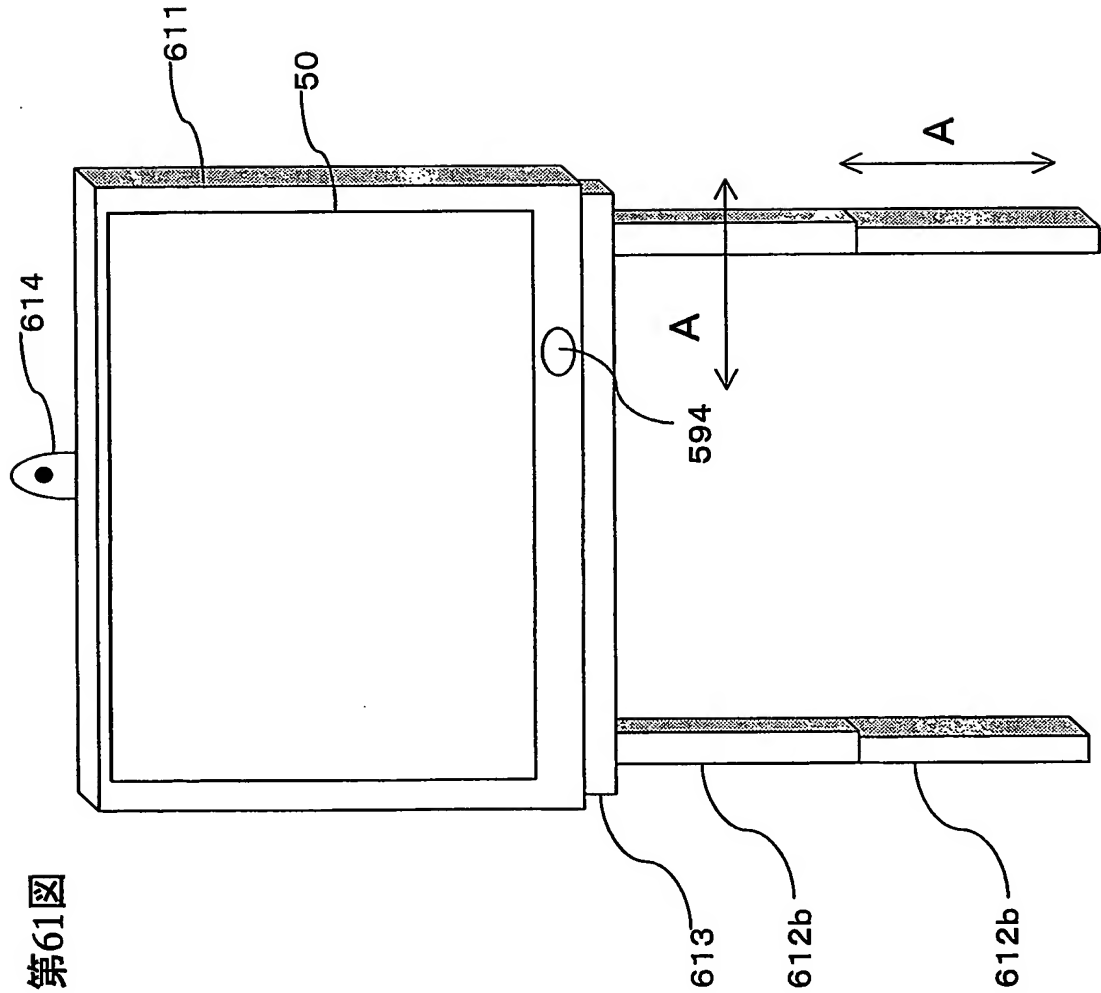
第59図

60/228

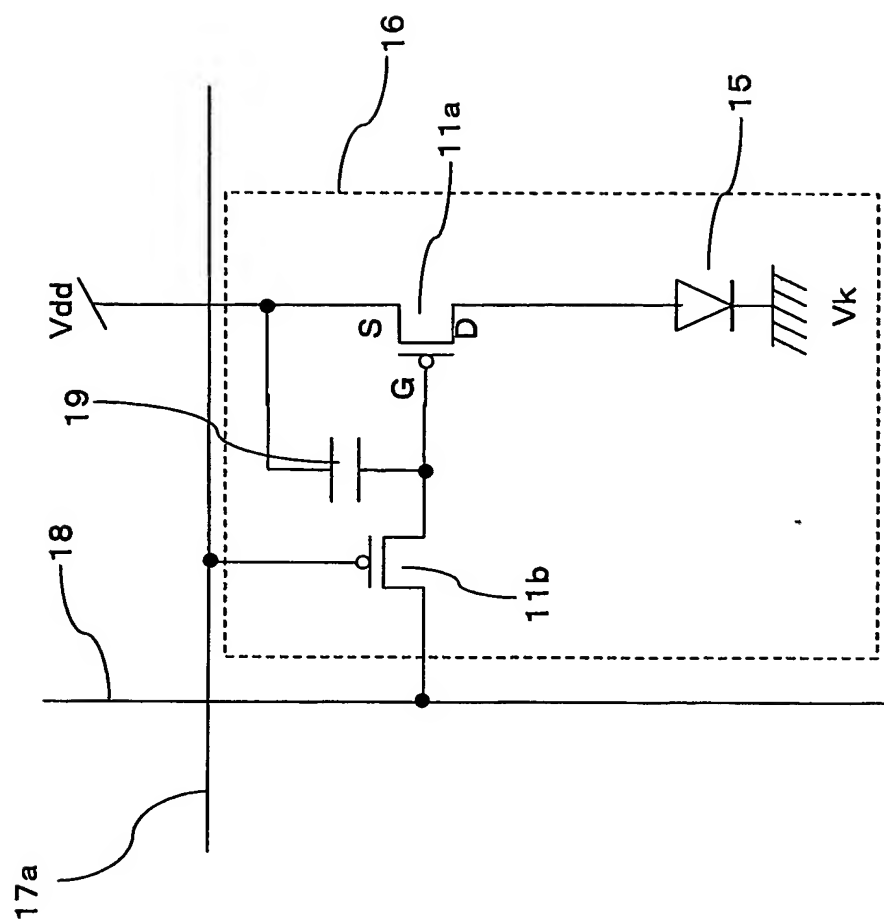


第60図

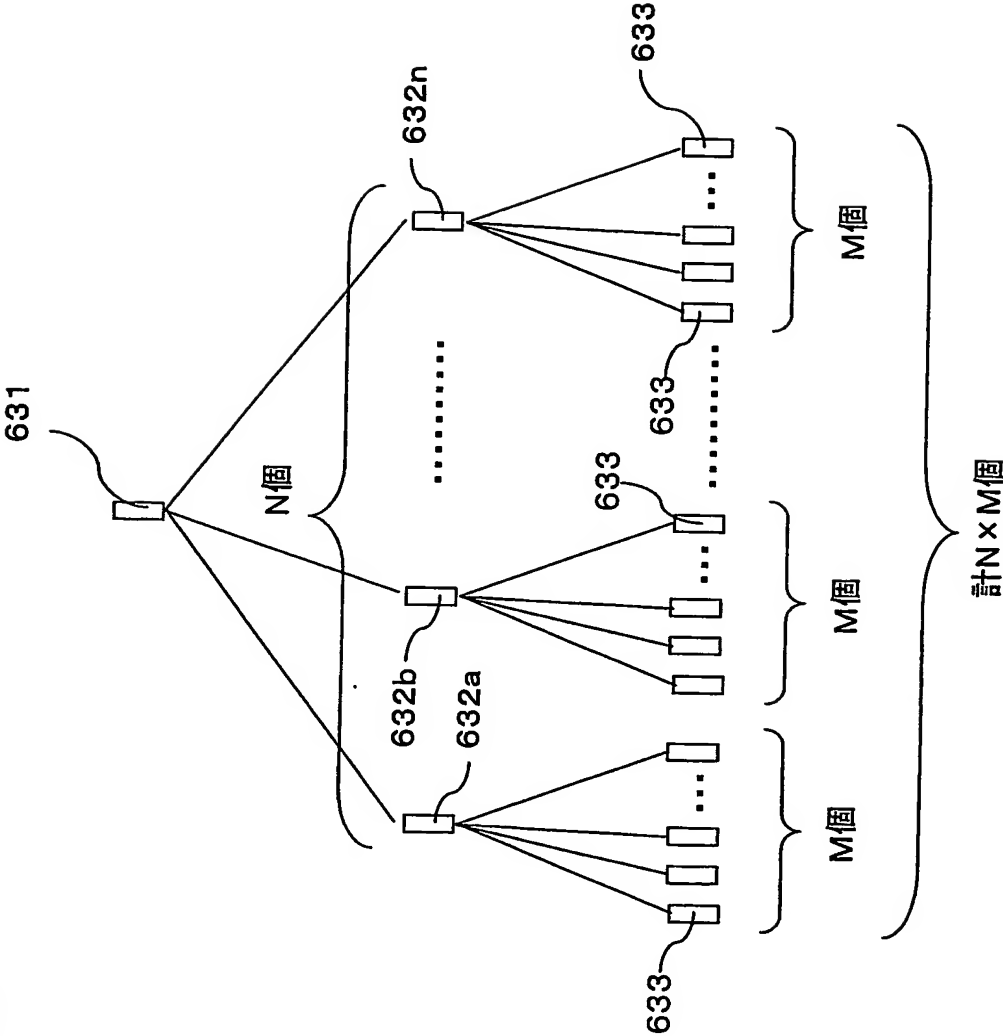
61/228



第62図

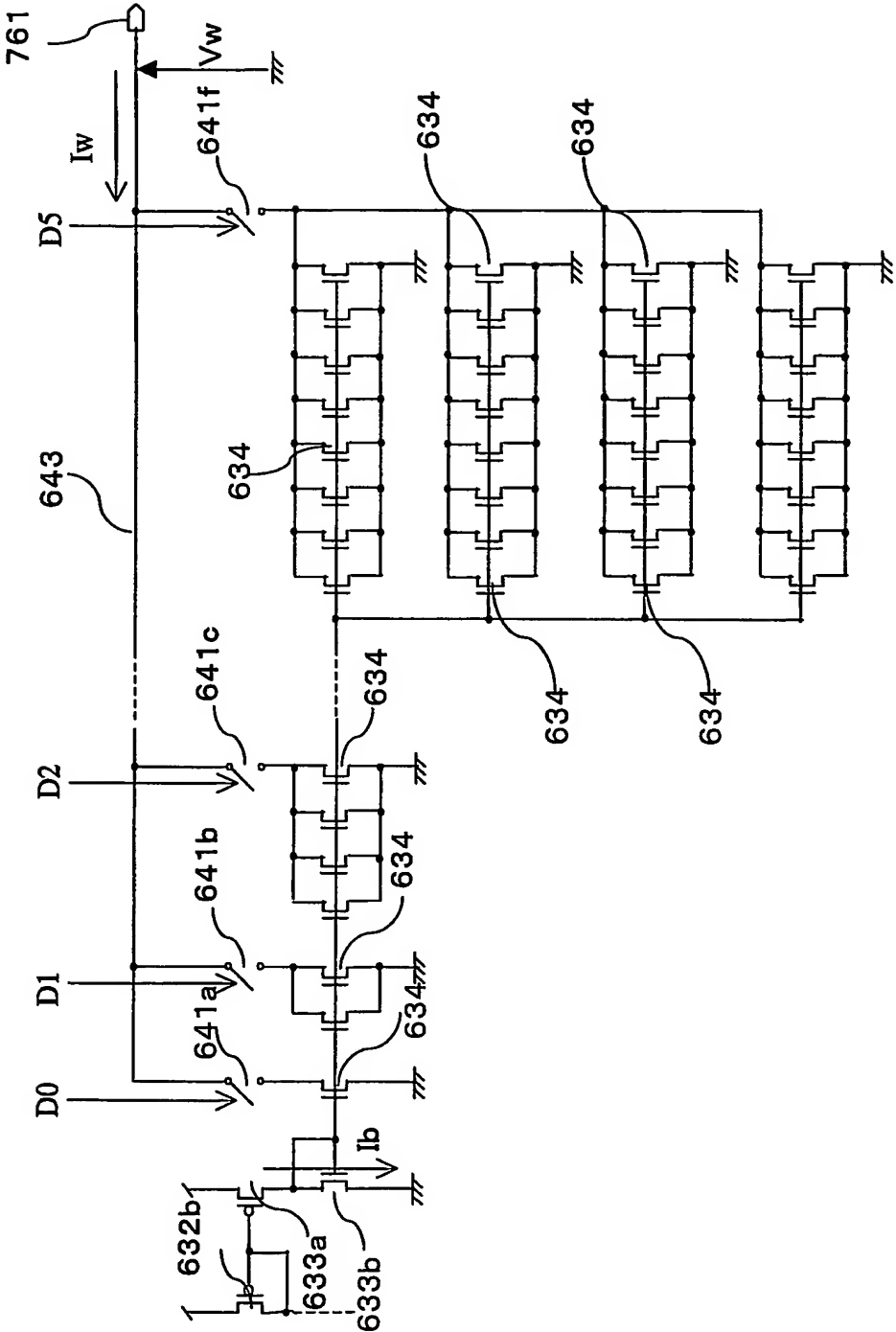


第63図

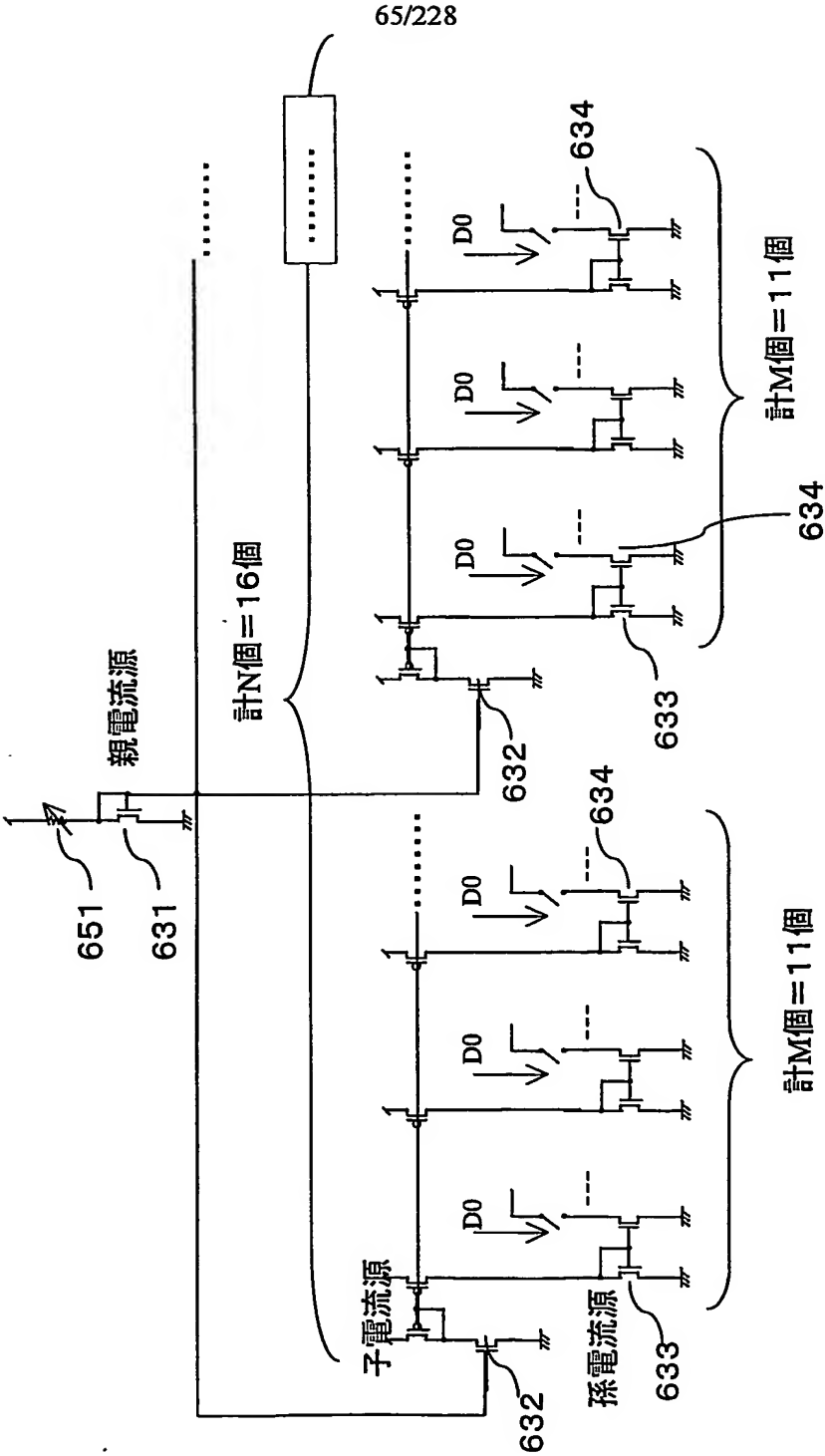


64/228

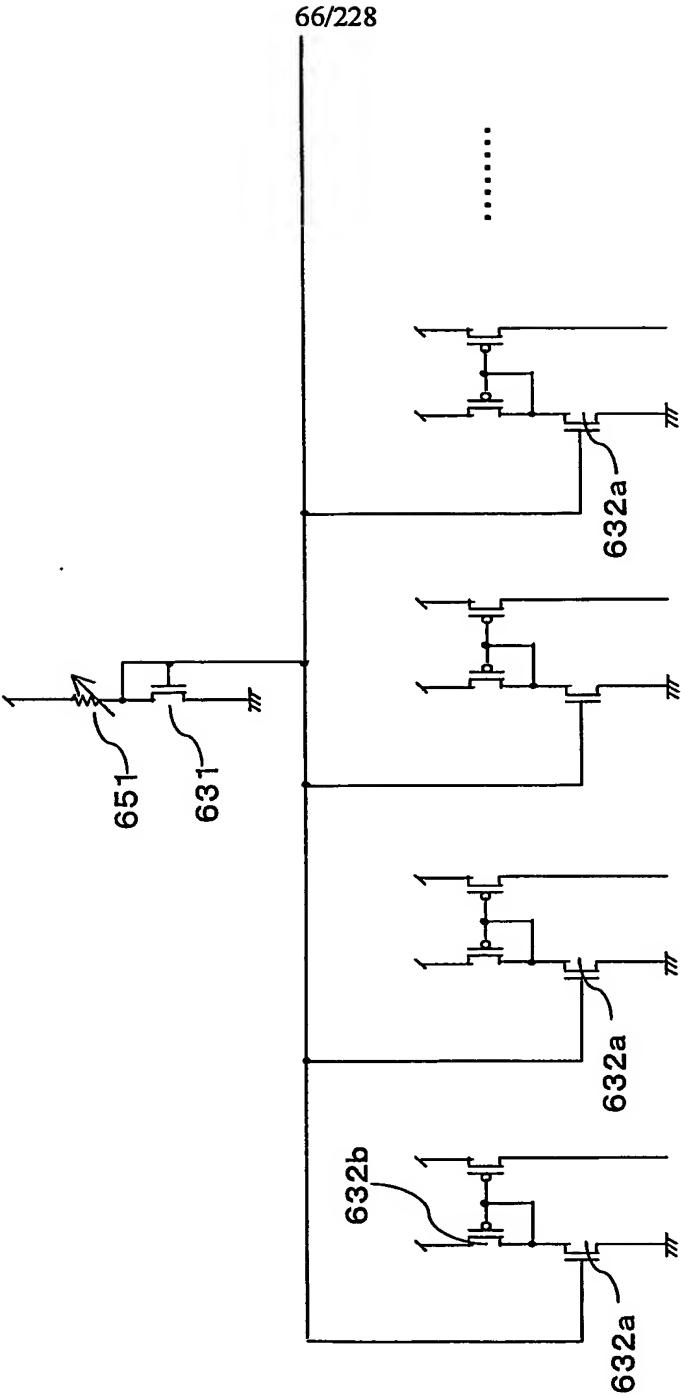
第64図



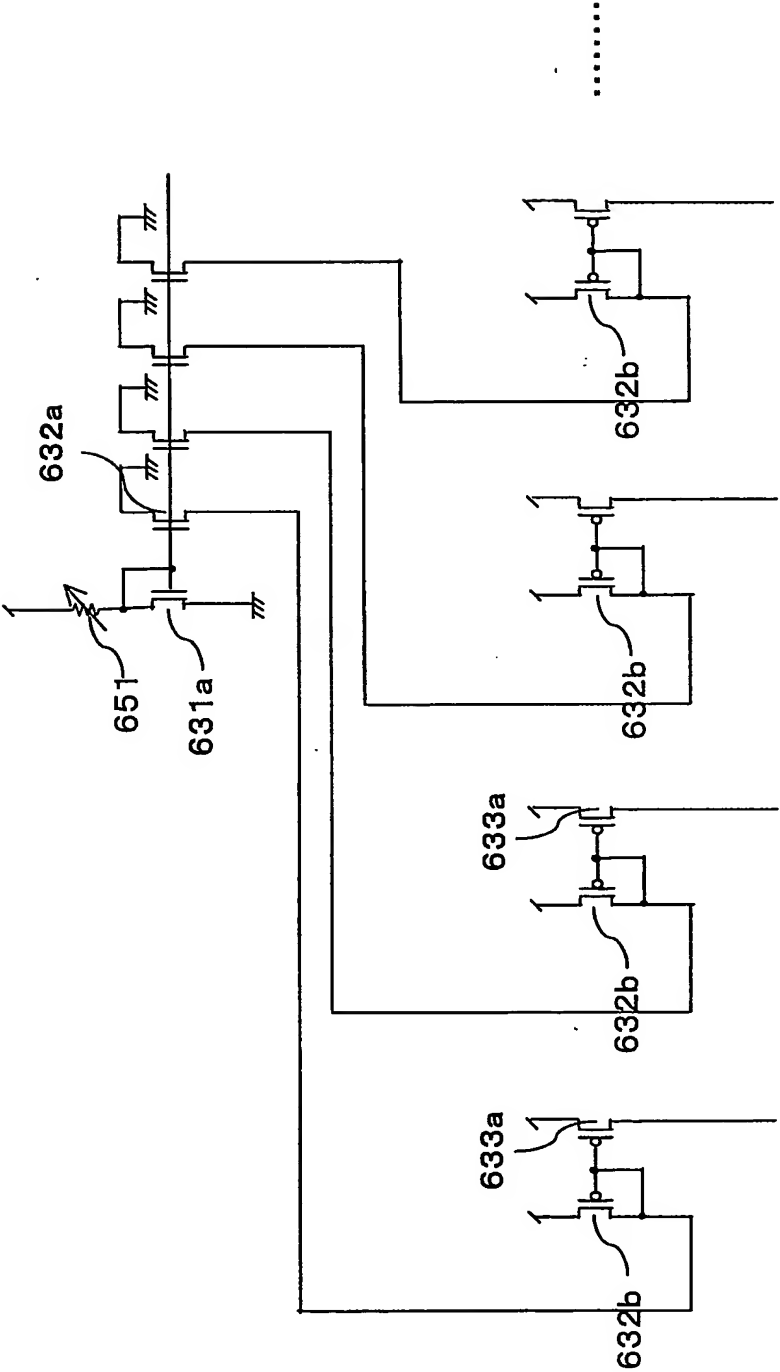
第65図



第66図



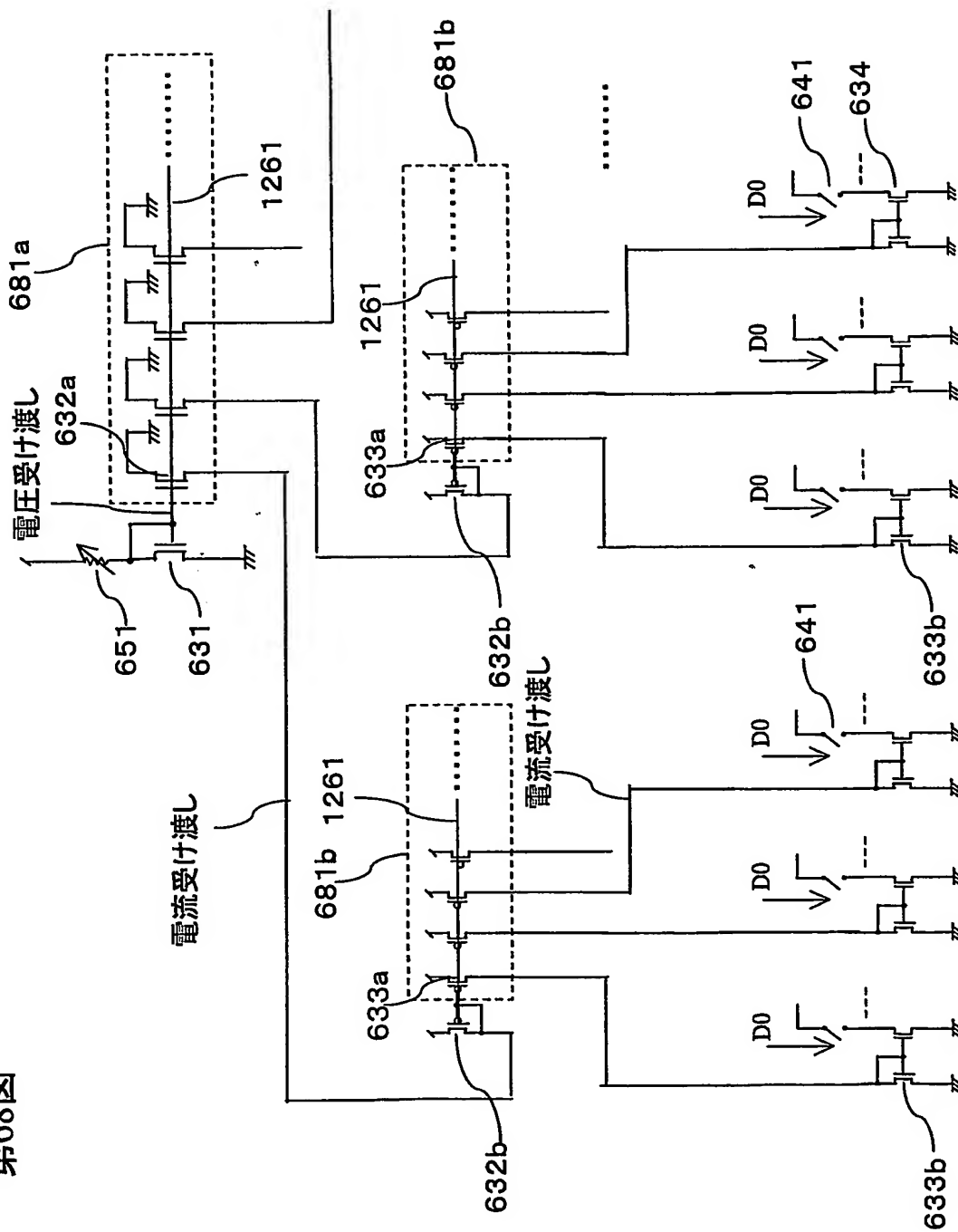
67/228



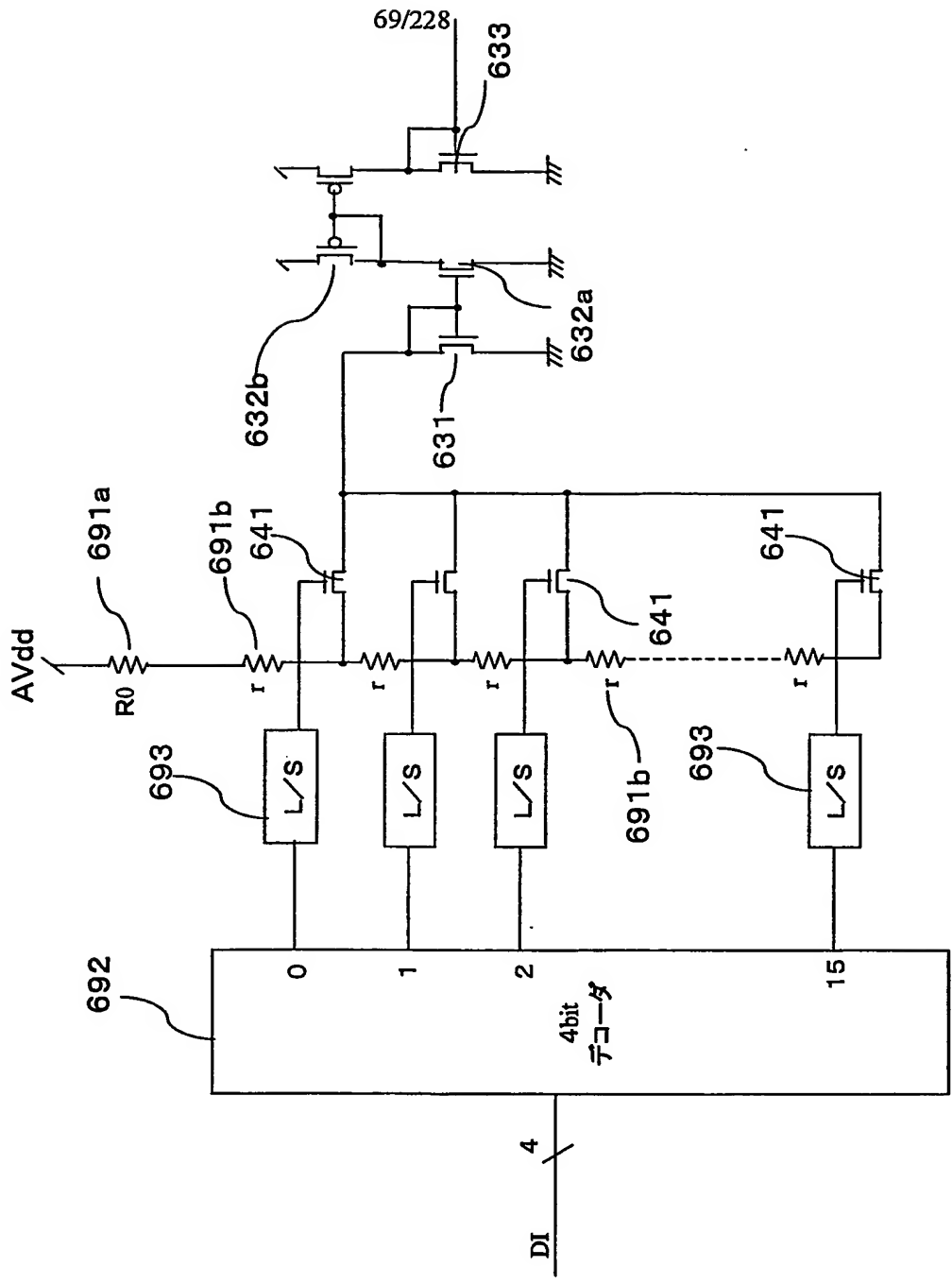
第67图

68/228

第68図

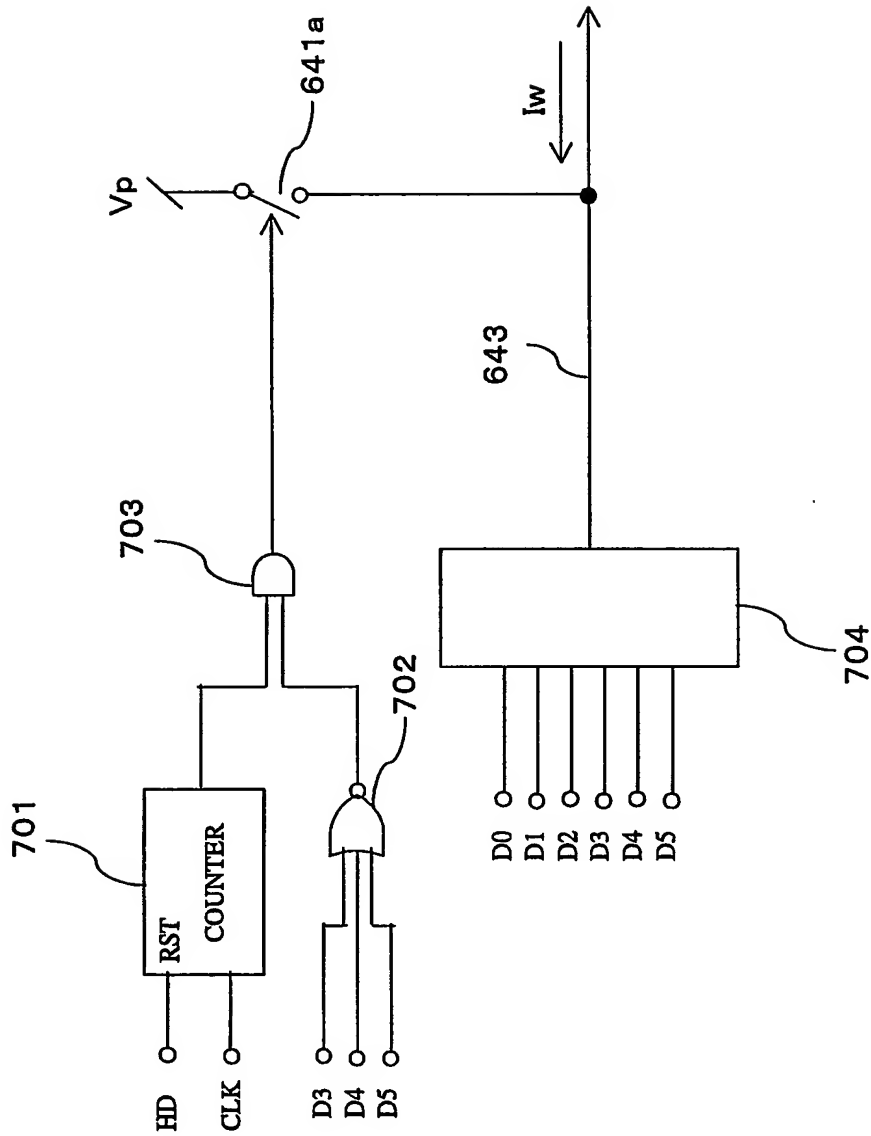


第69図

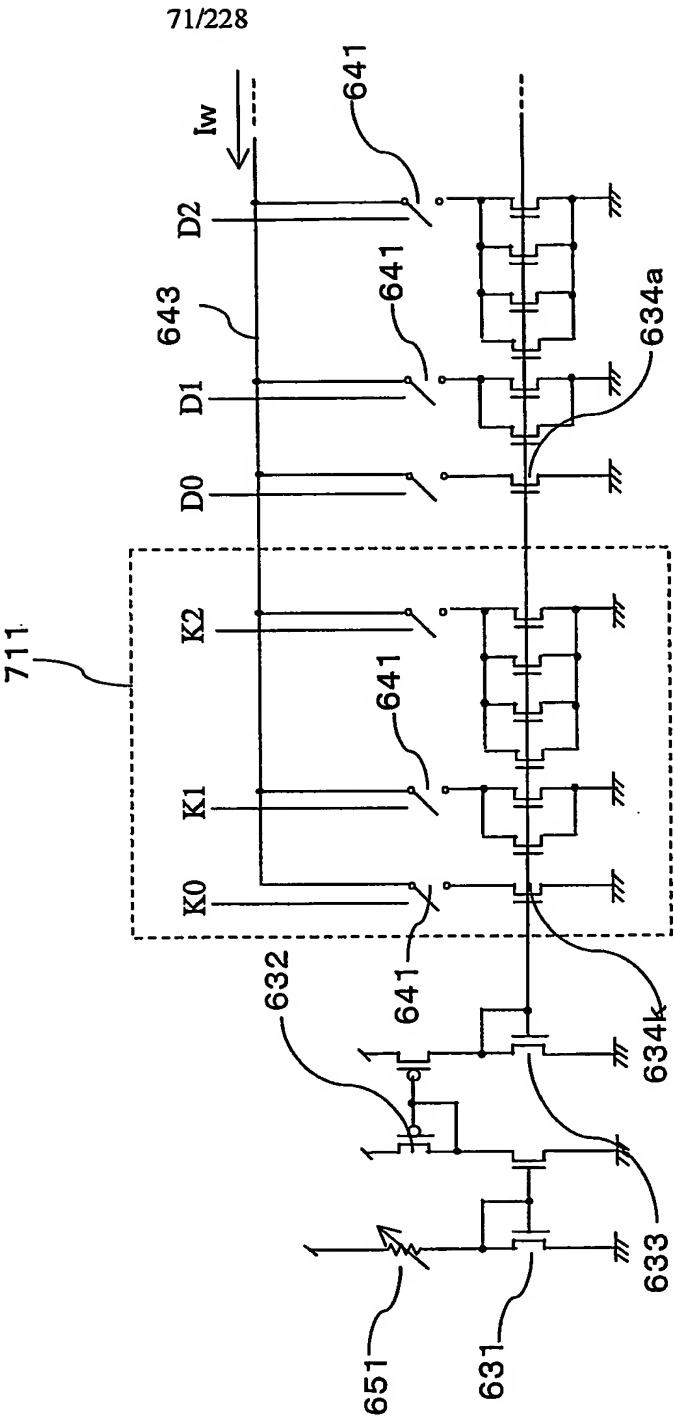


70/228

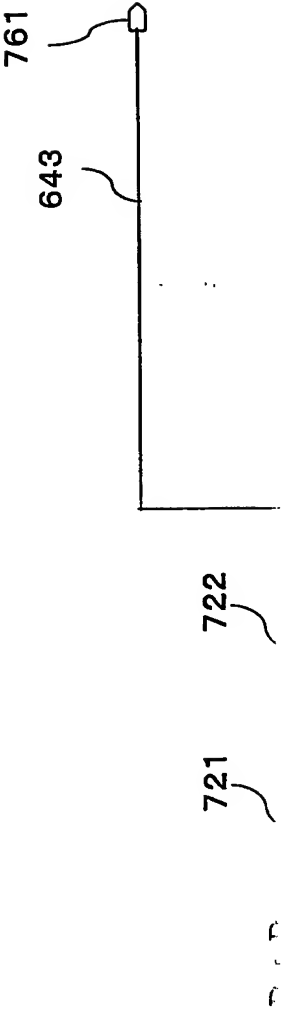
第70図



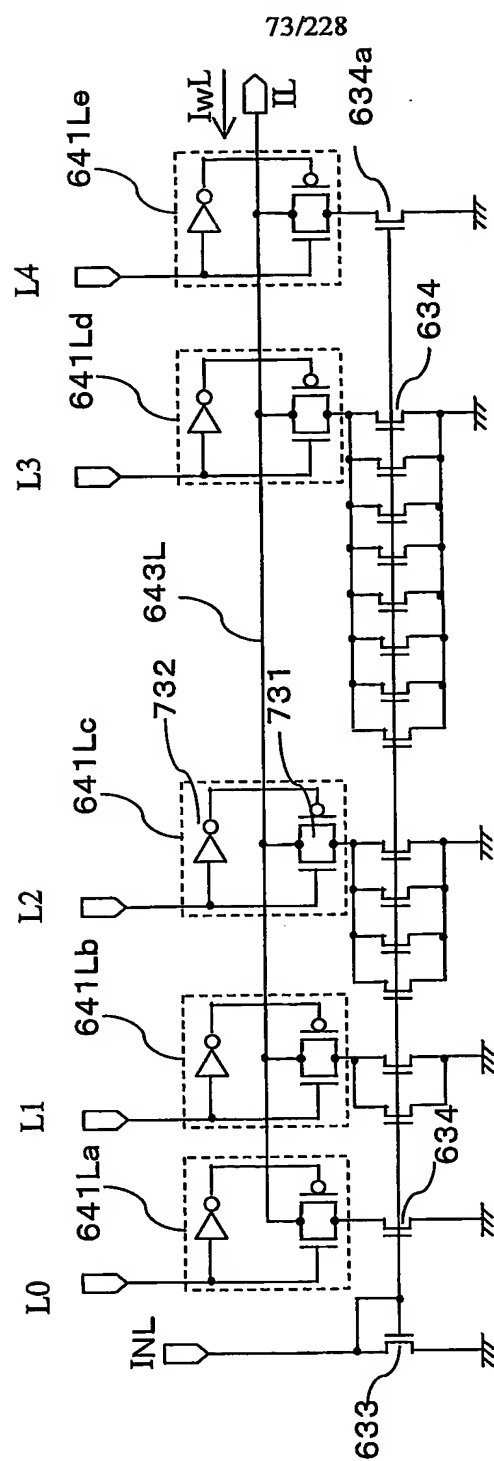
第71図



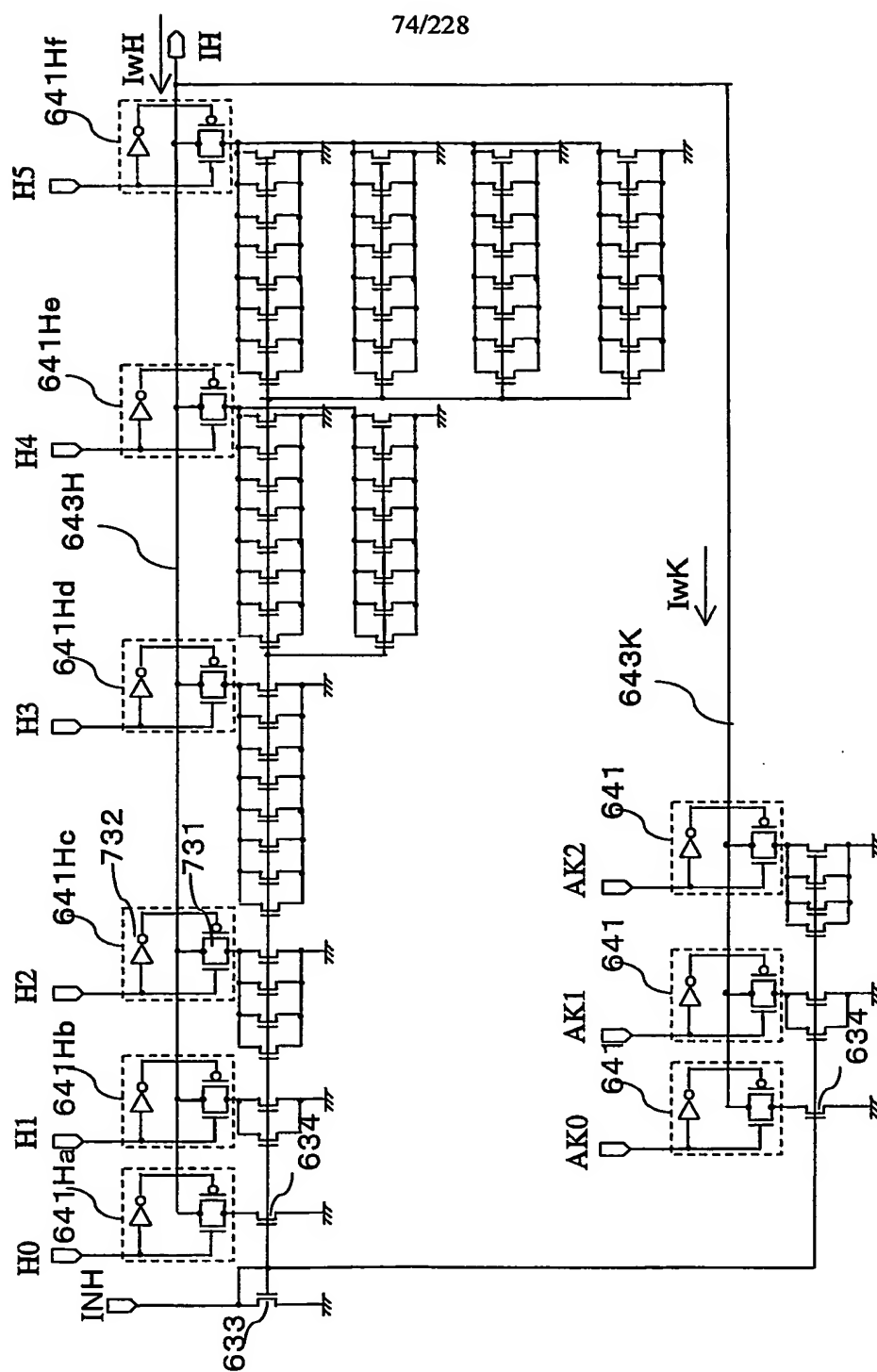
第72図



第73圖

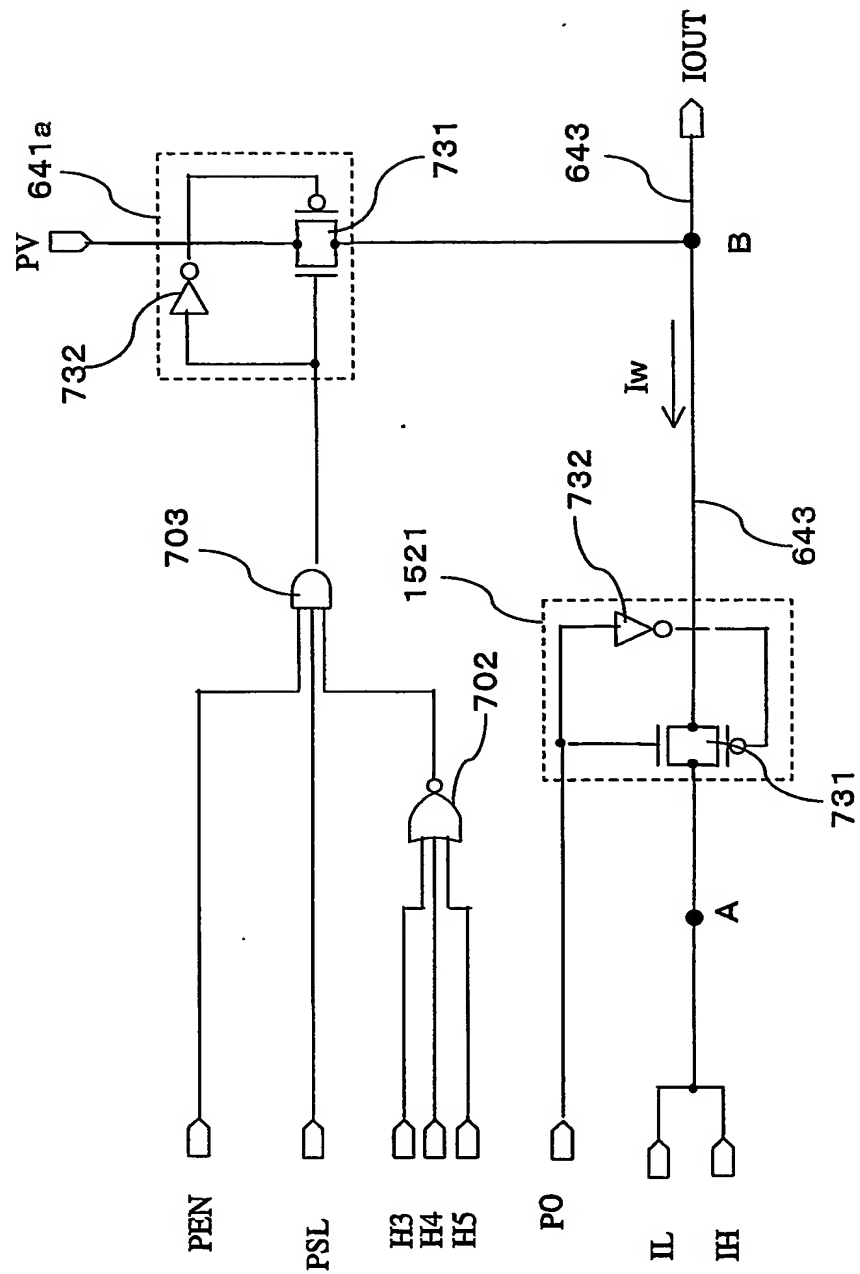


第74圖



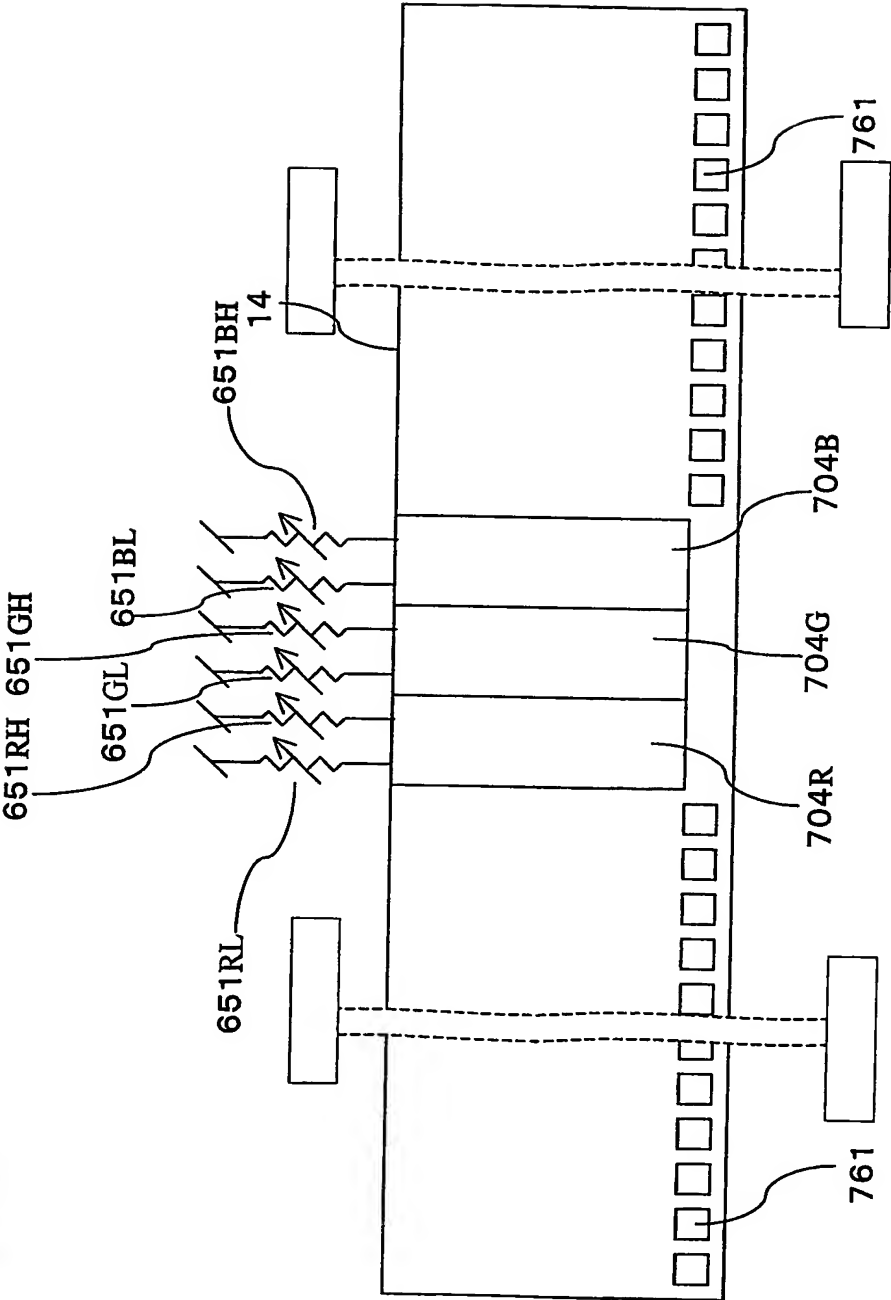
75/228

第75図

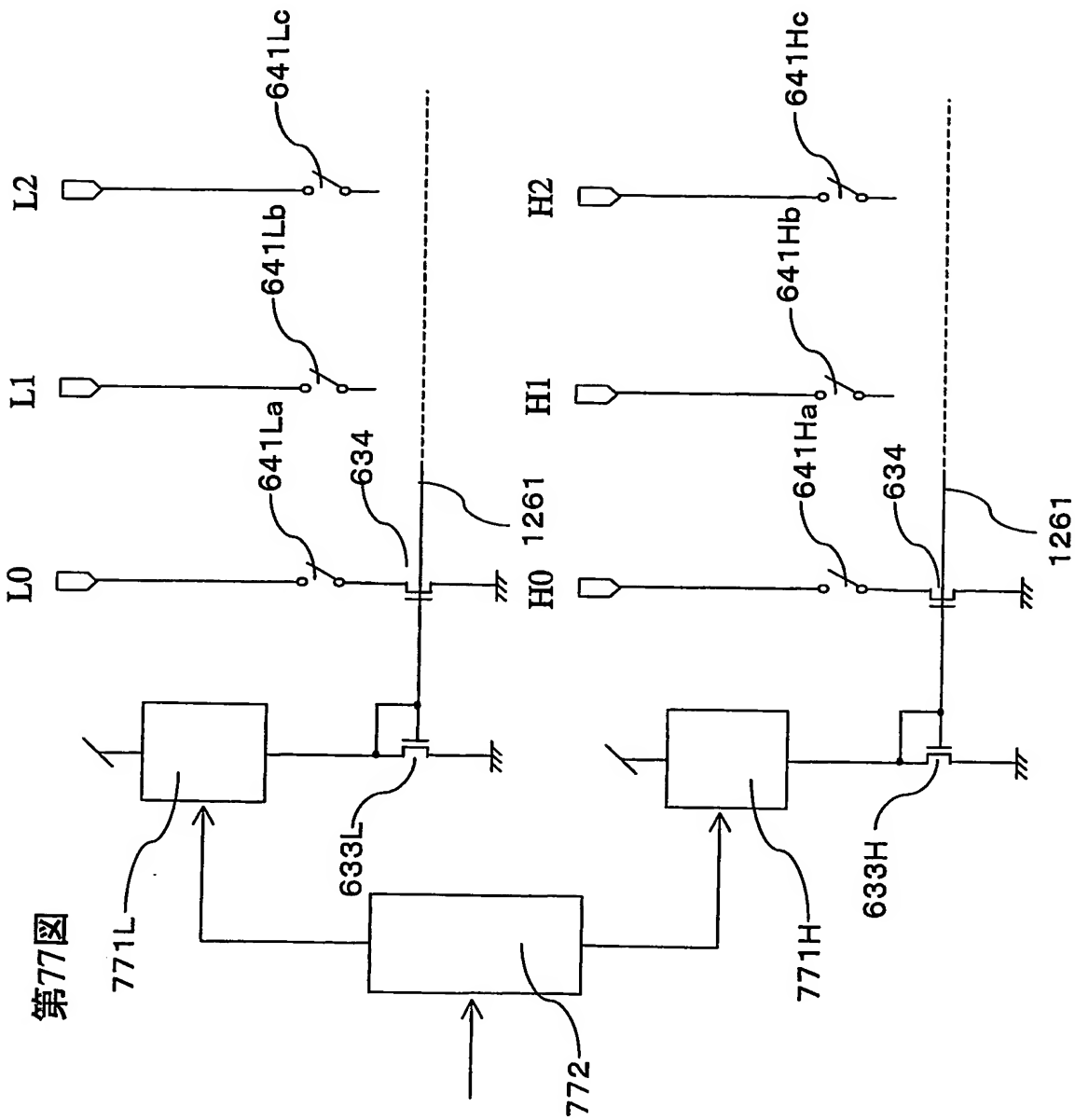


76/228

第76図

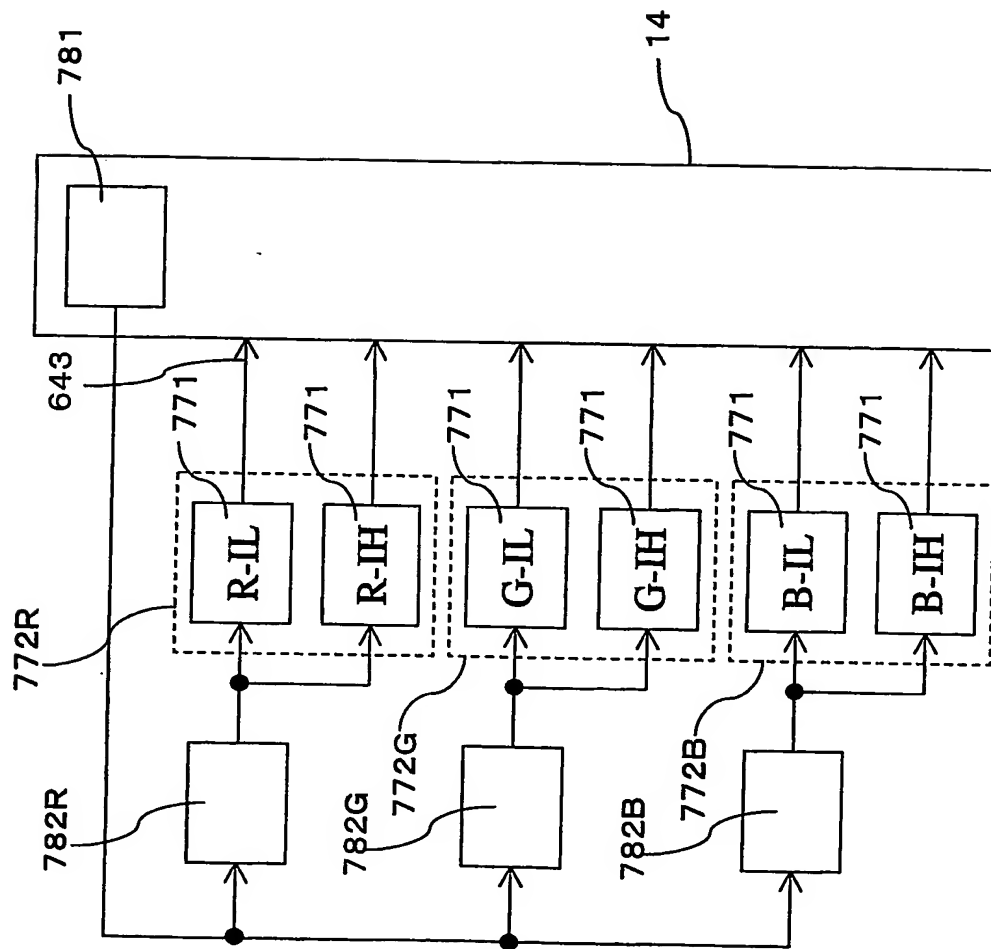


77/228

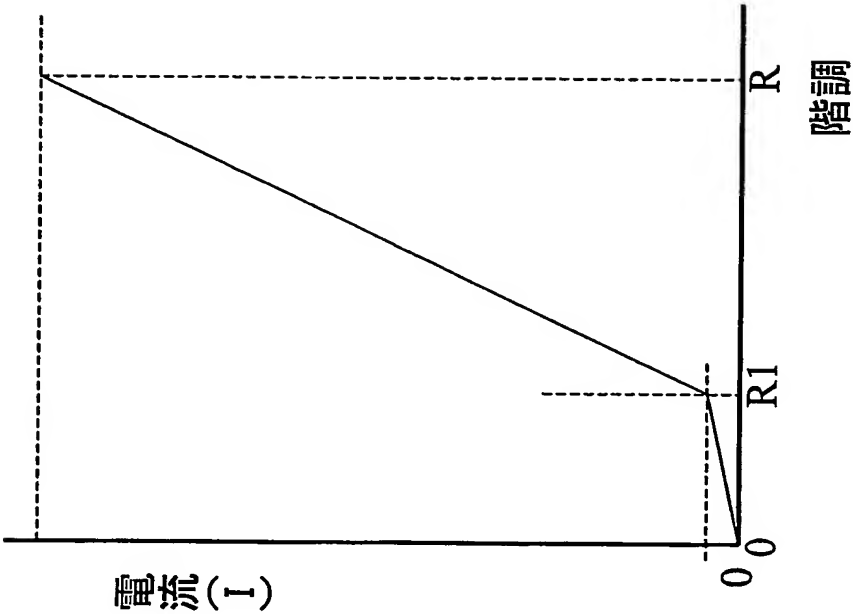


78/228

第78図

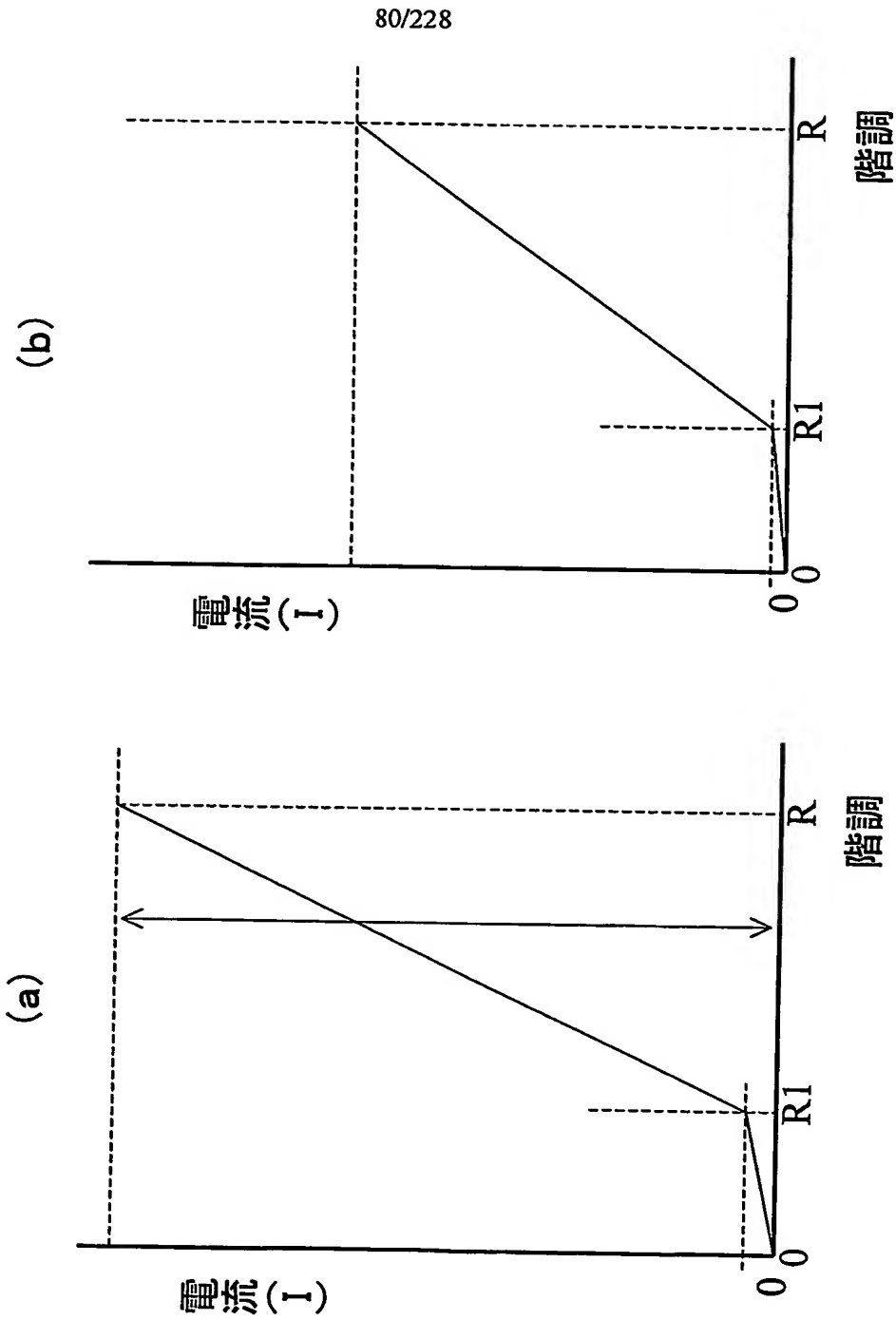


79/228

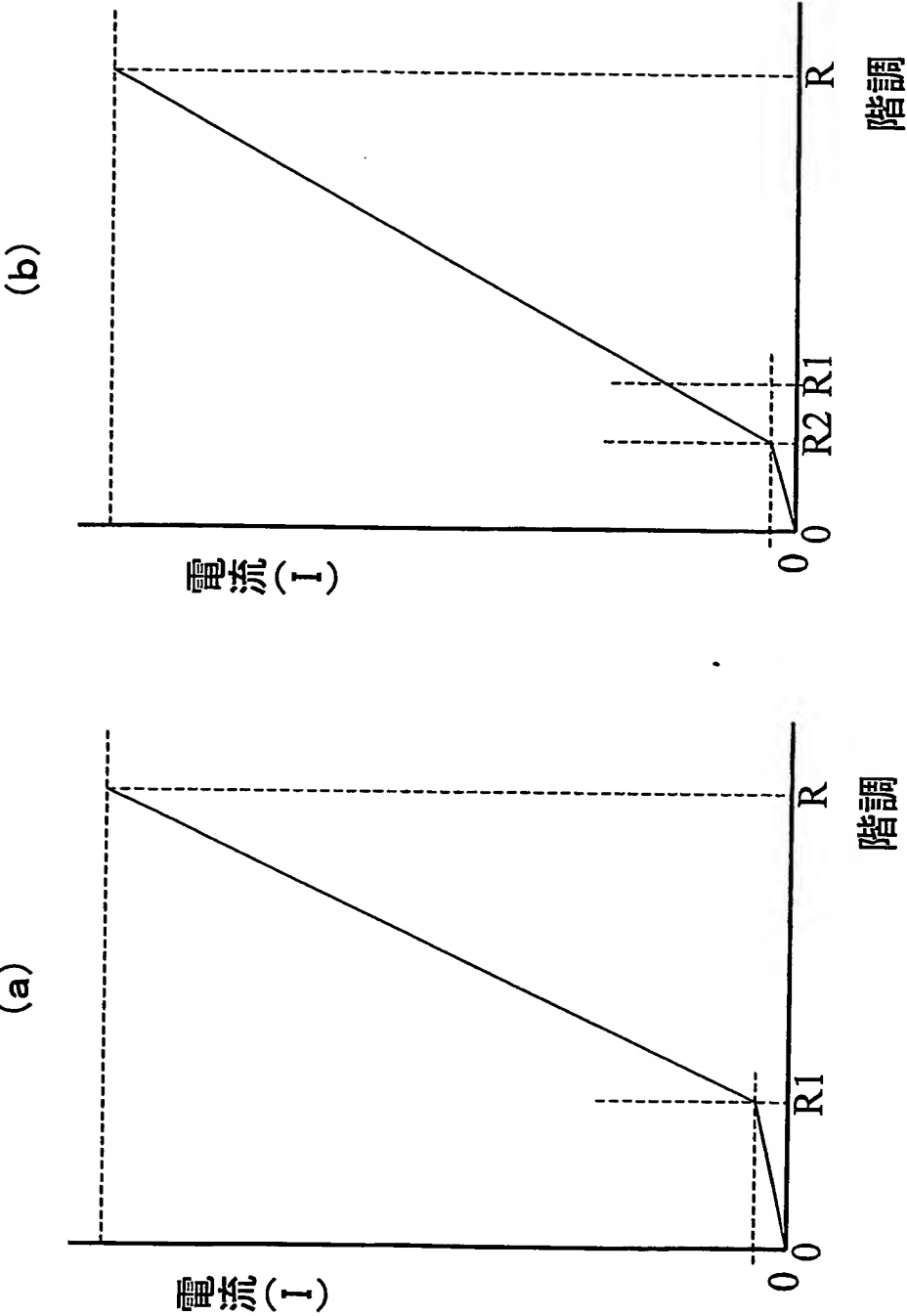


第79図

第80図

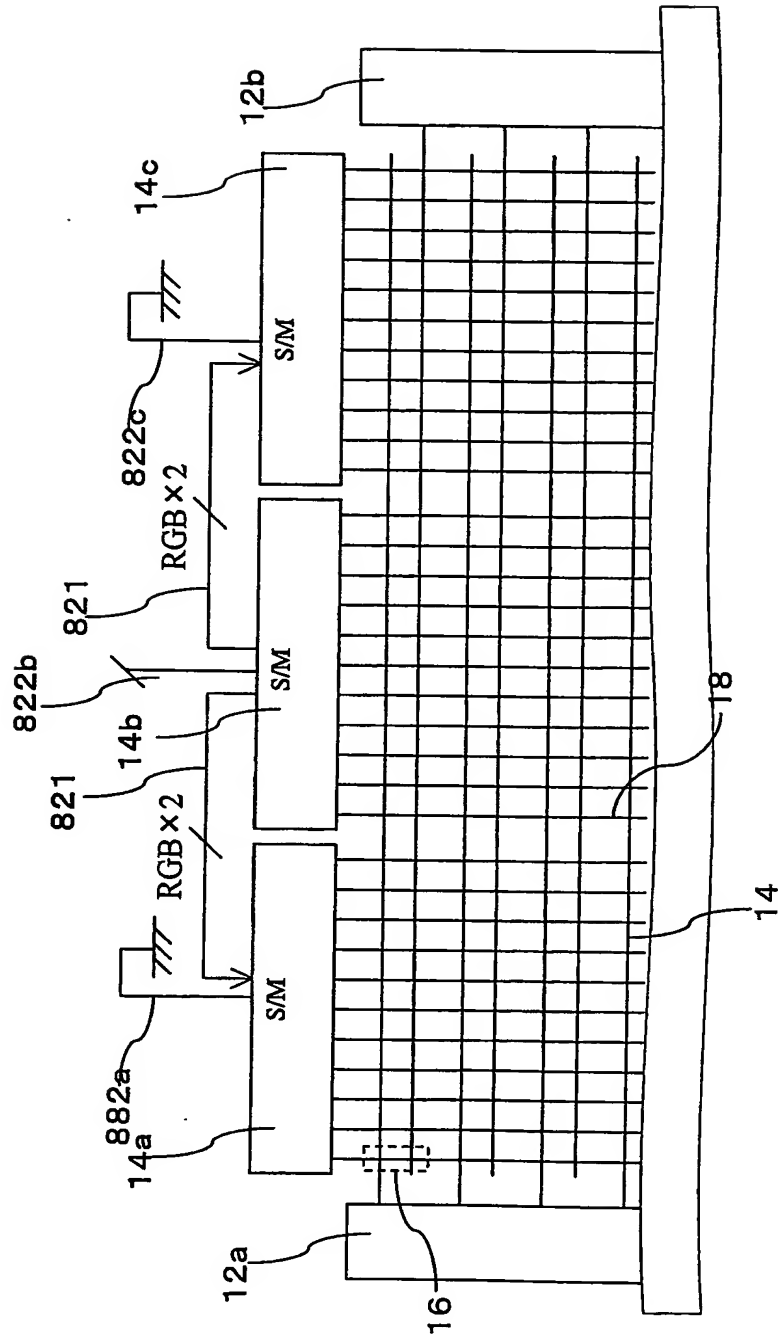


81/228

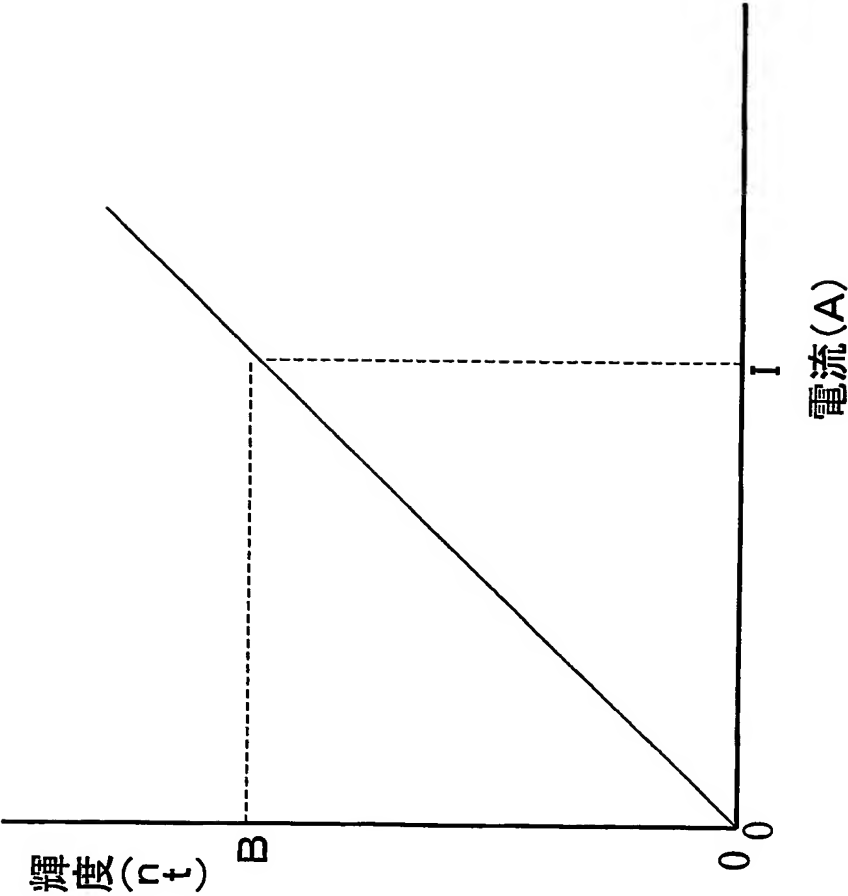


第81図

82/228



83/228



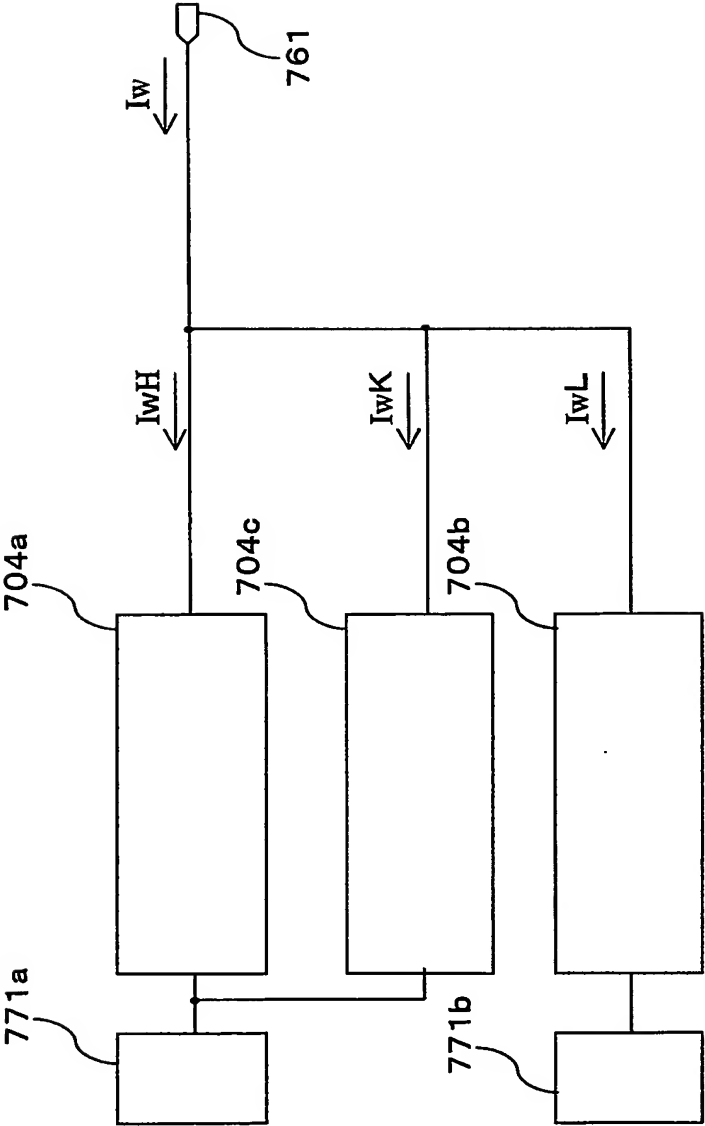
第83図

86/228

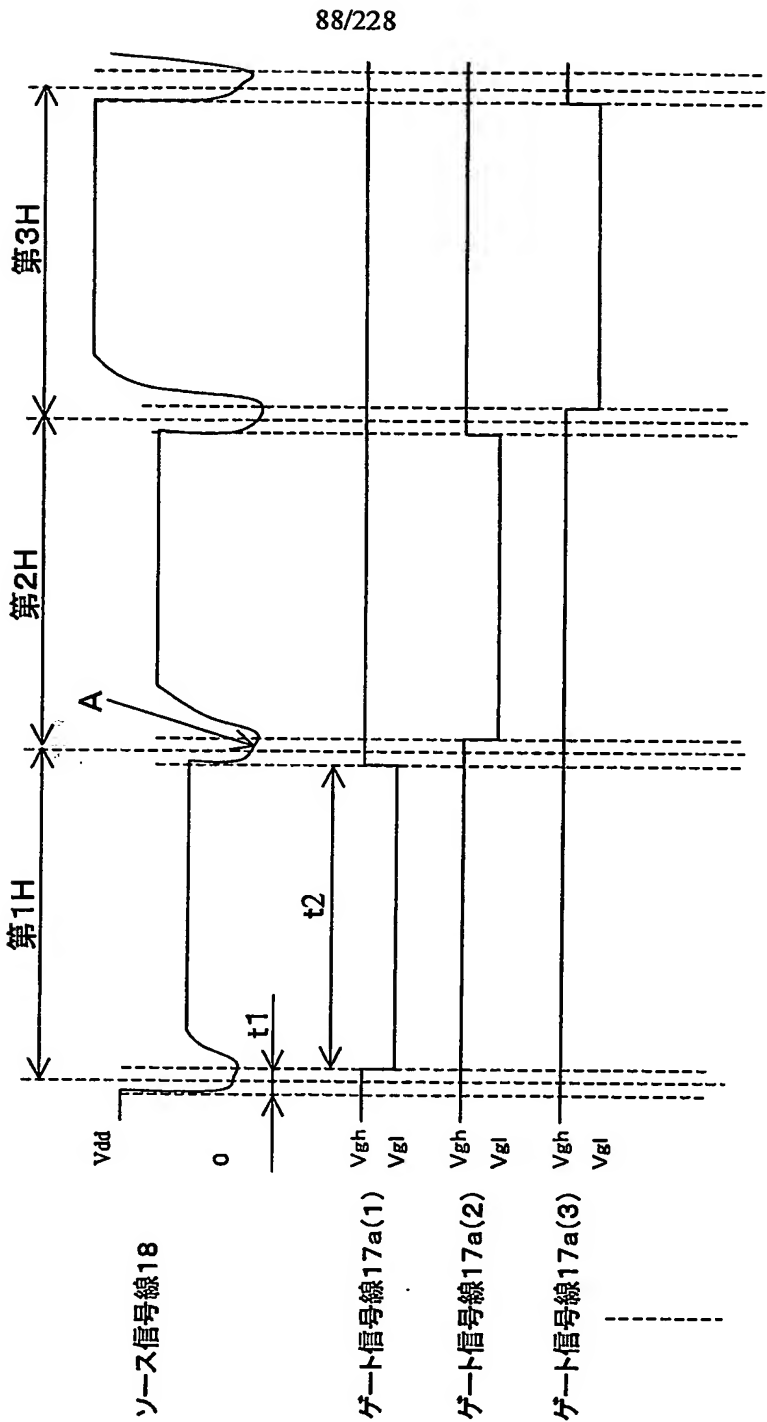
第86圖

[illegible]

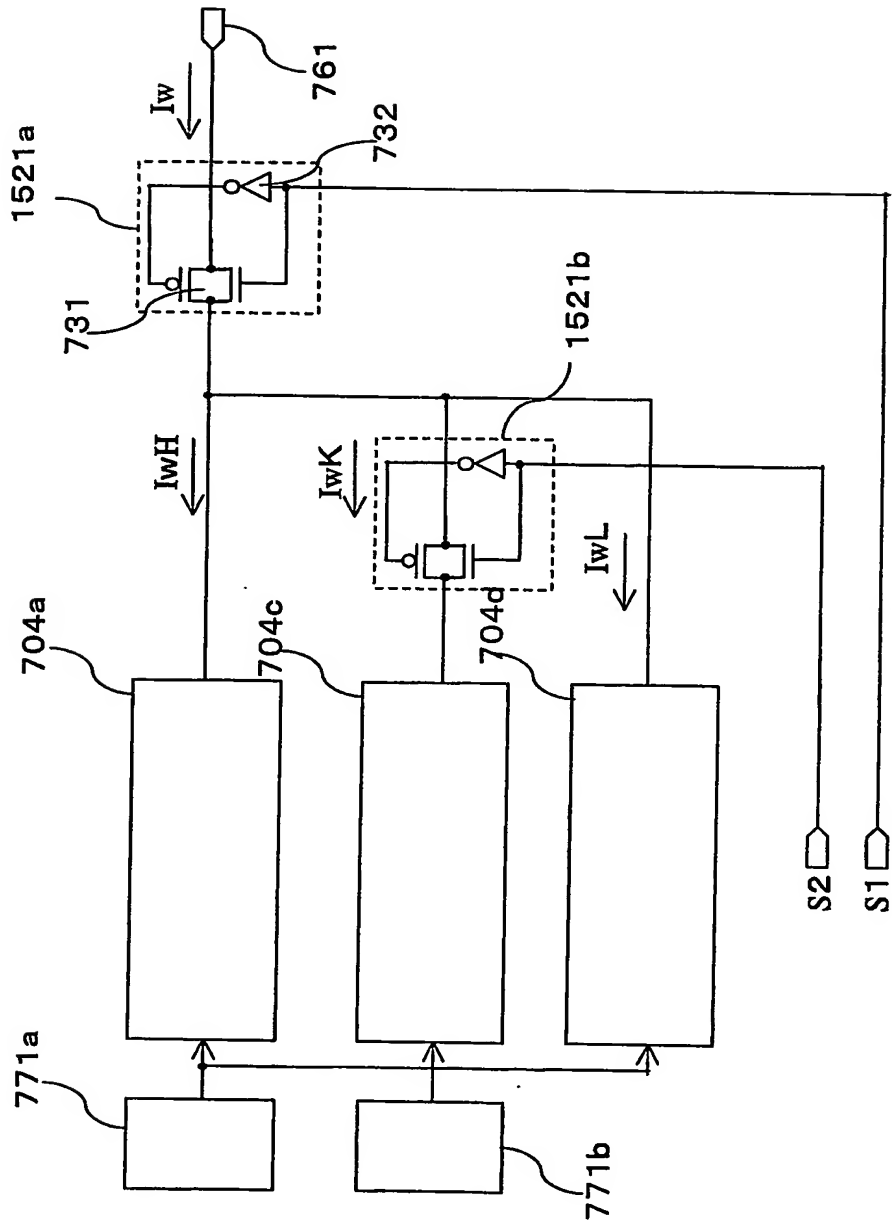
第87図



第88図



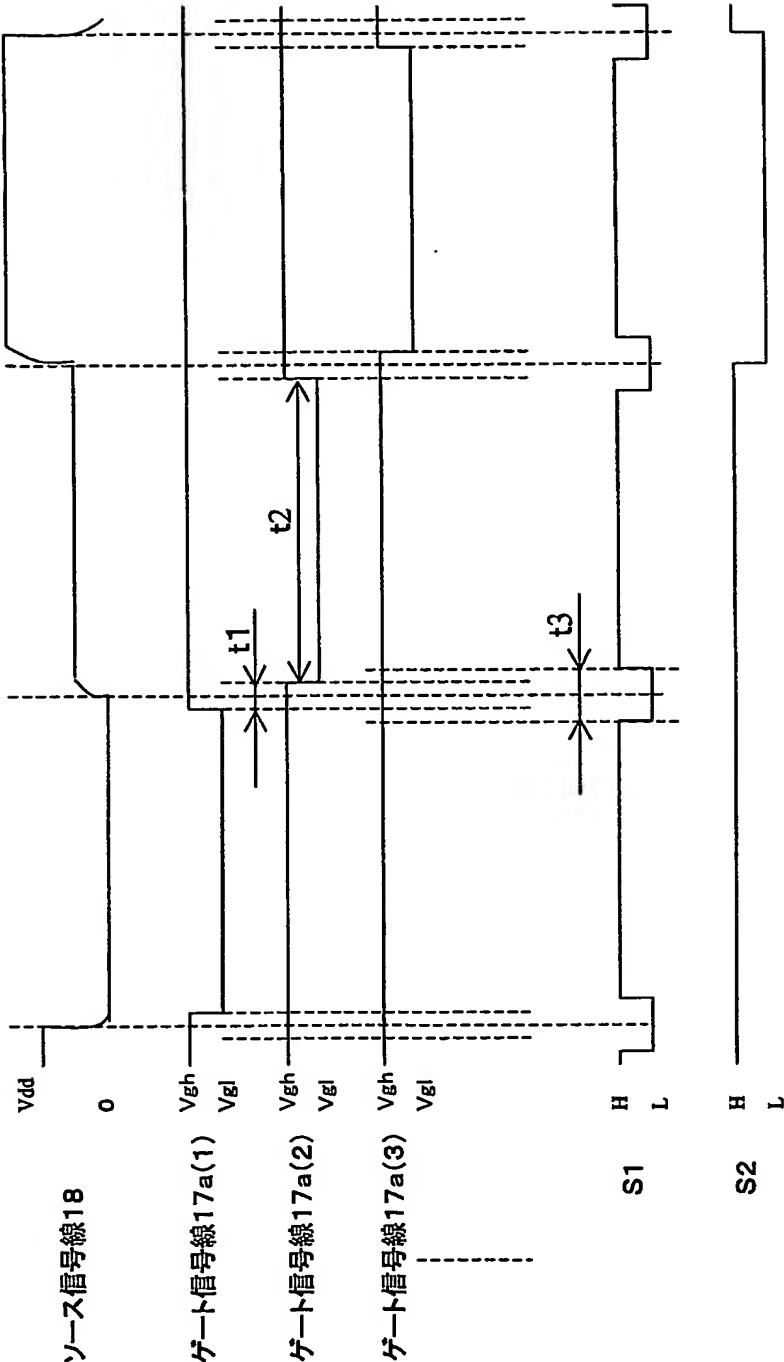
89/228



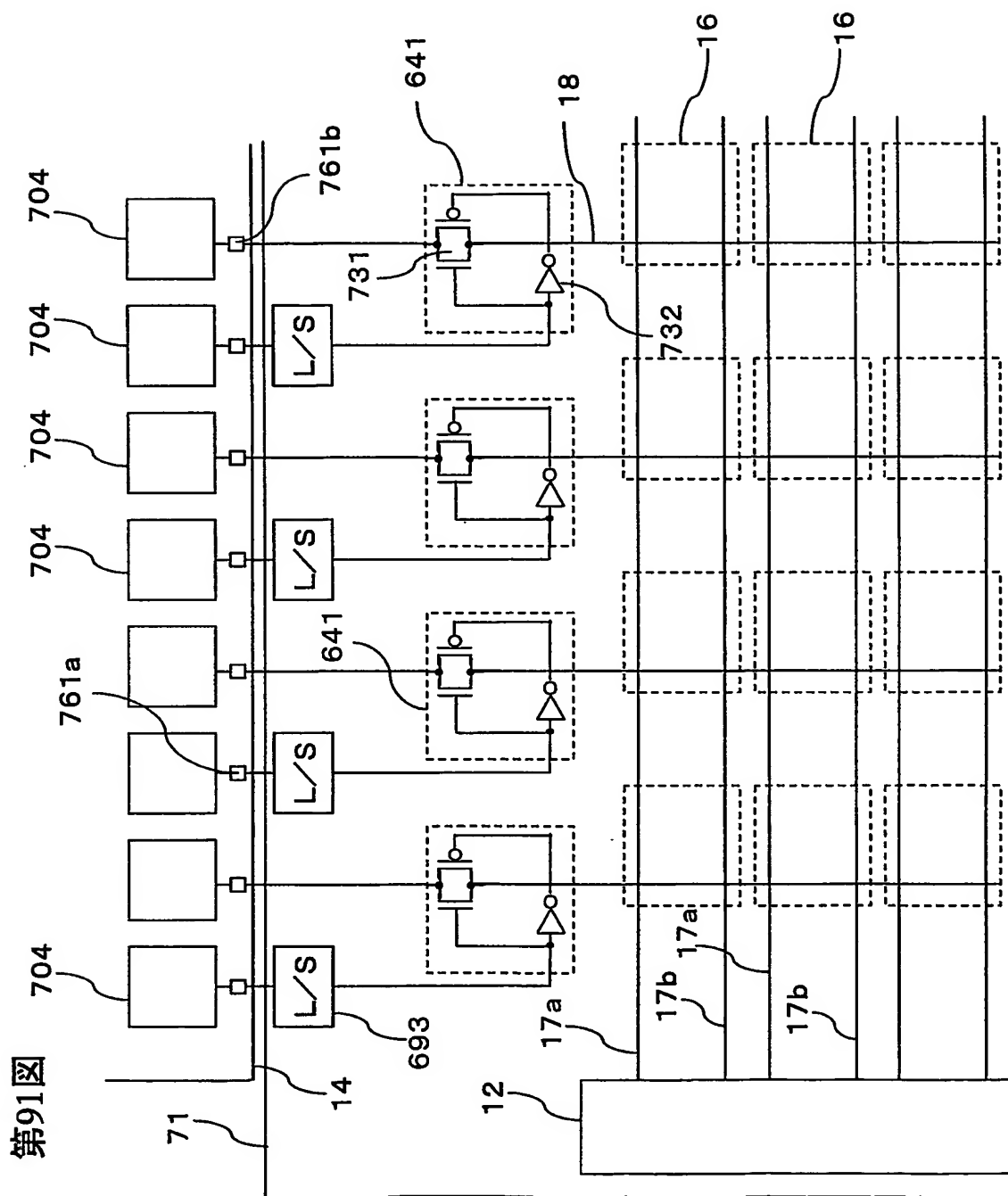
第89図

90/228

第90図

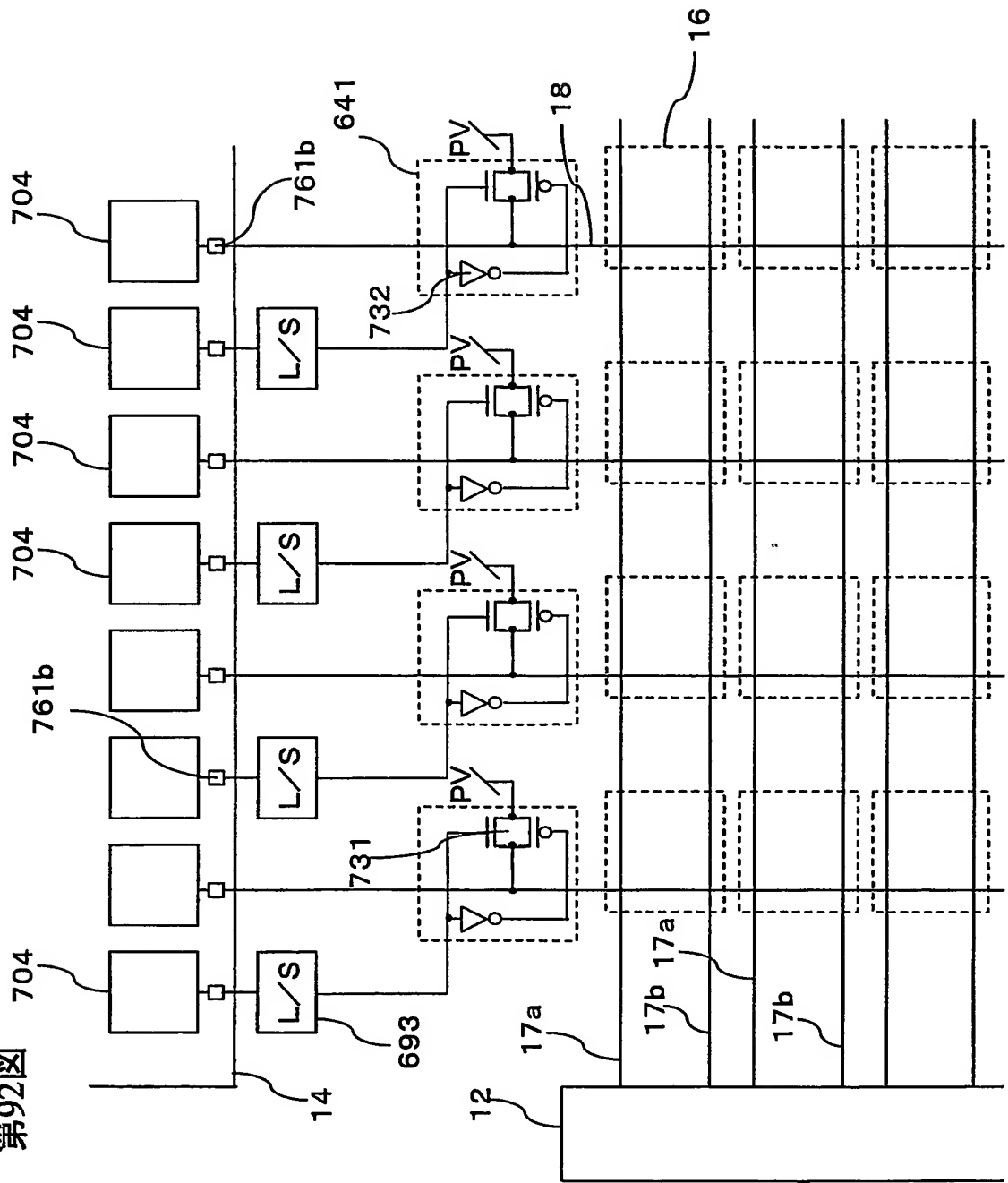


91/228



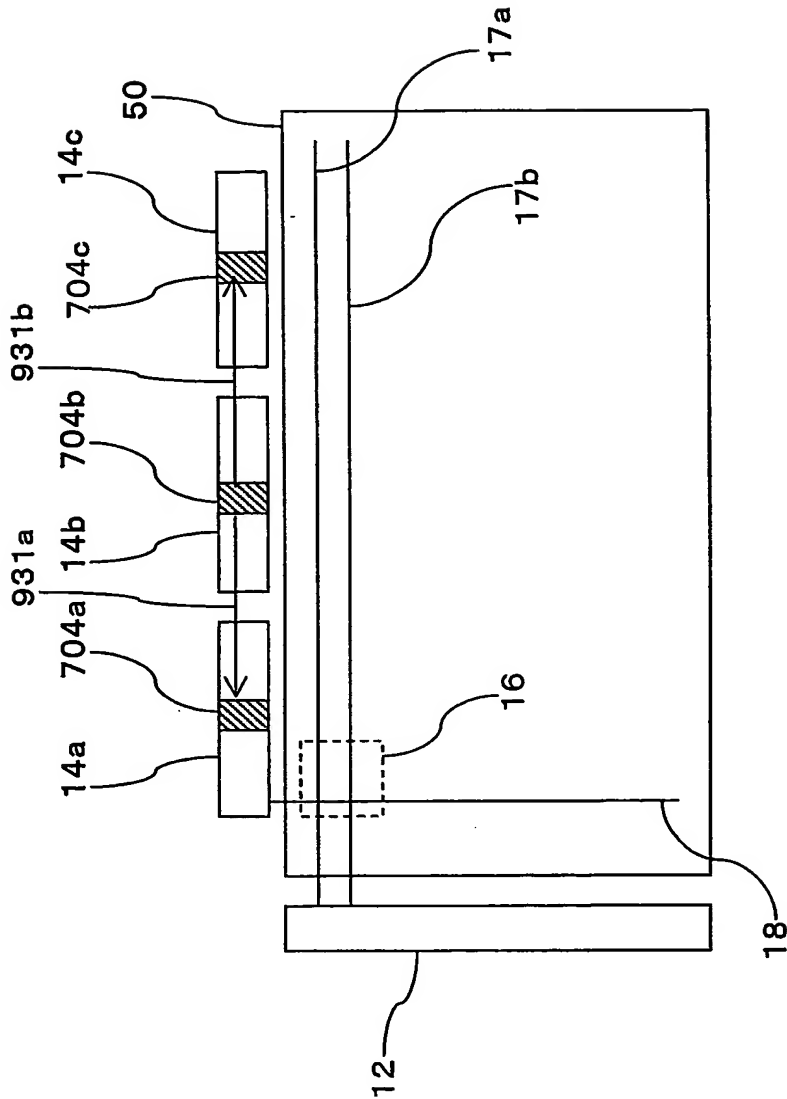
92/228

第92図



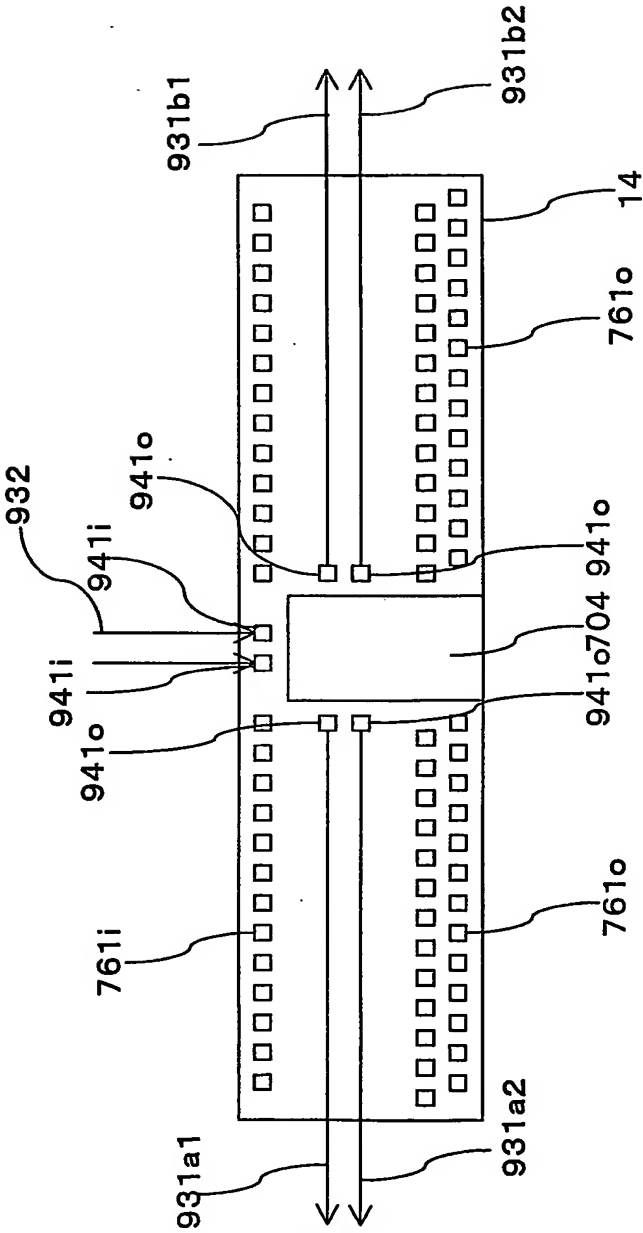
93/228

第93図

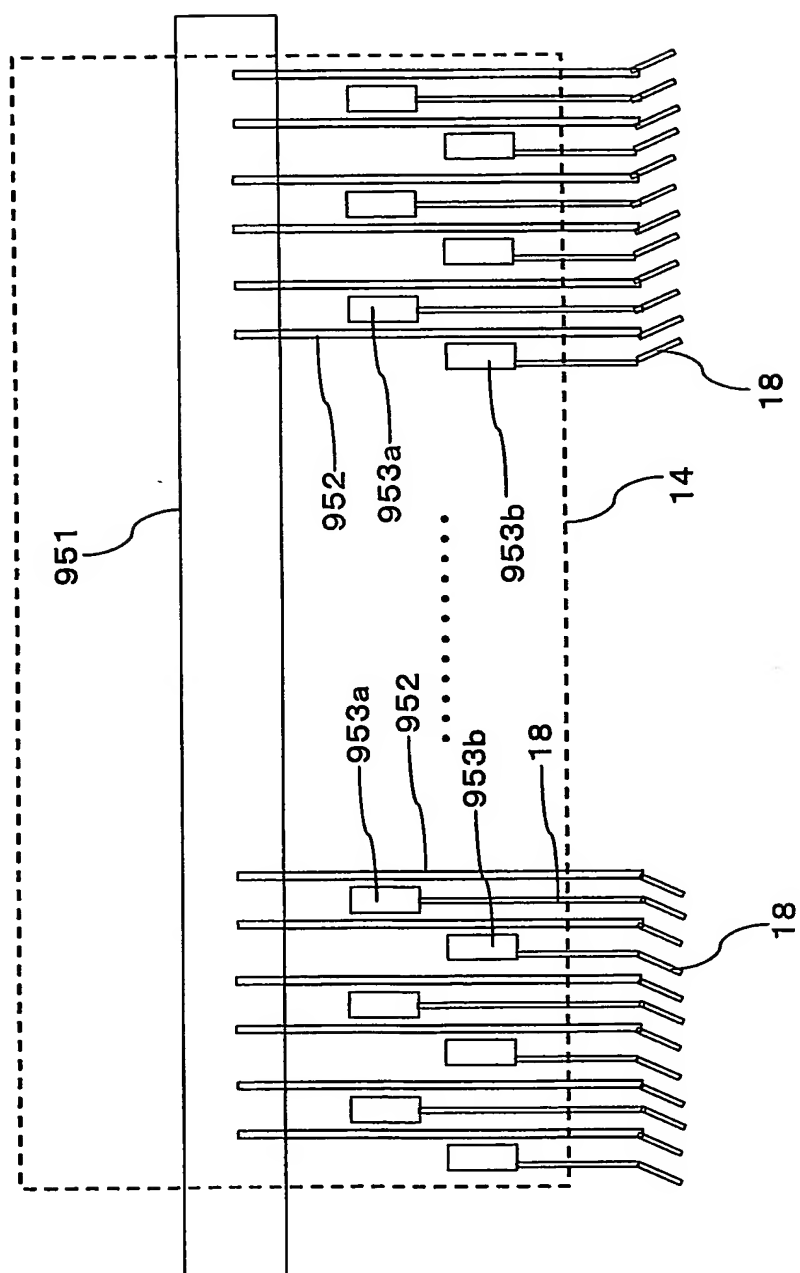


94/228

第94図

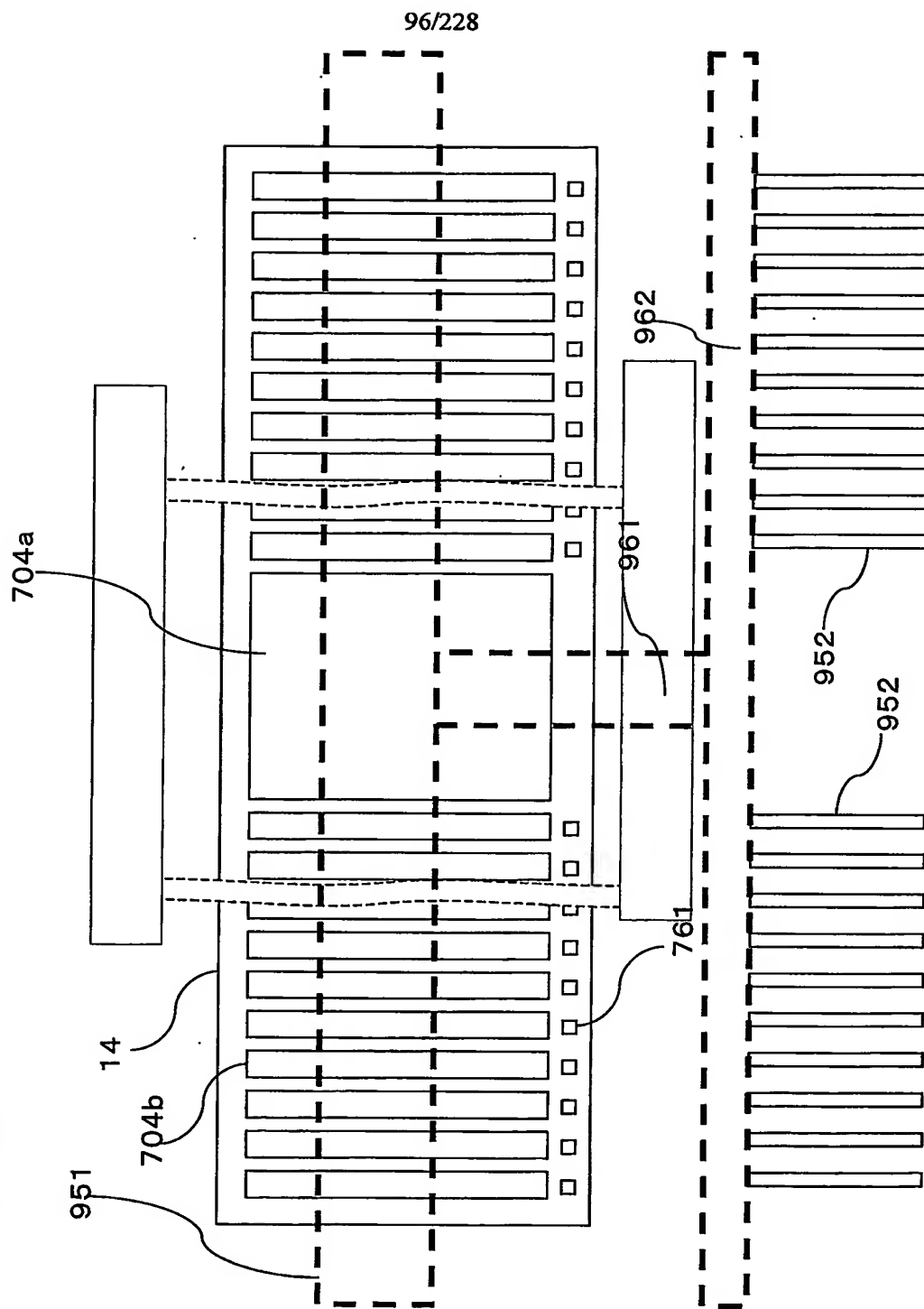


95/228

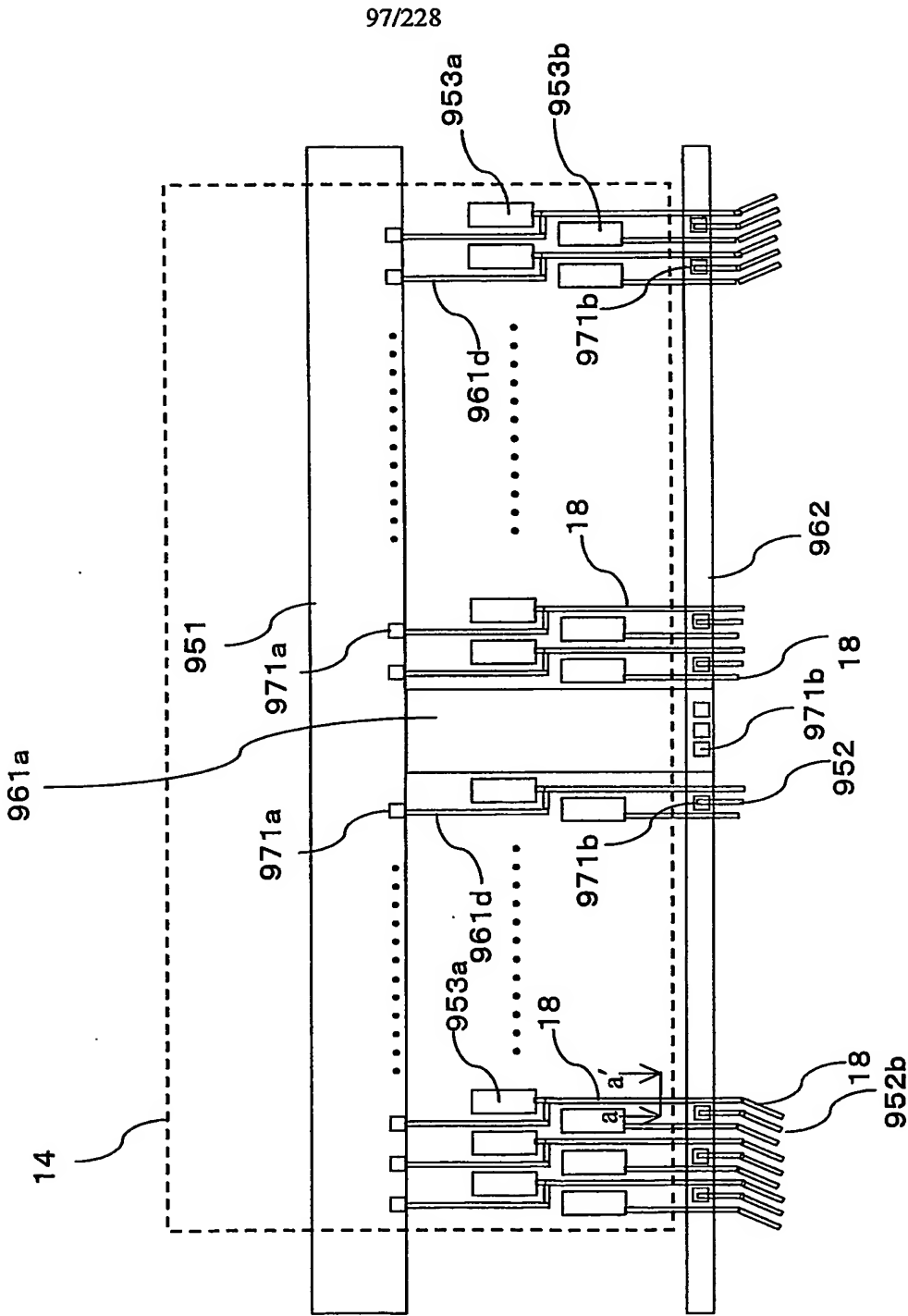


第95圖

第96図

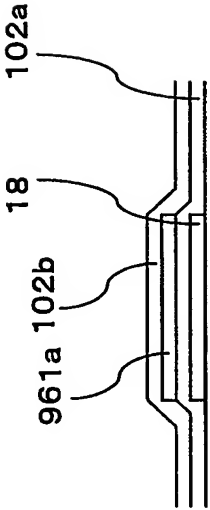


第97図

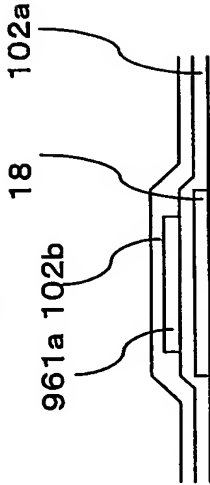


第98図

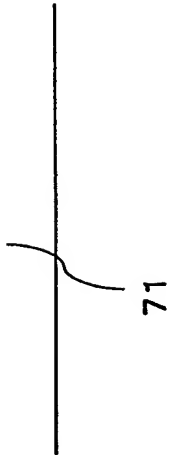
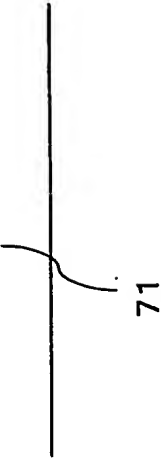
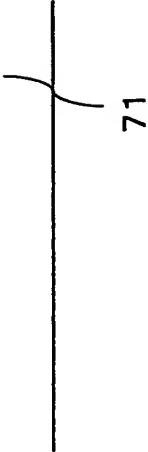
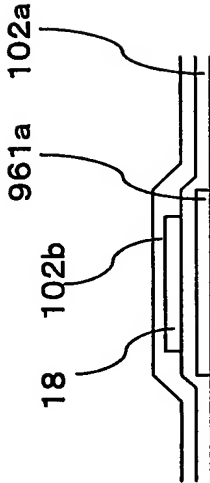
(a)



(b)

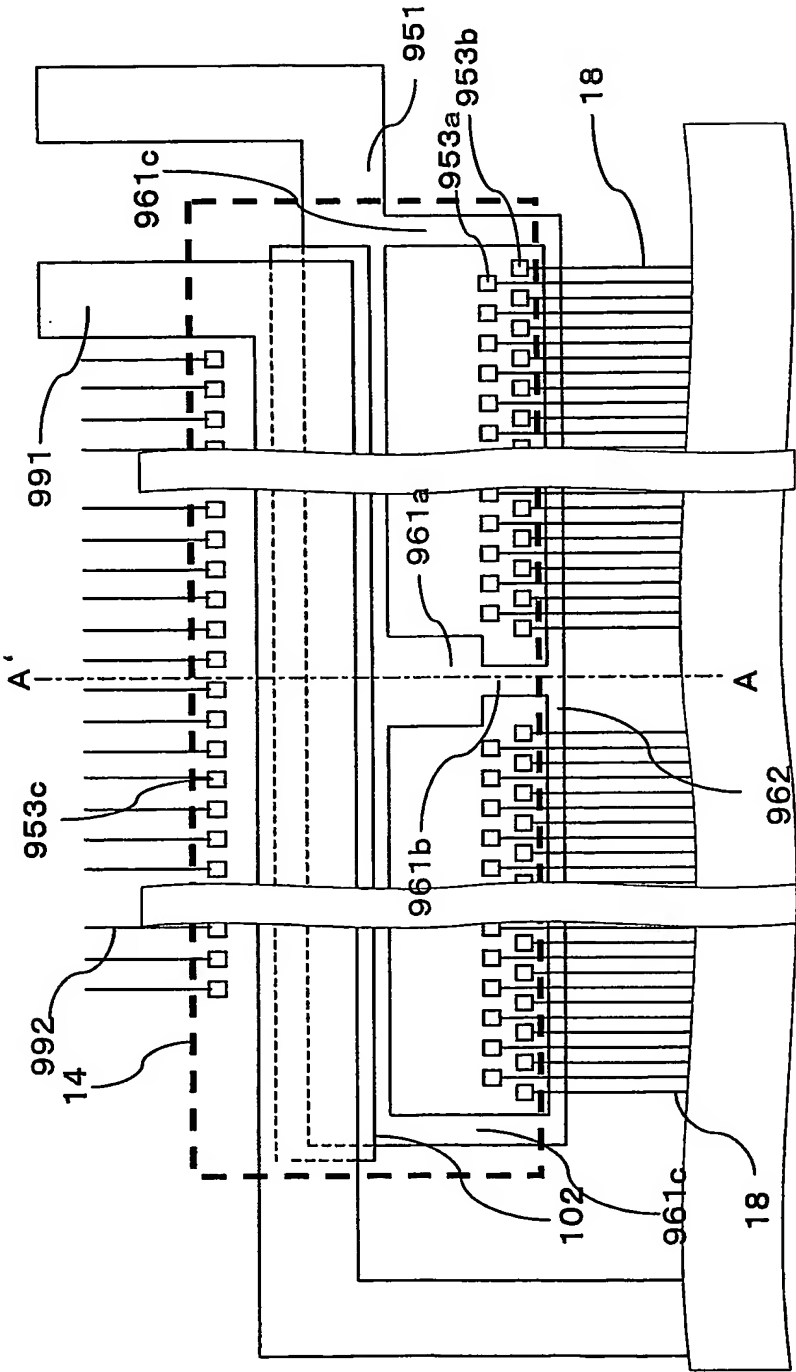


(c)

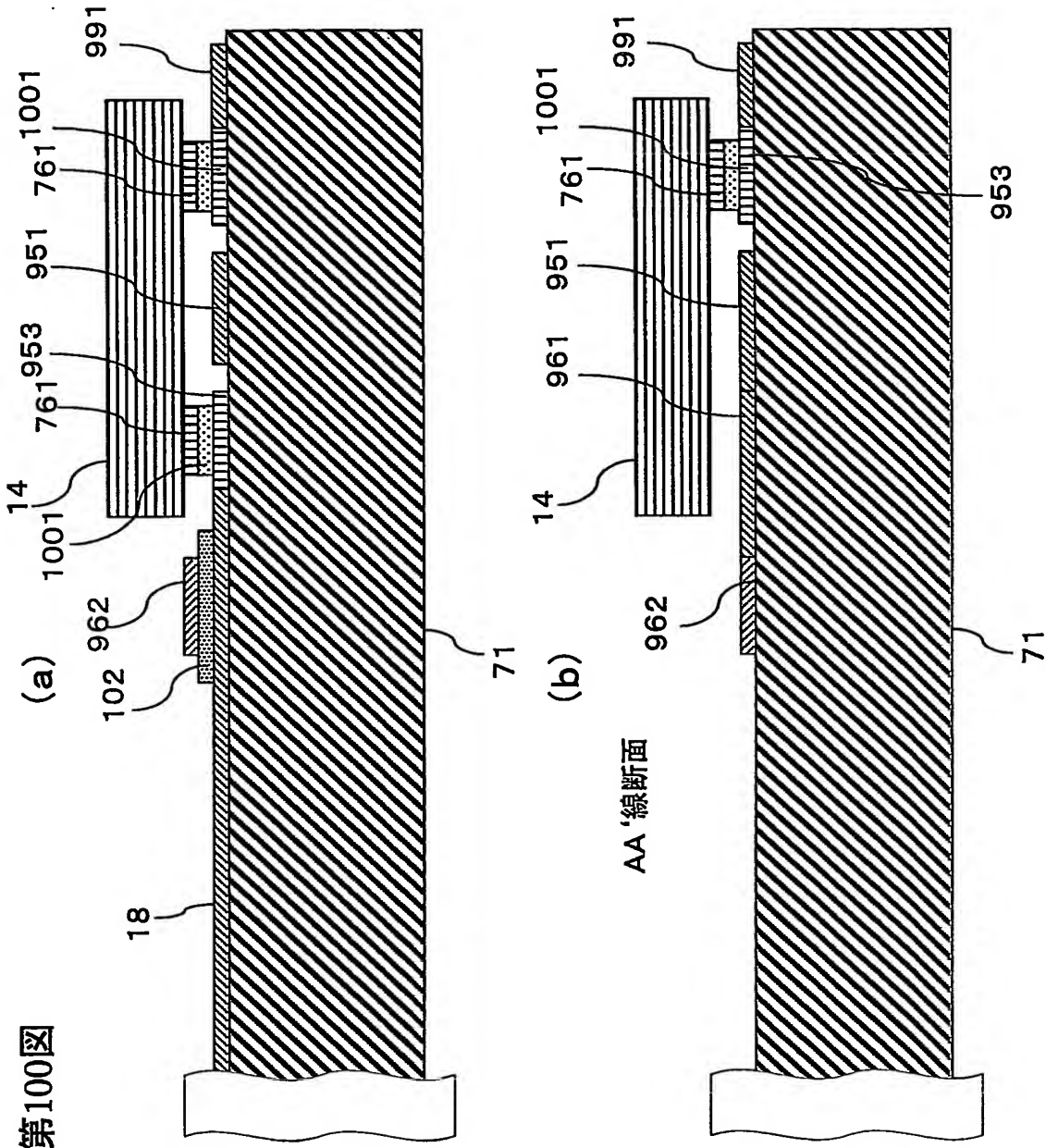


99/228

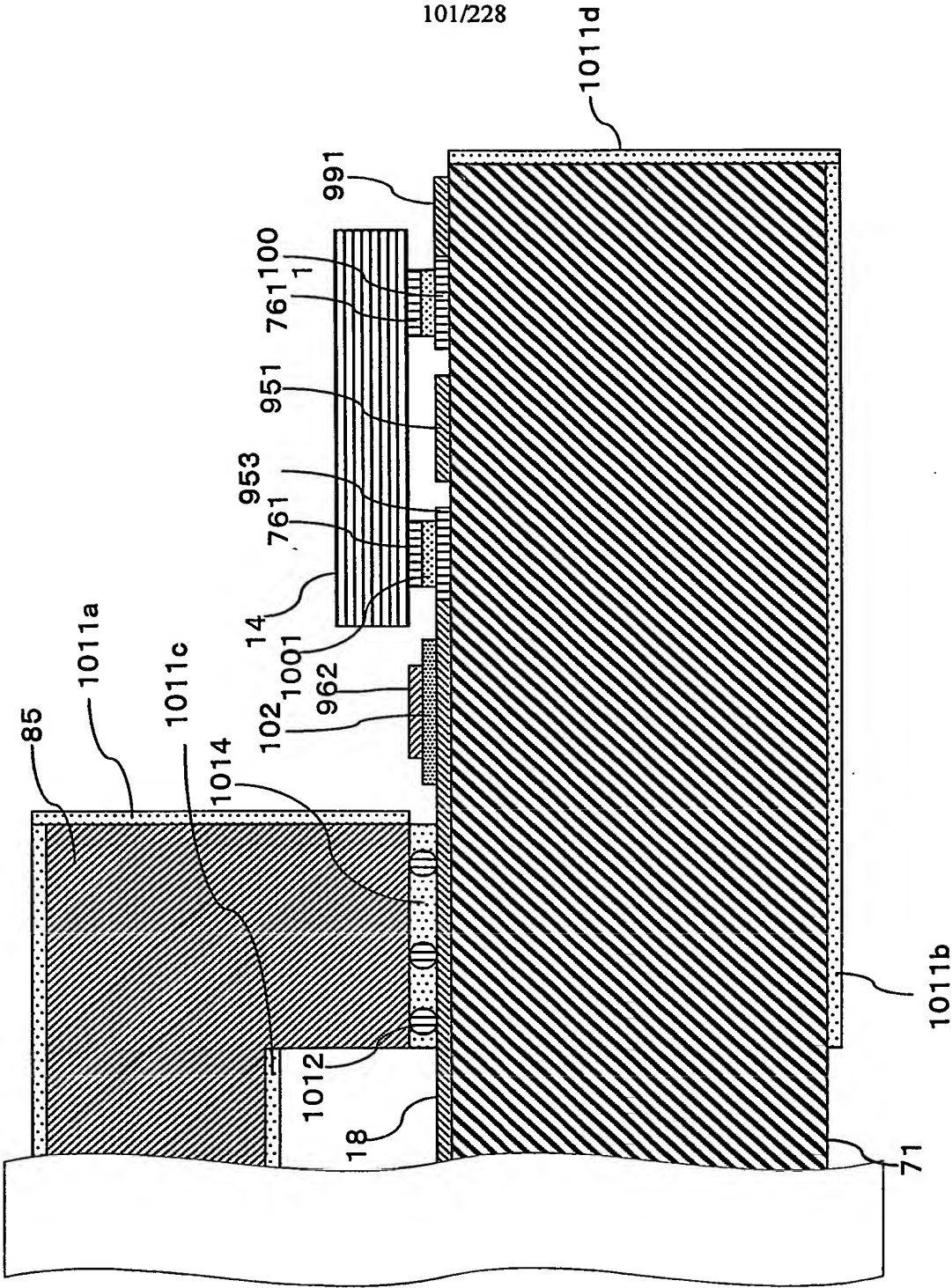
第99図



100/228

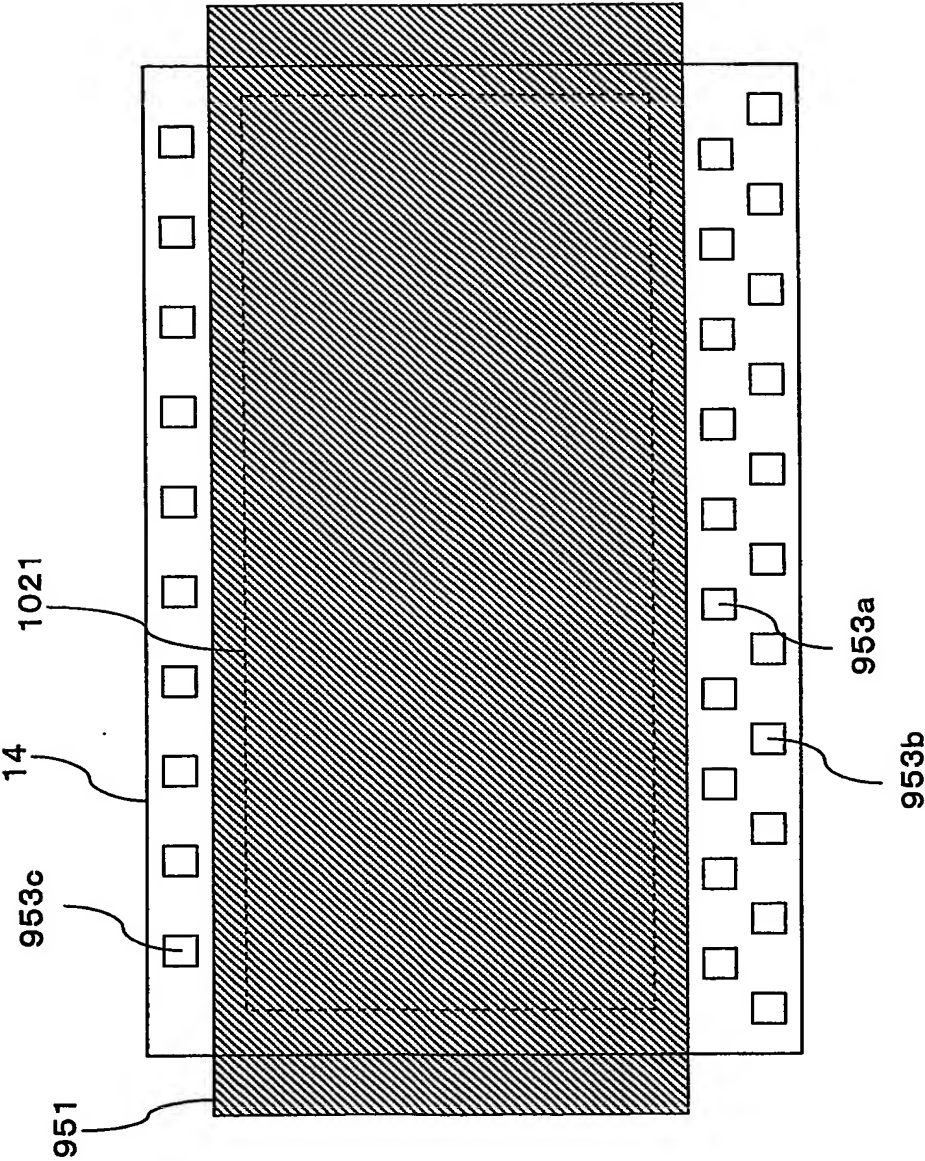


第101図

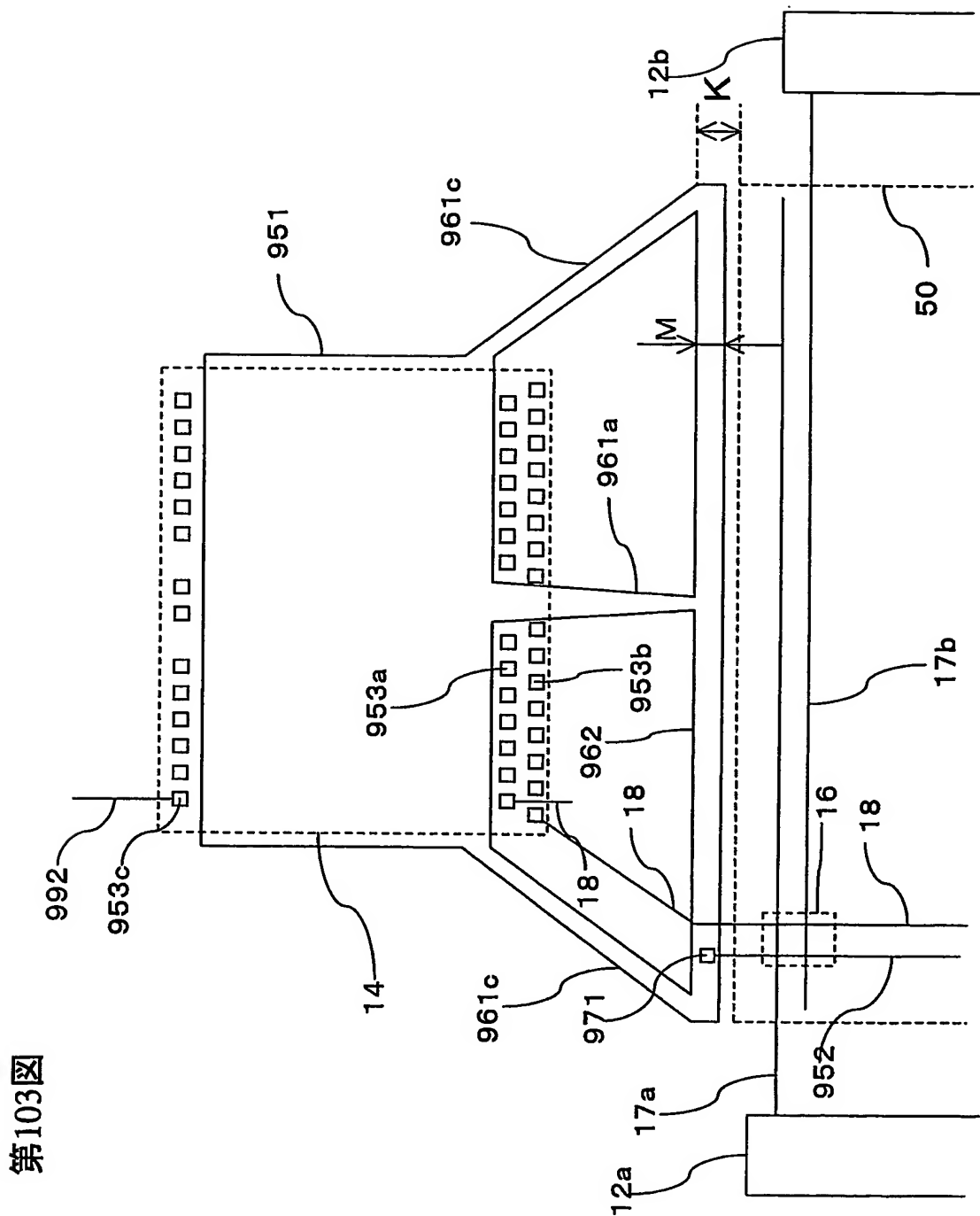


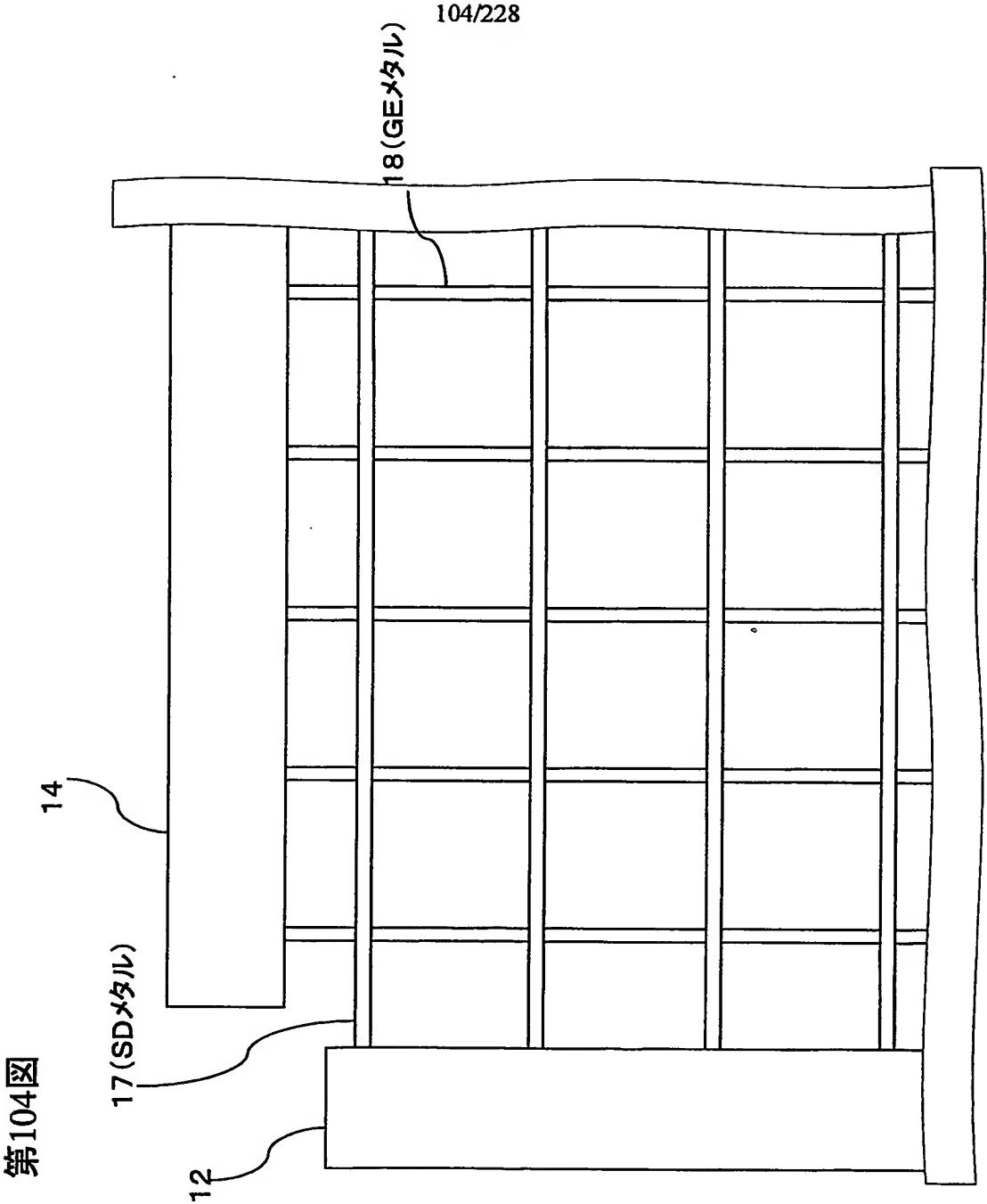
102/228

第102図

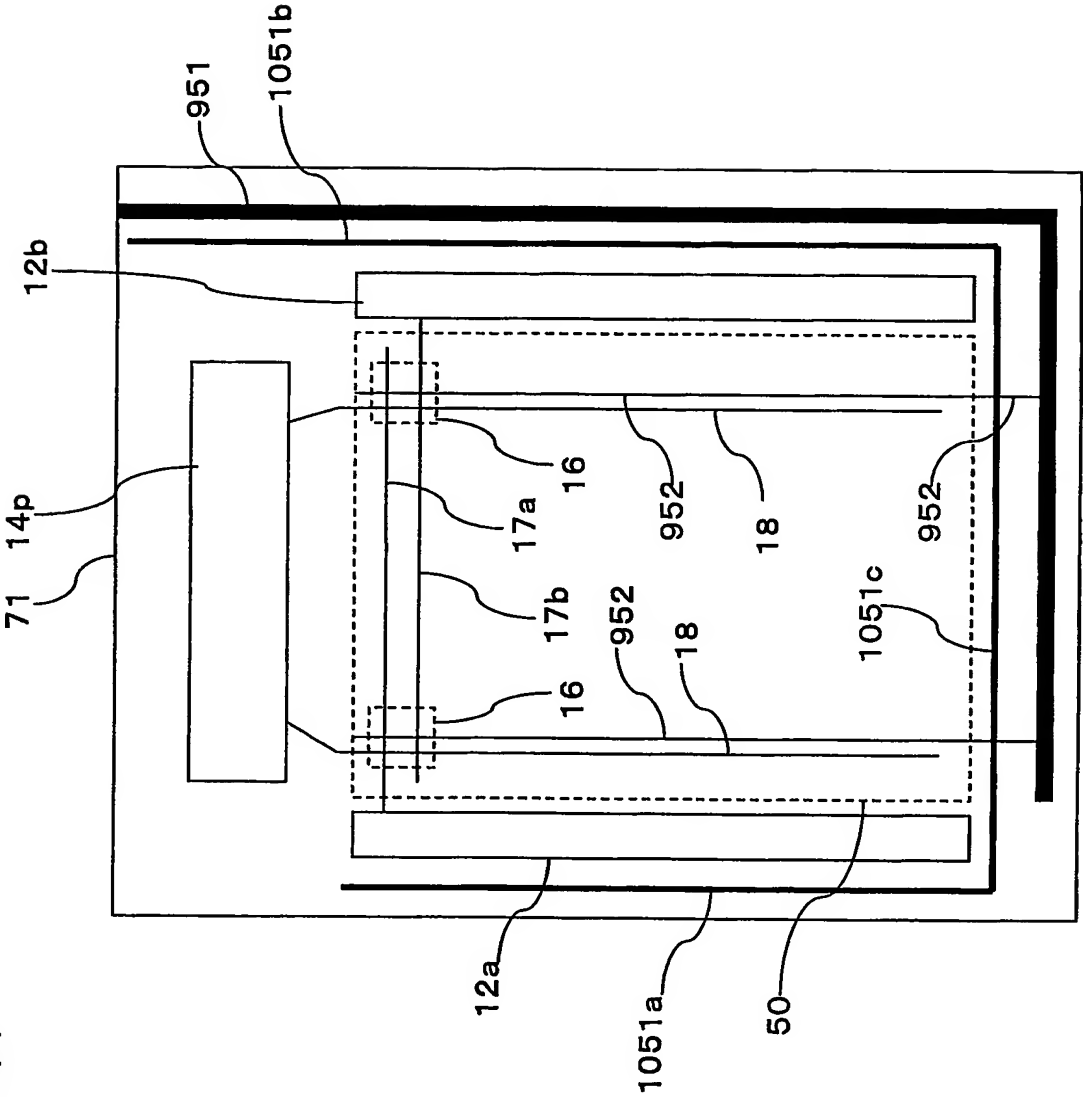


103/228



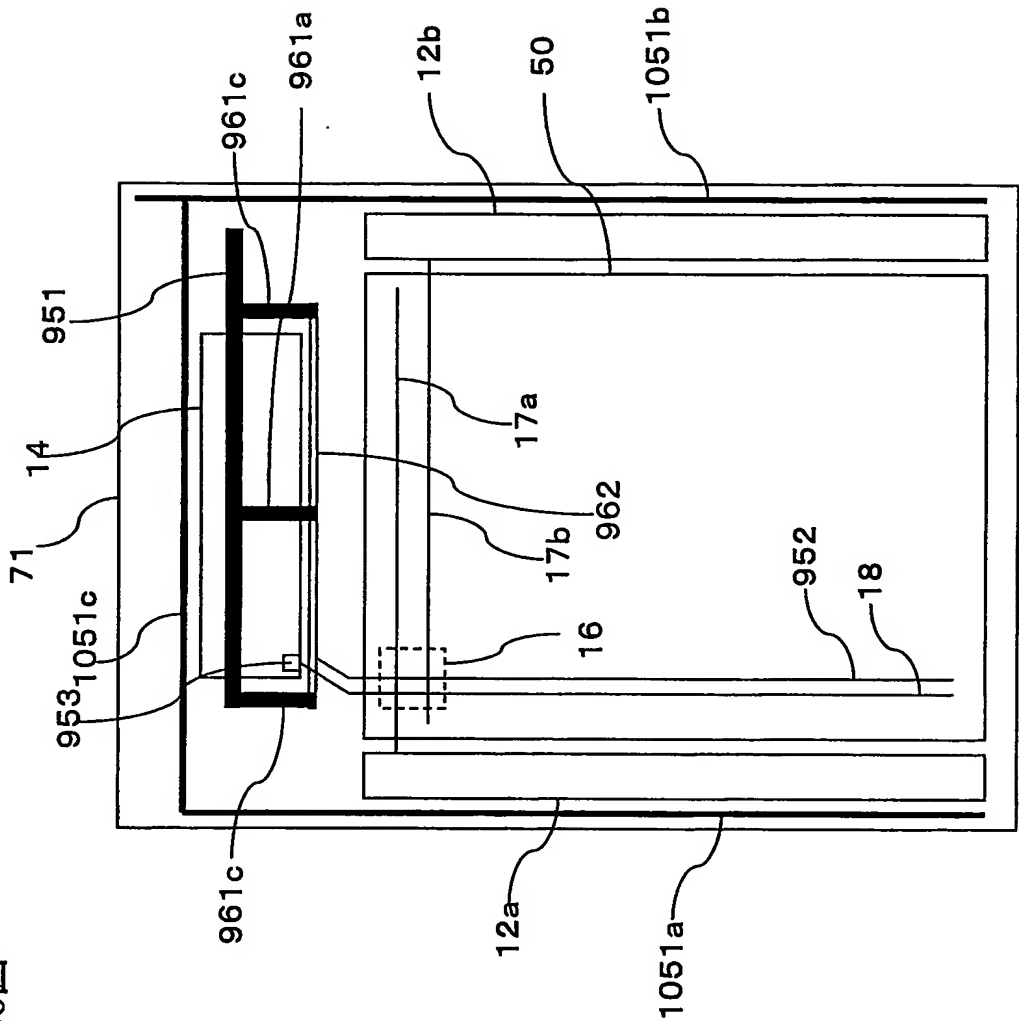


第105図

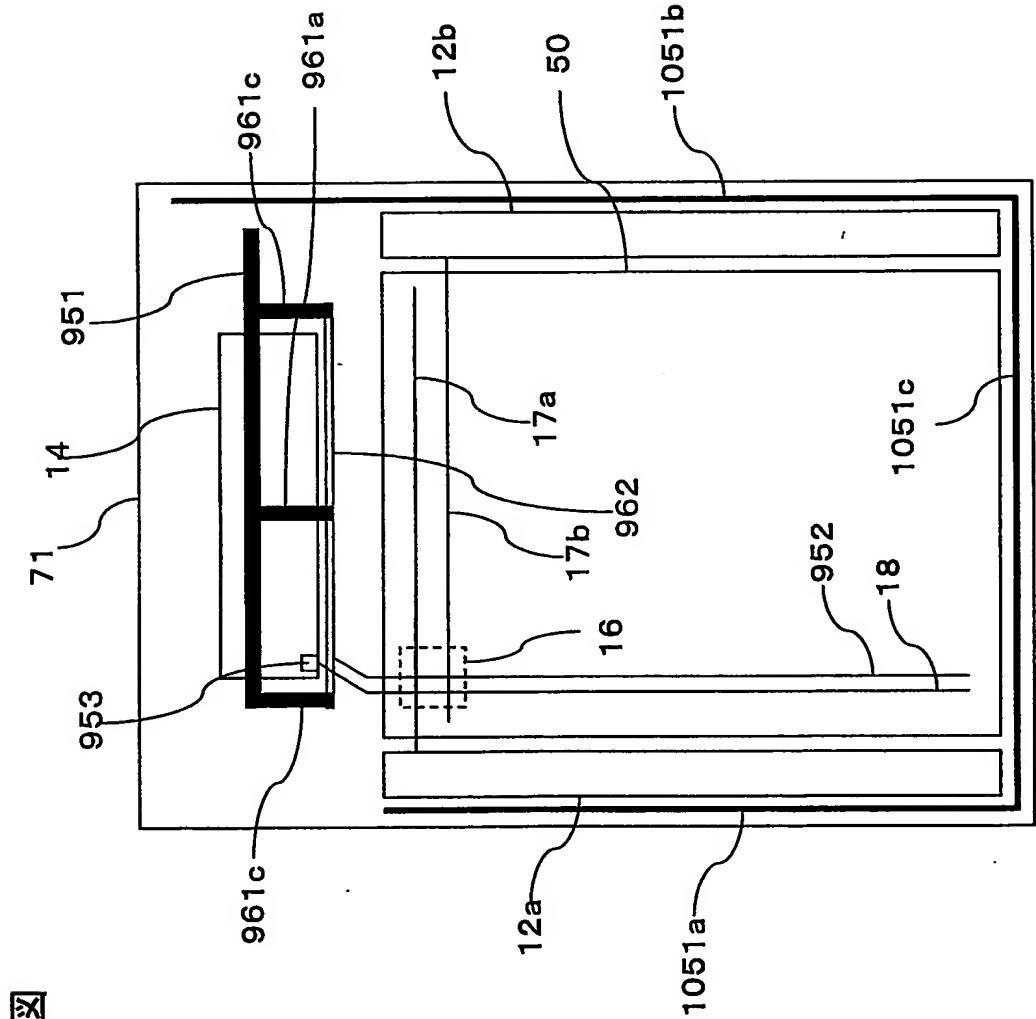


106/228

第106図



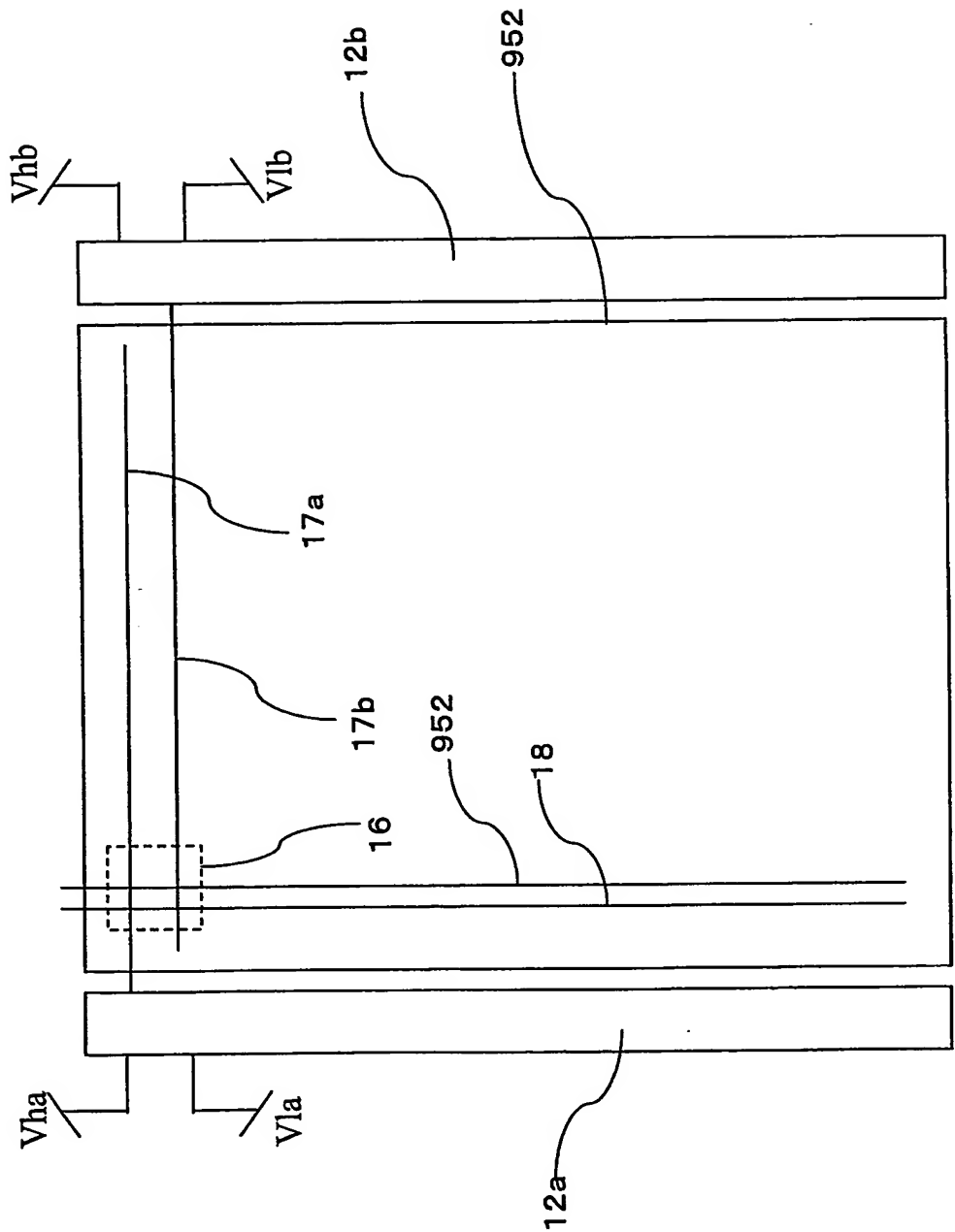
107/228



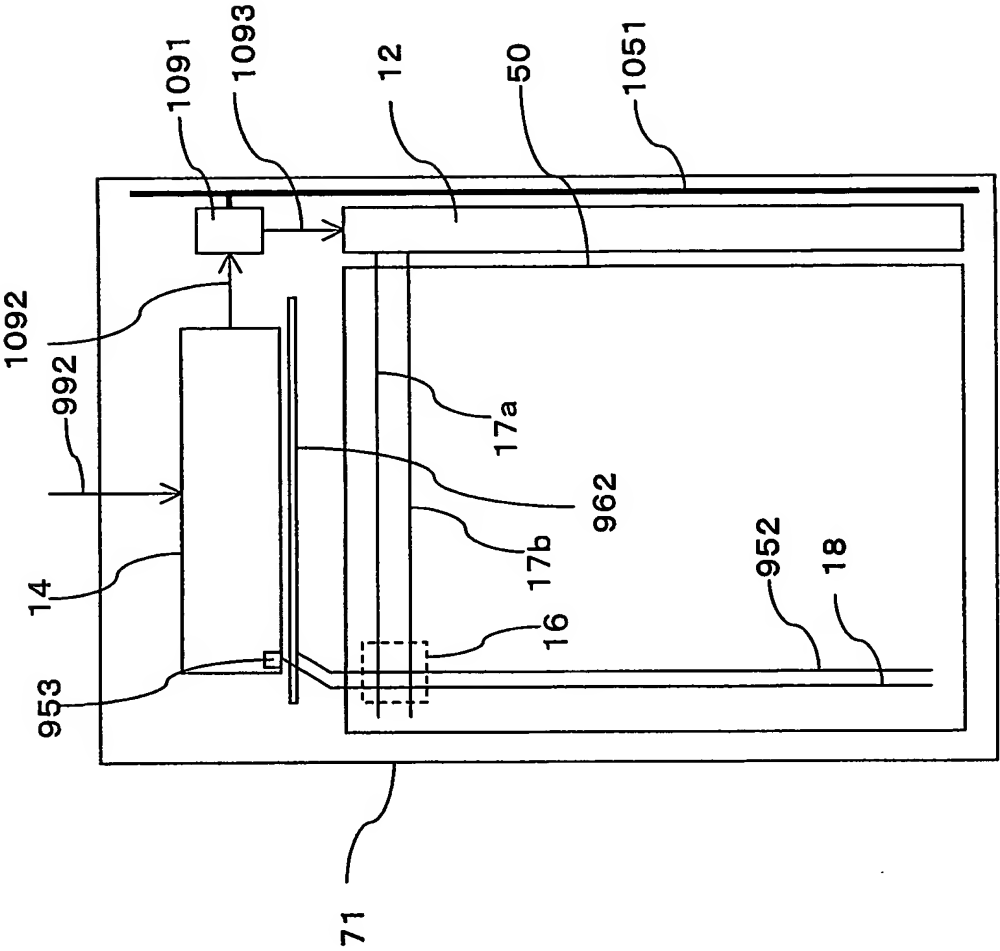
第107図

108/228

第108図

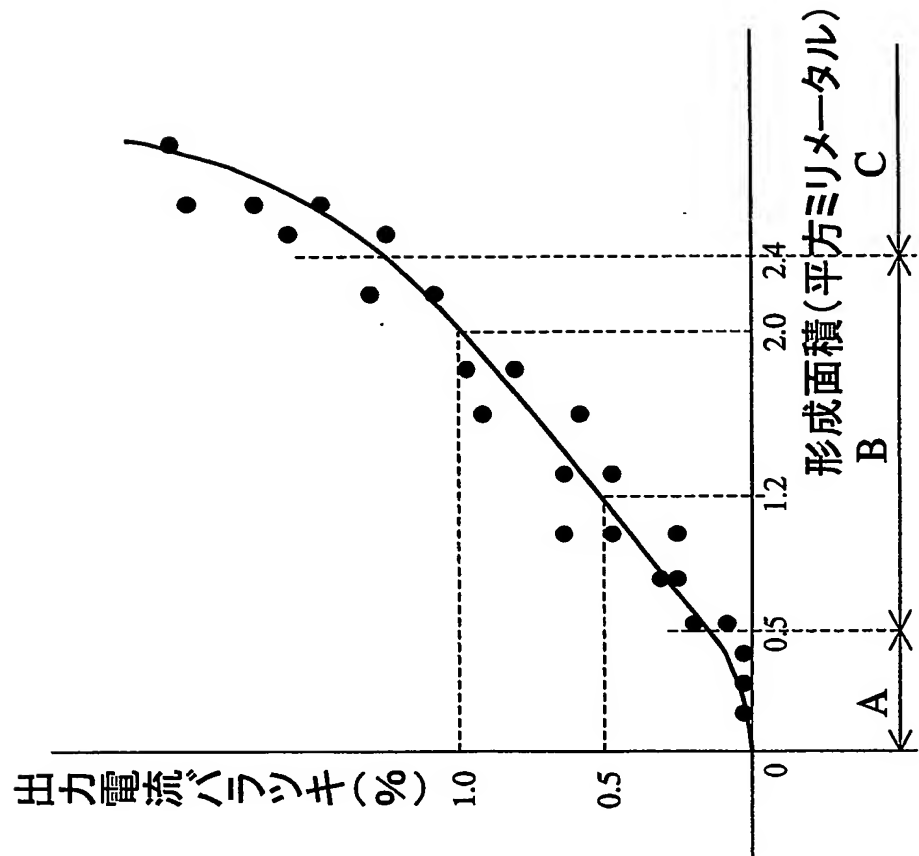


109/228



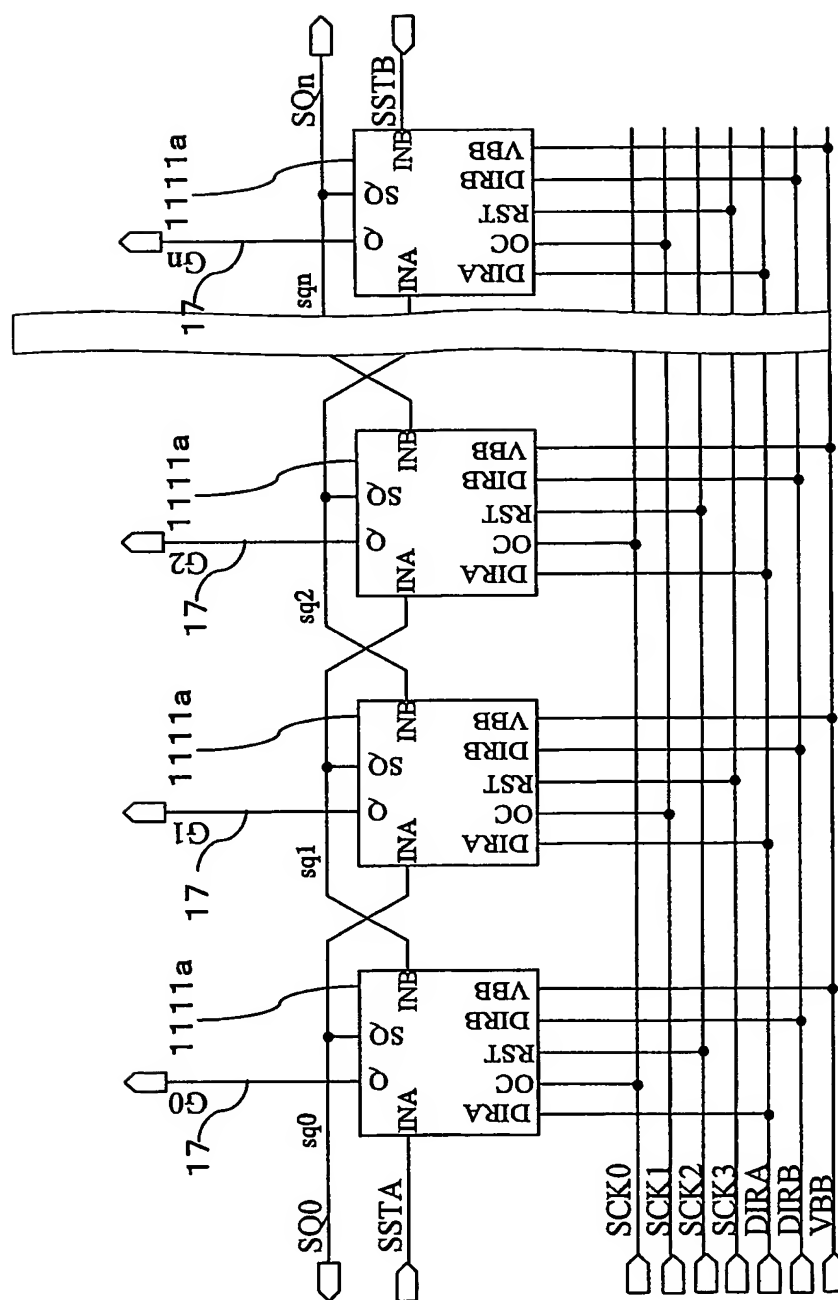
第109図

第110図

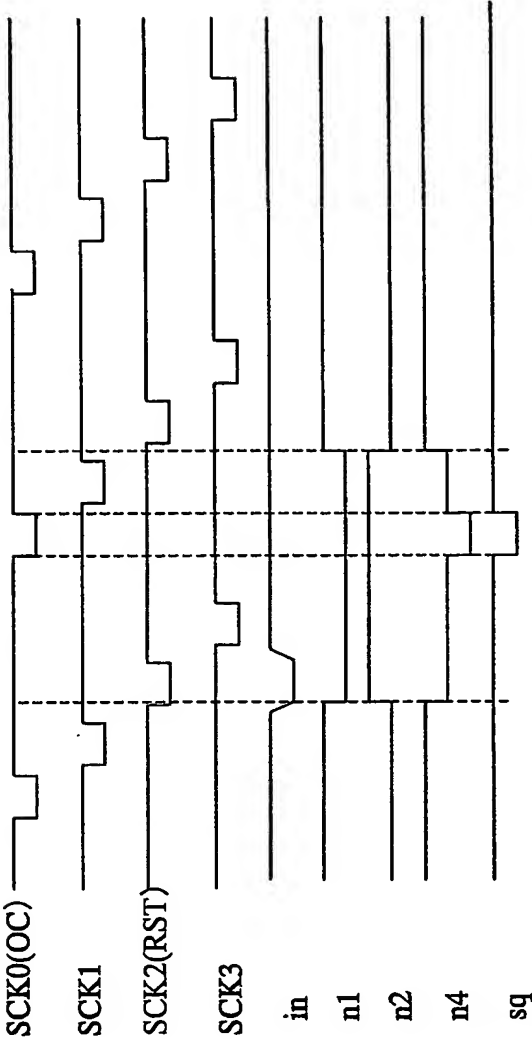


111/228

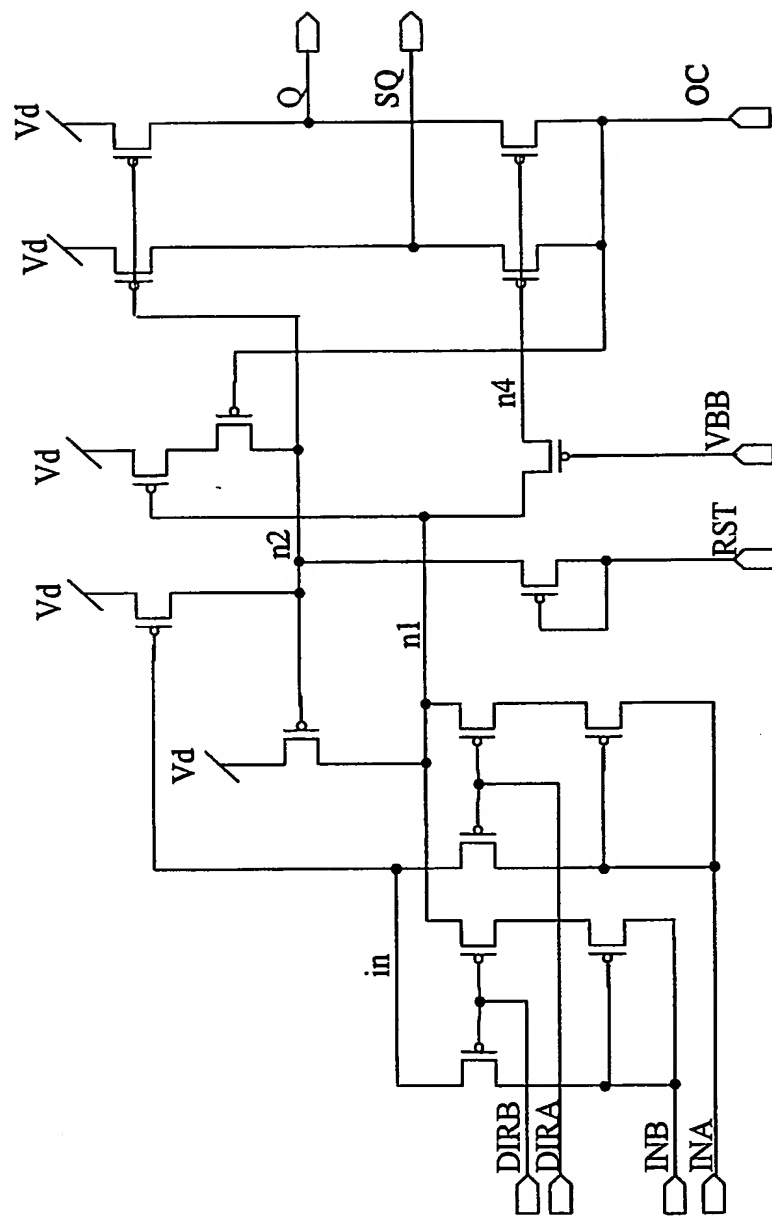
第111図



第112図

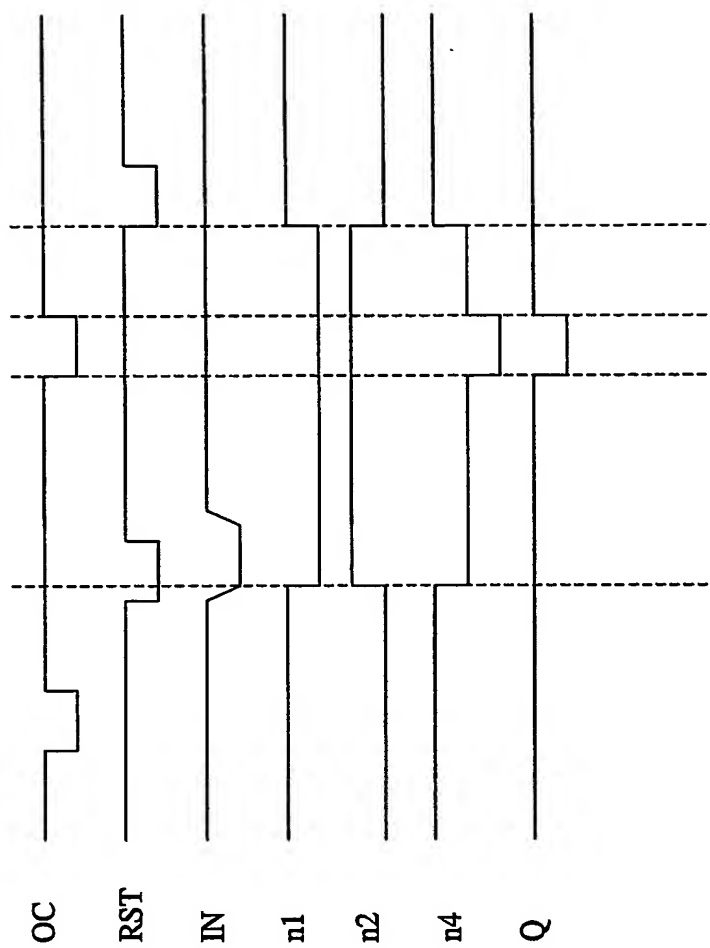


113/228

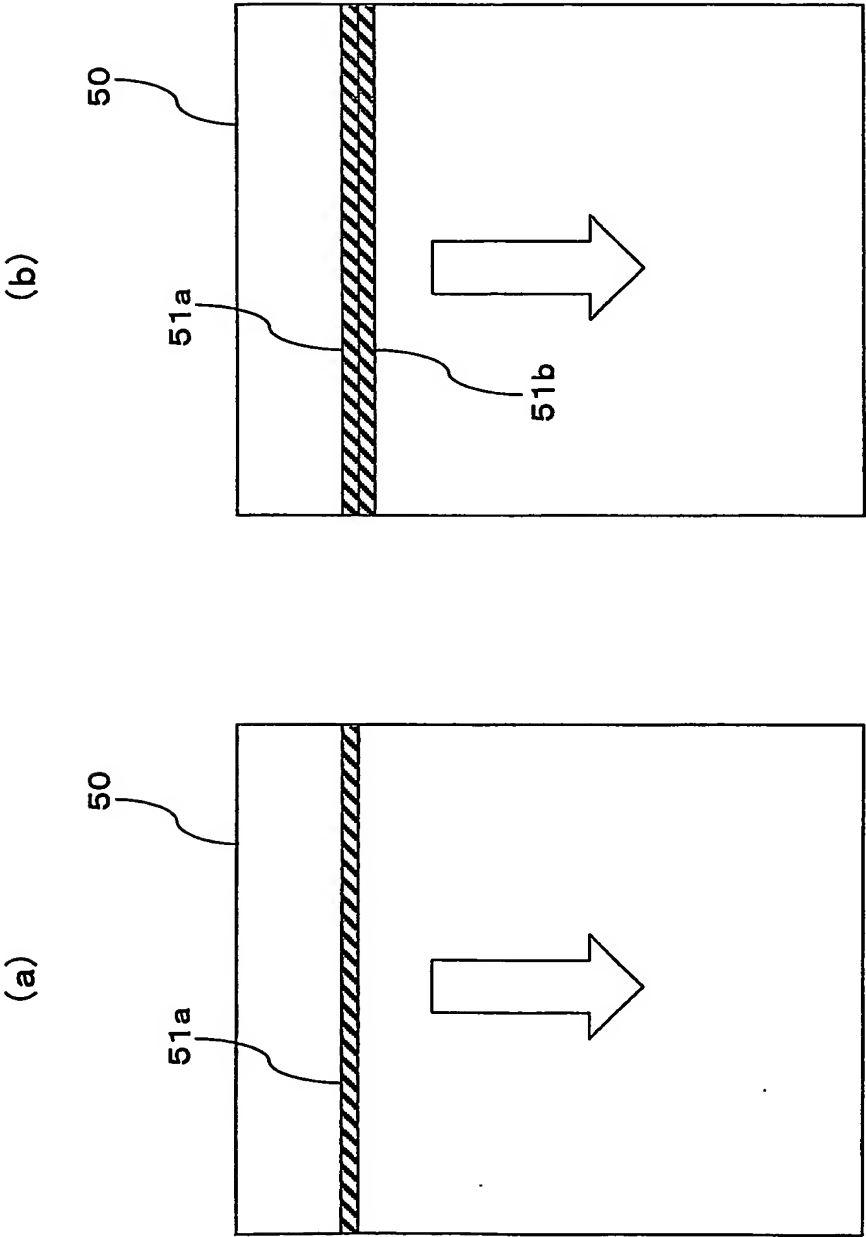


第113図

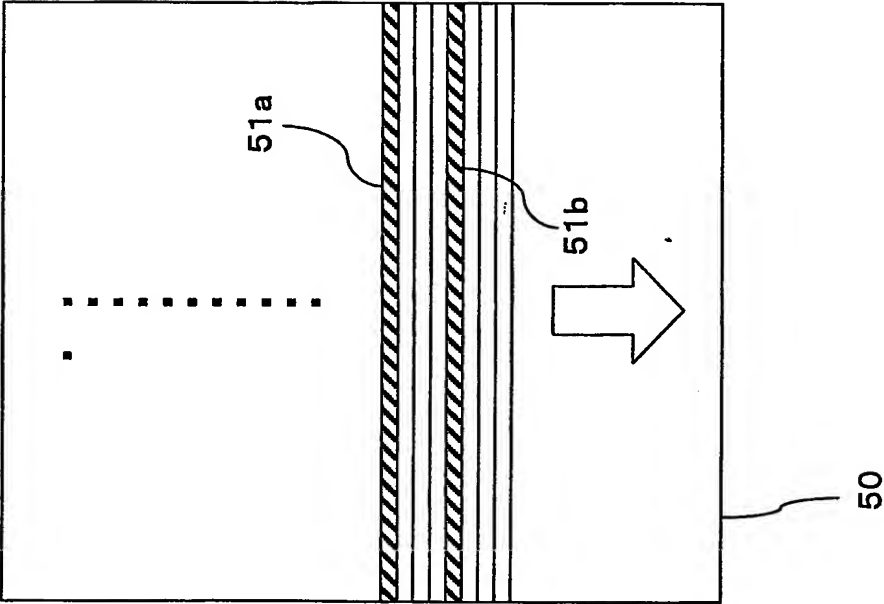
114/228



第114図



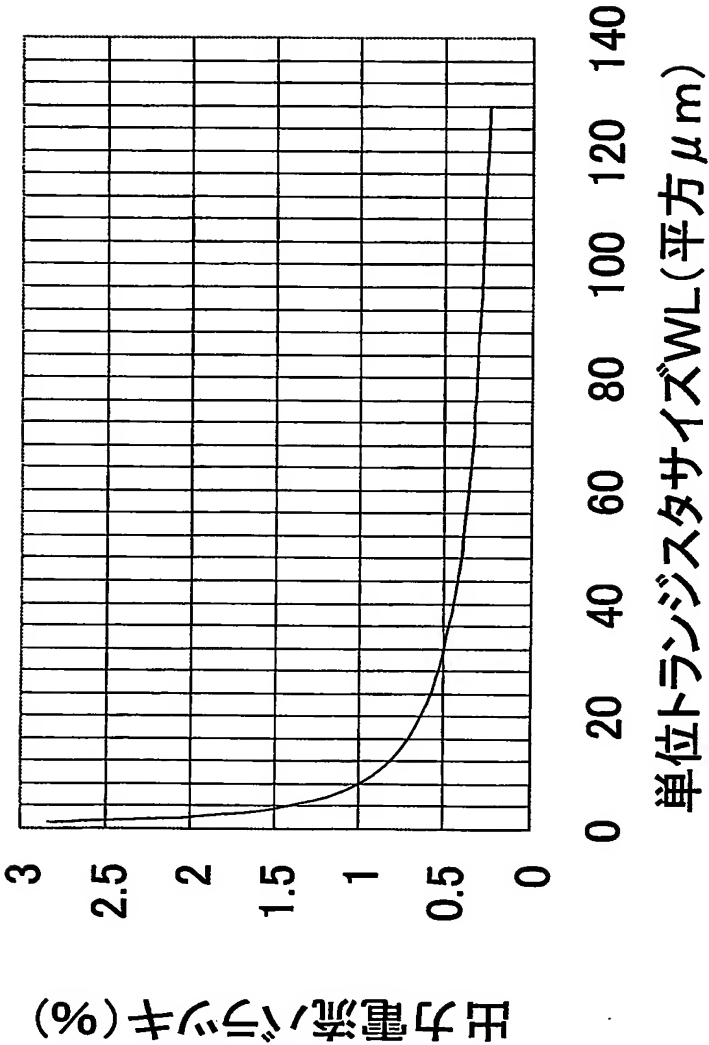
第115図



第116図

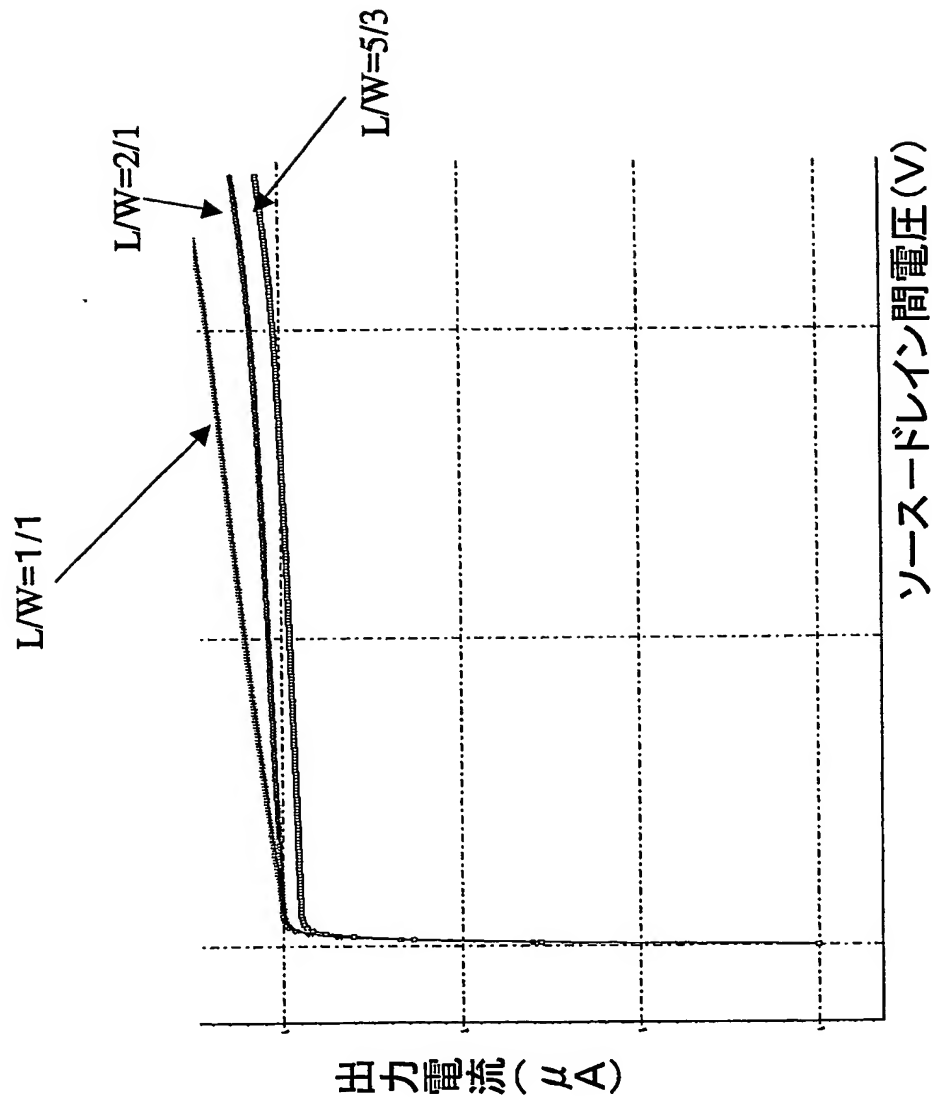
117/228

第117図



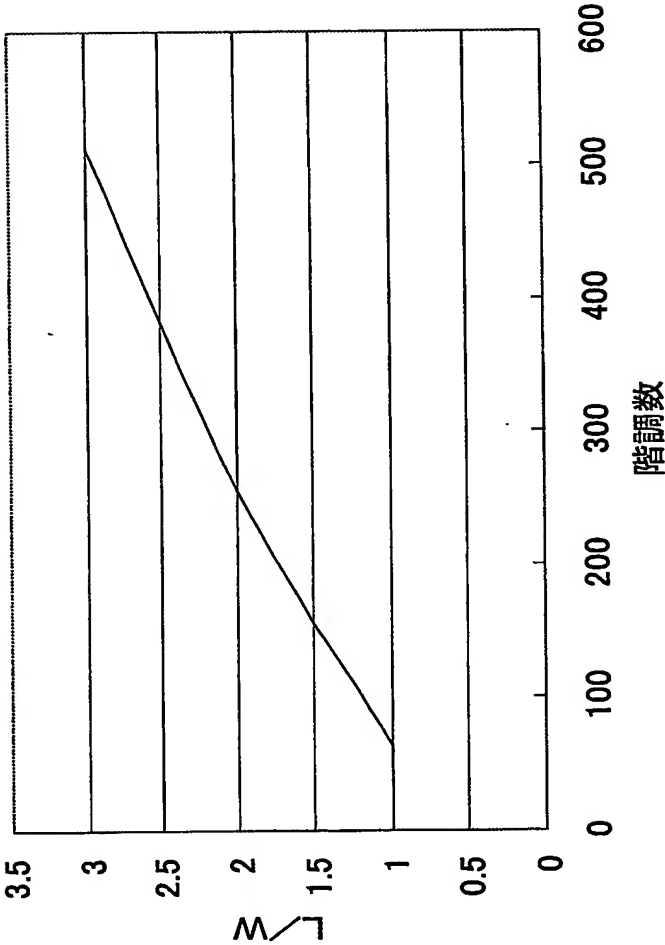
118/228

第118図



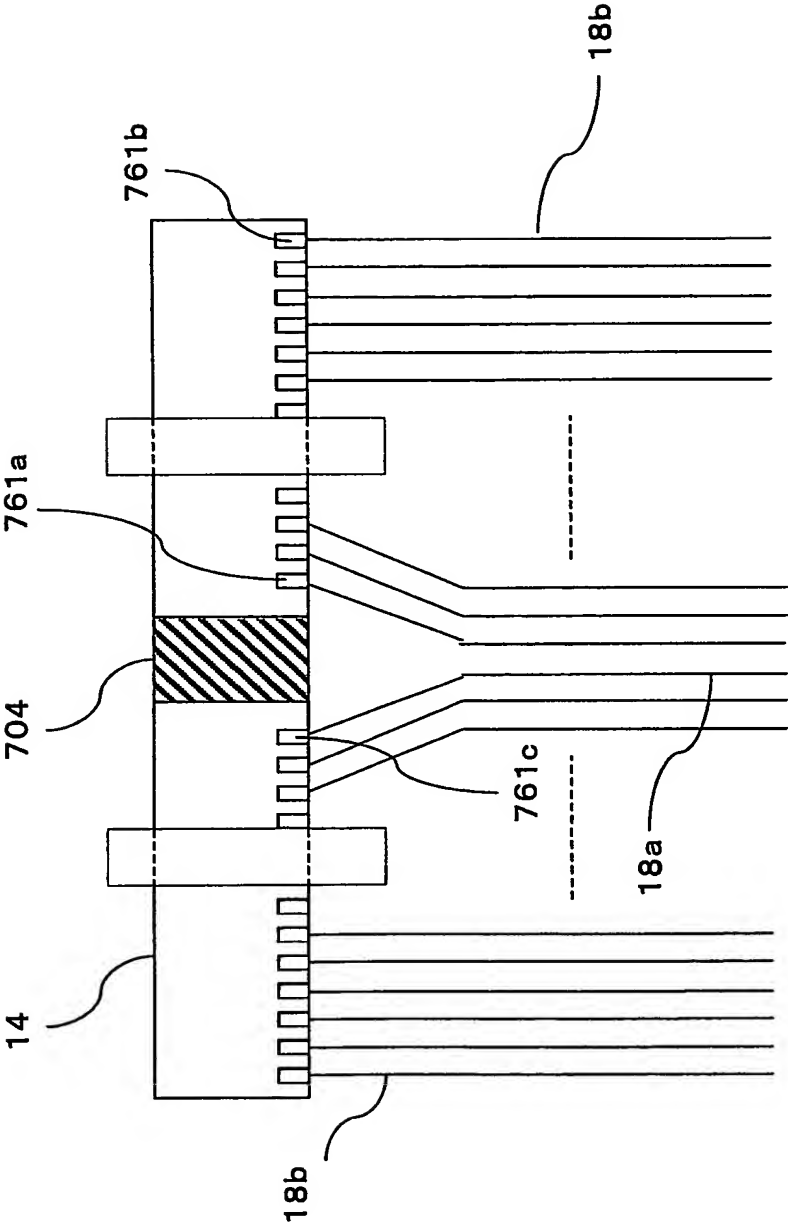
119/228

第119図

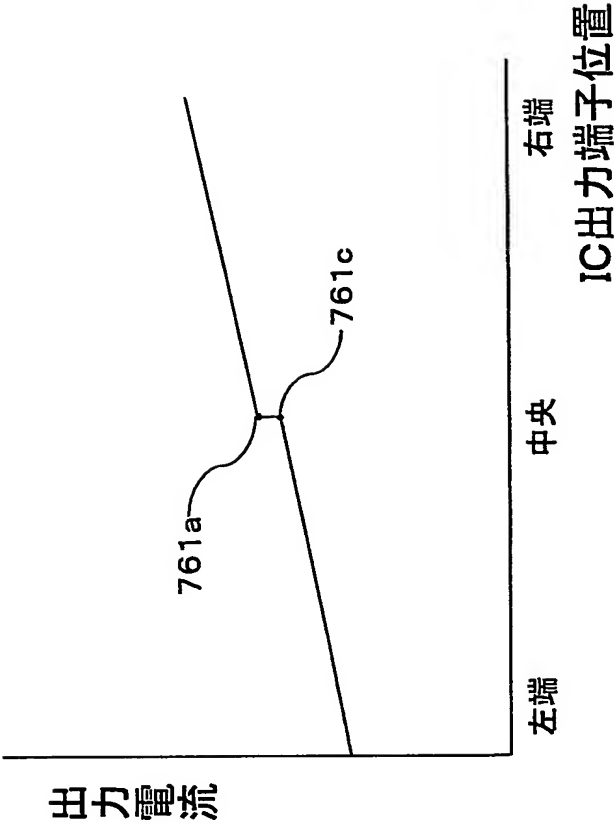


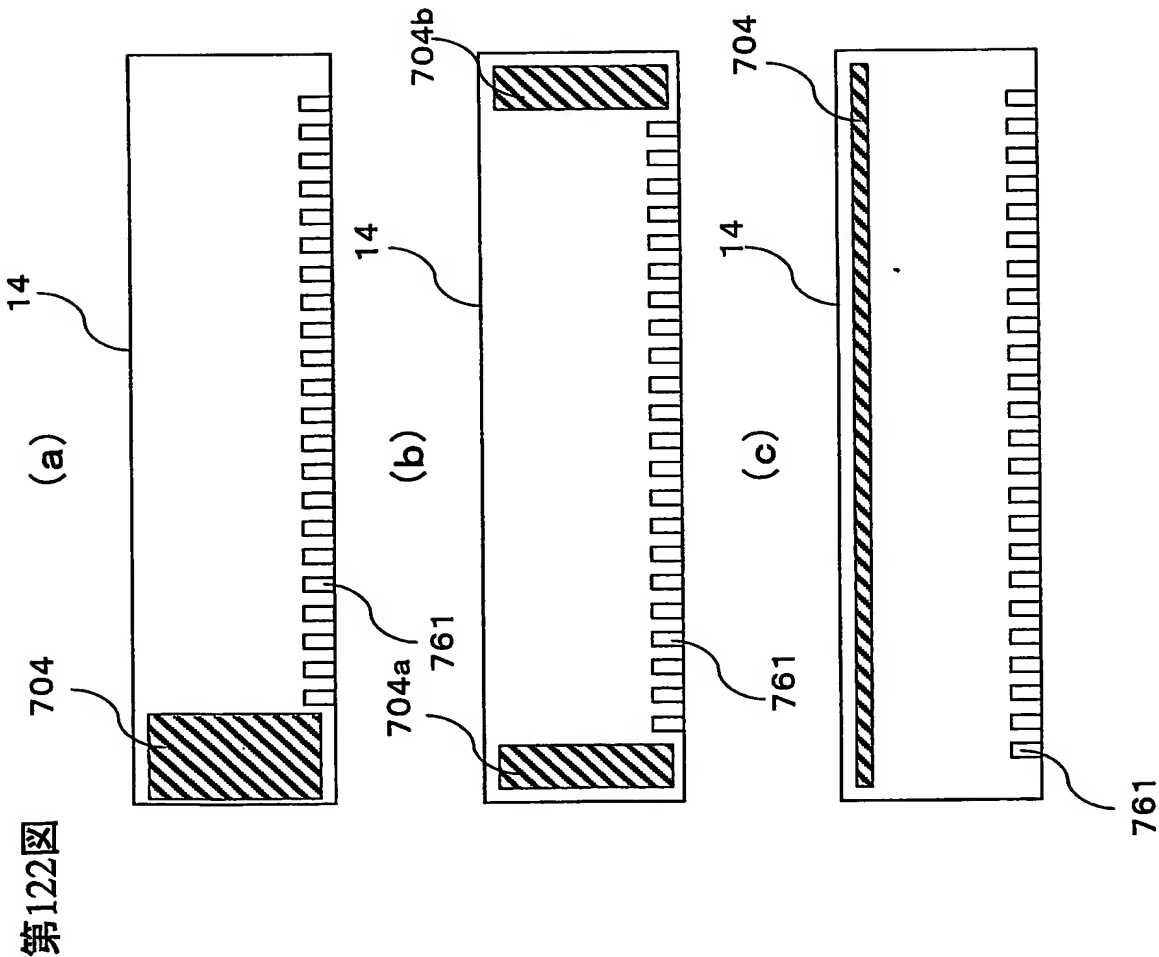
120/228

第120図



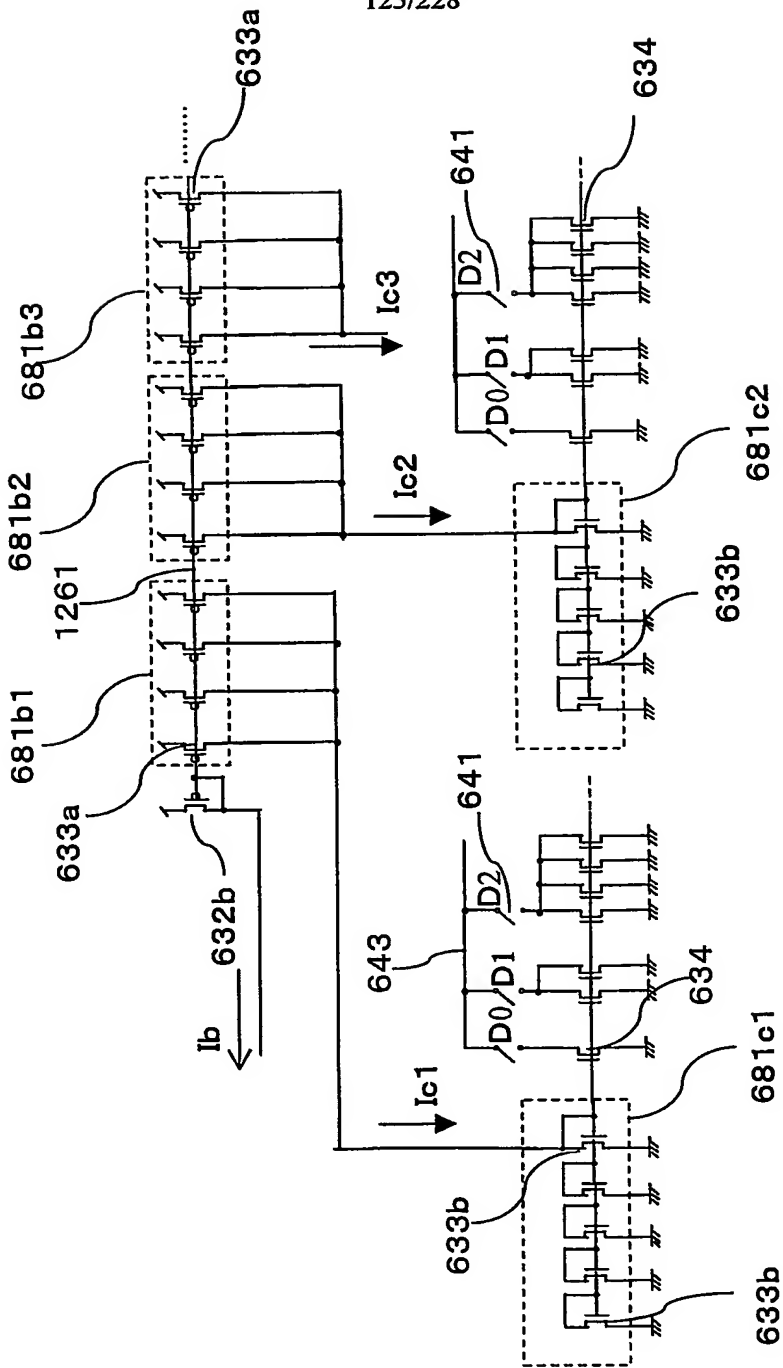
第121図



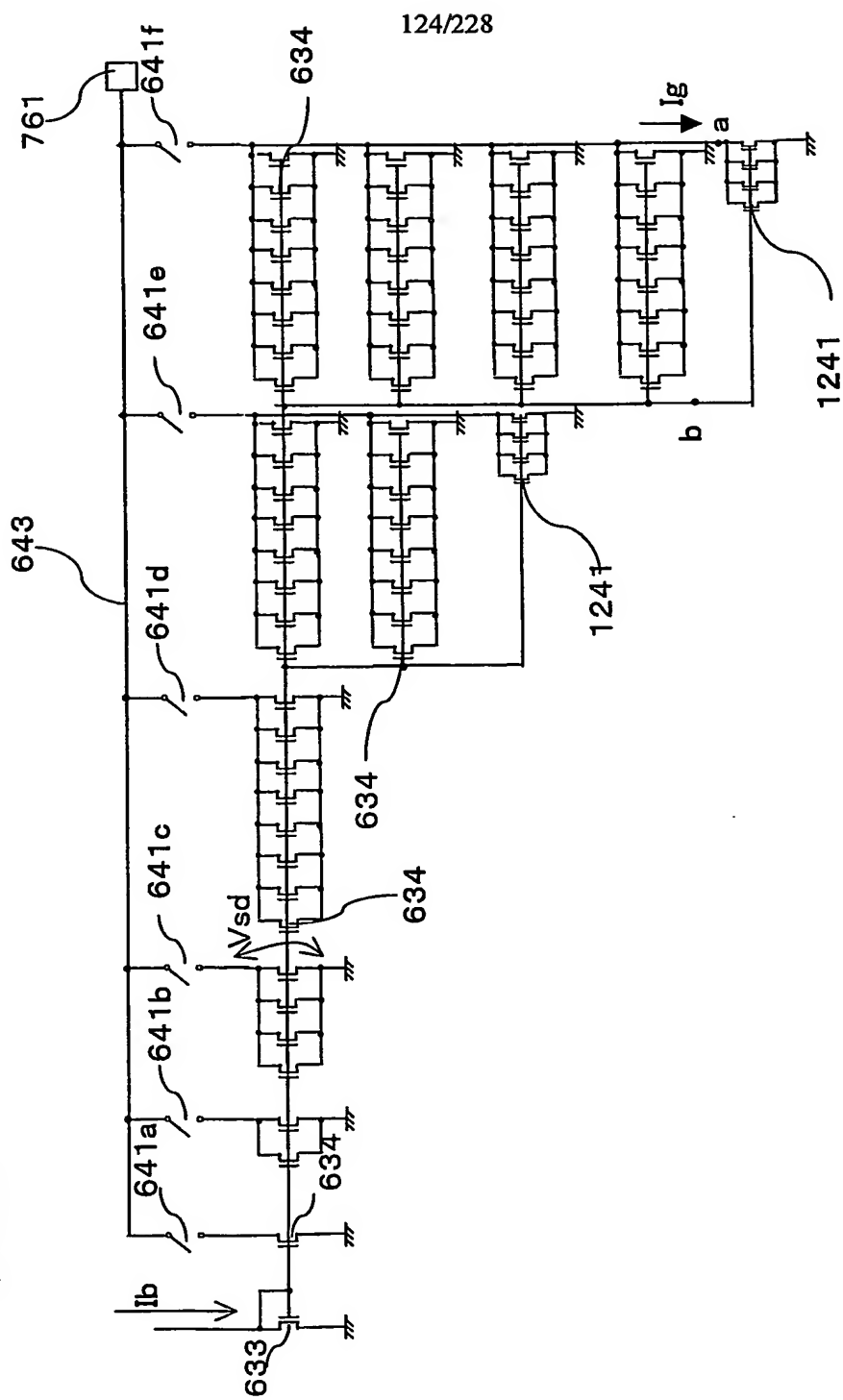


123/228

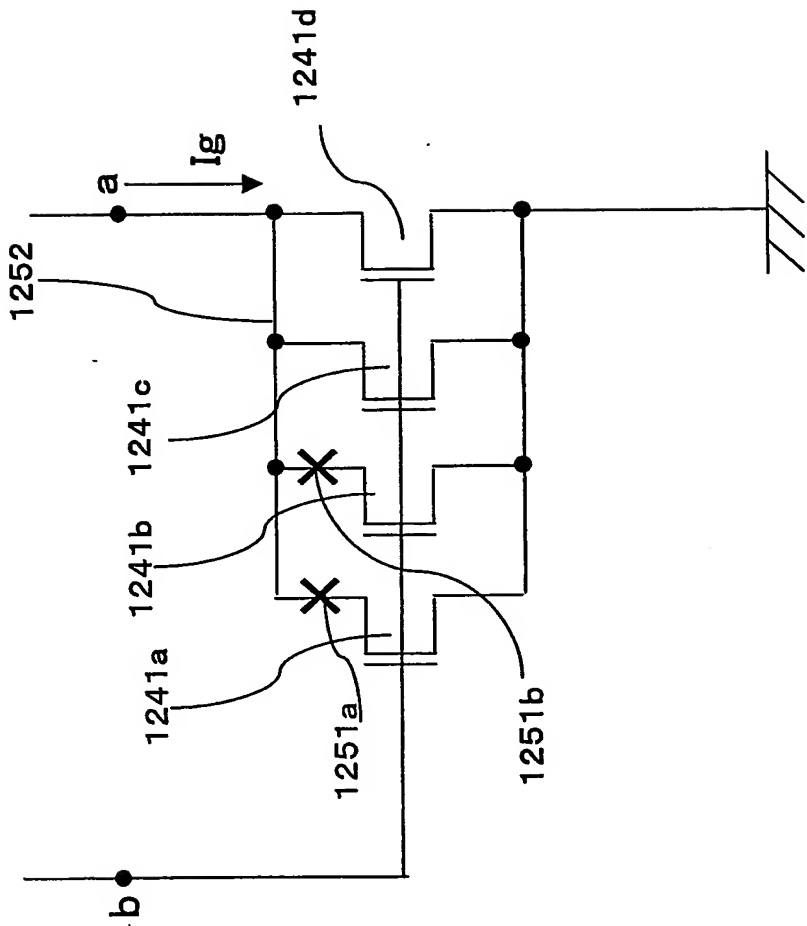
第123図



第124図

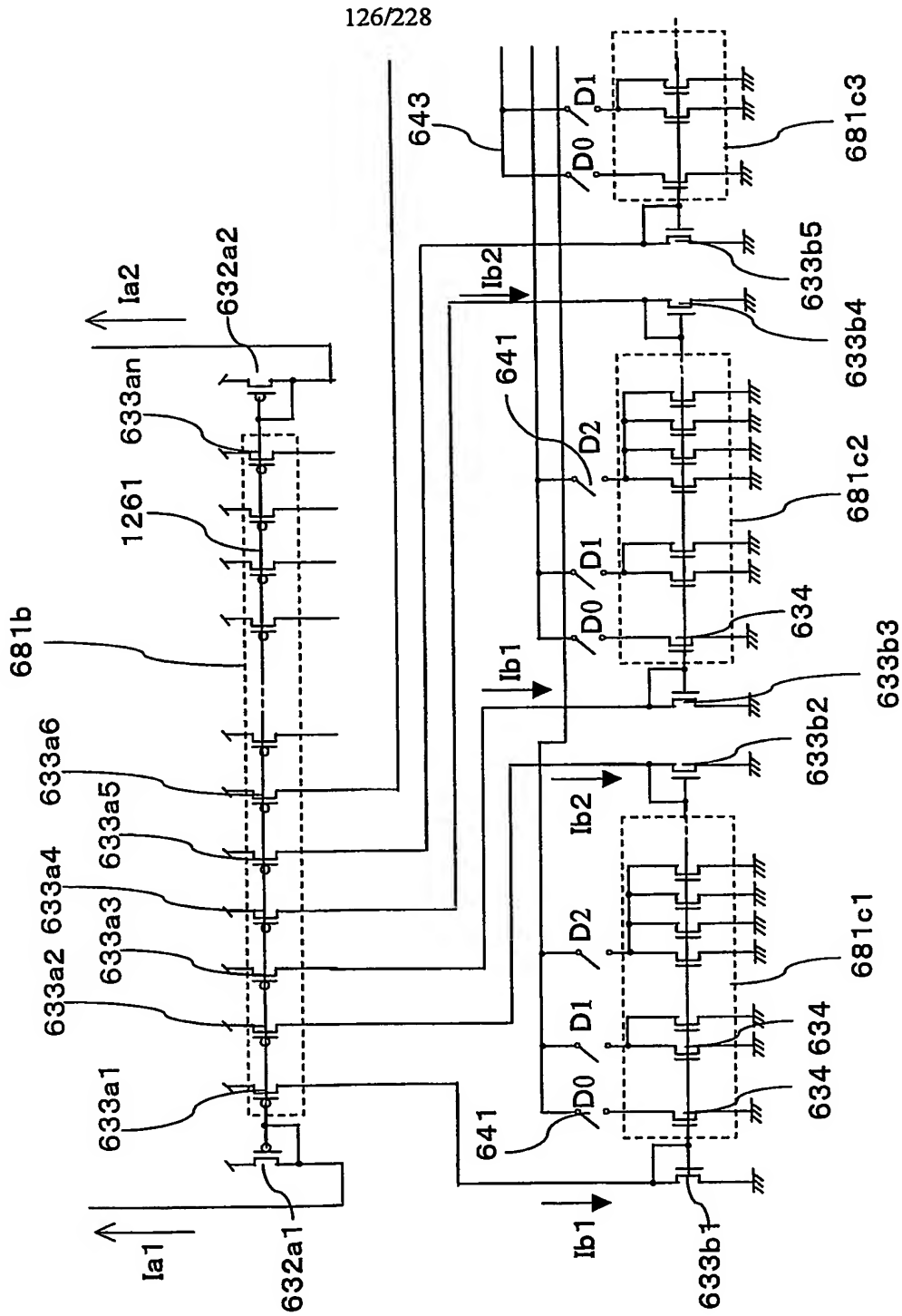


125/228

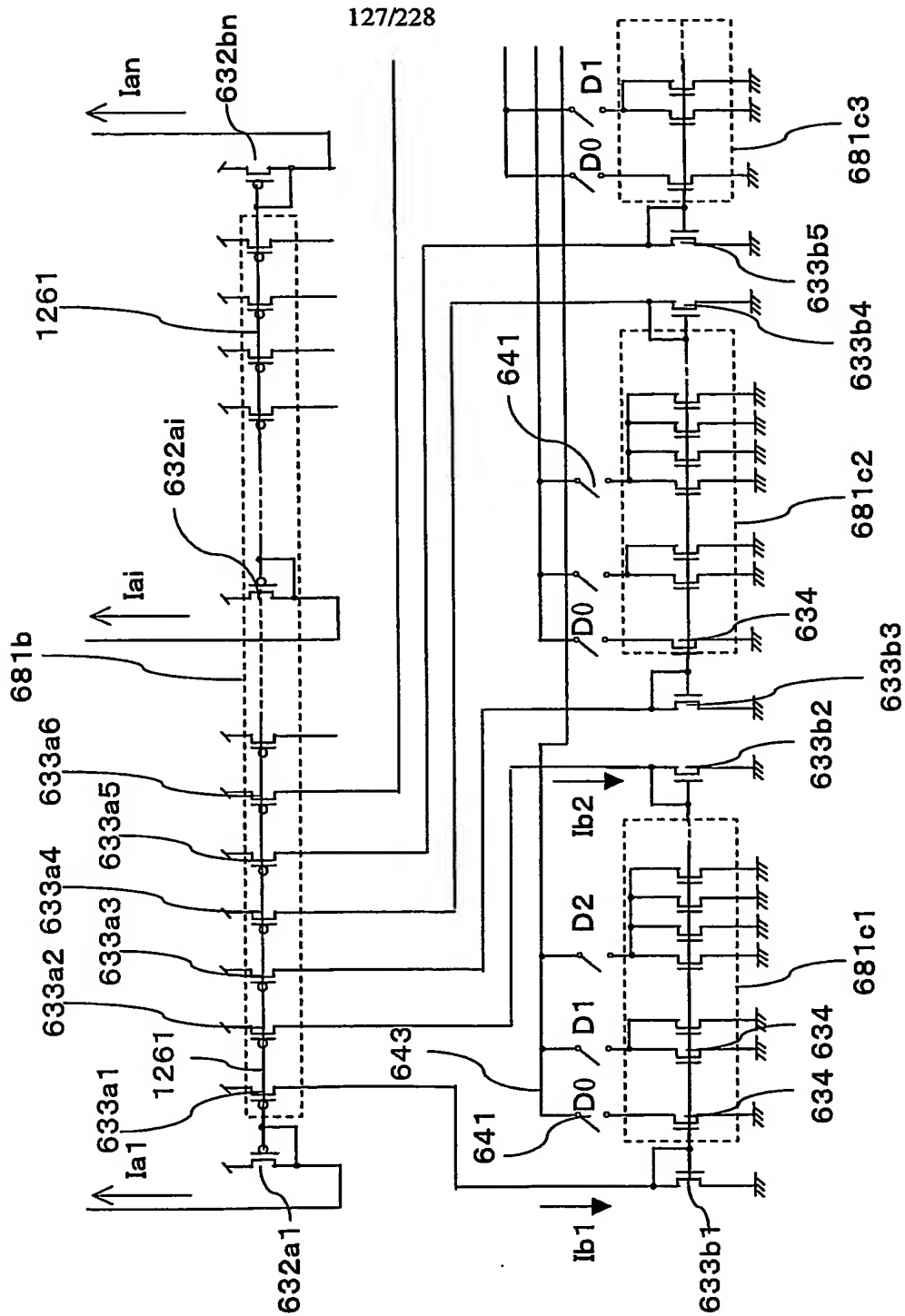


第125図

第126図

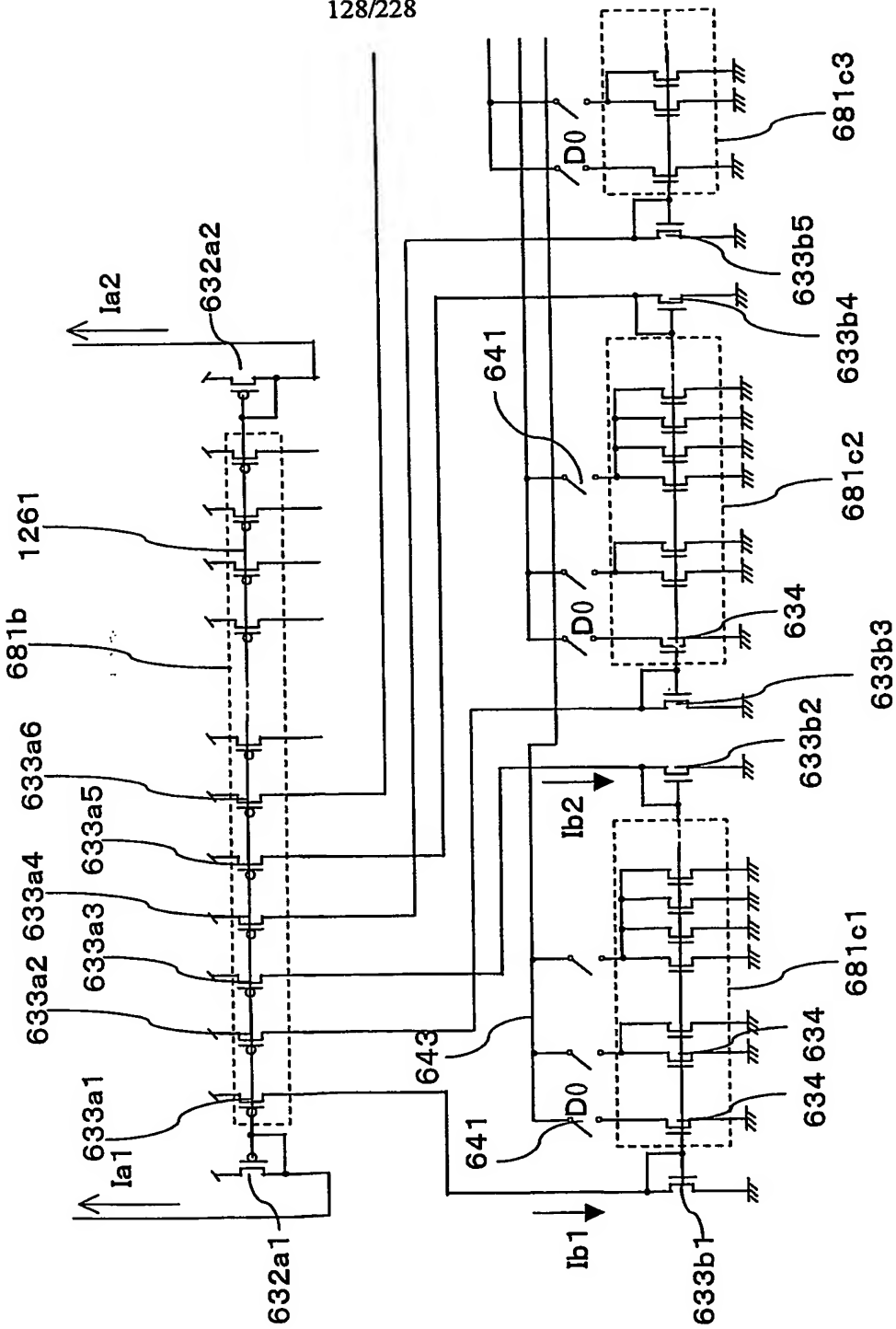


第127図

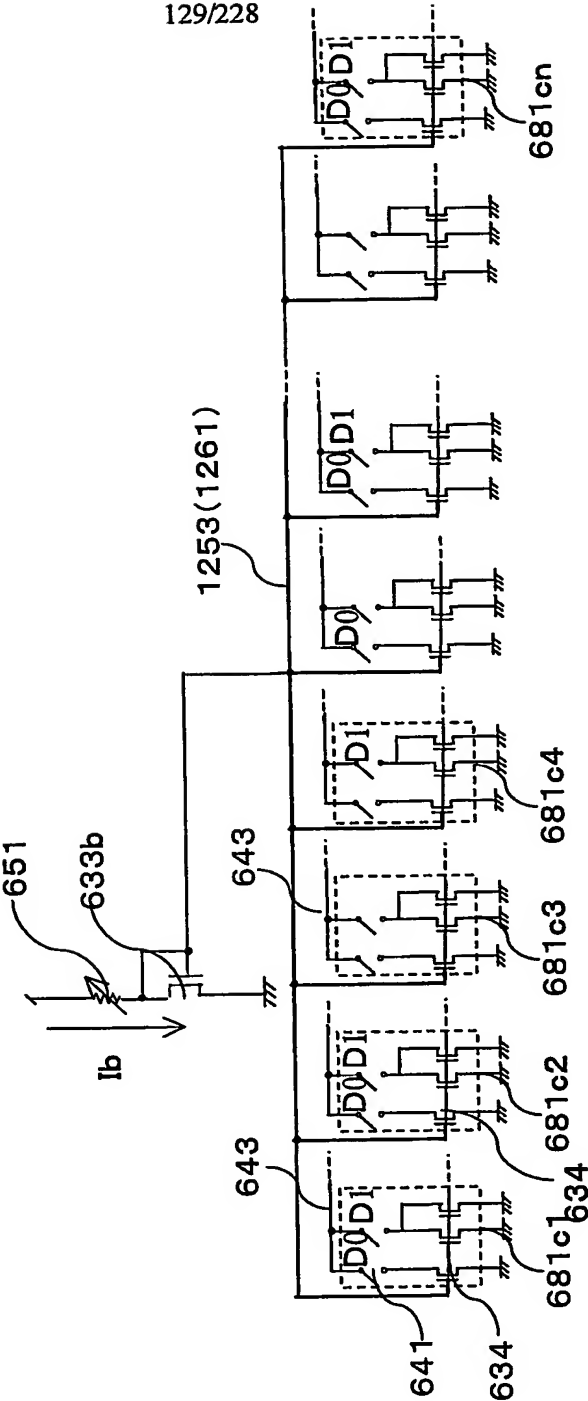


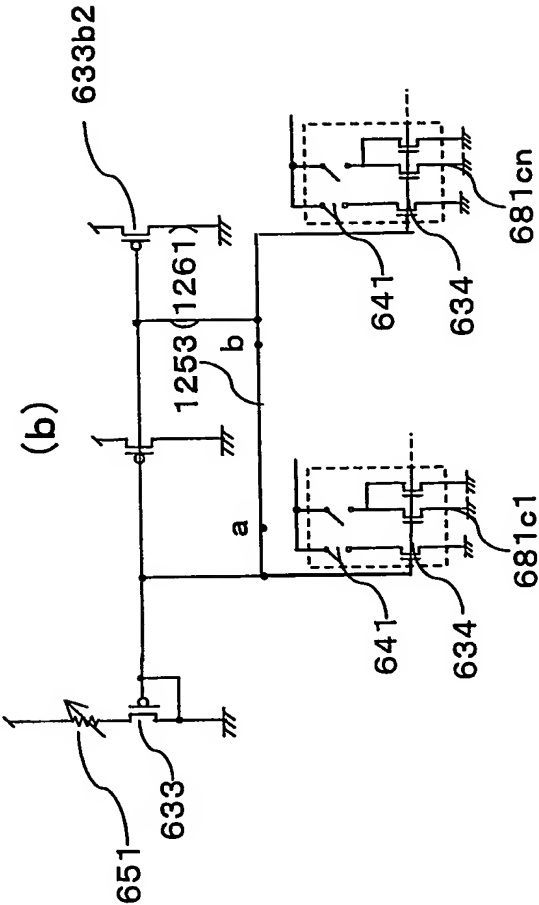
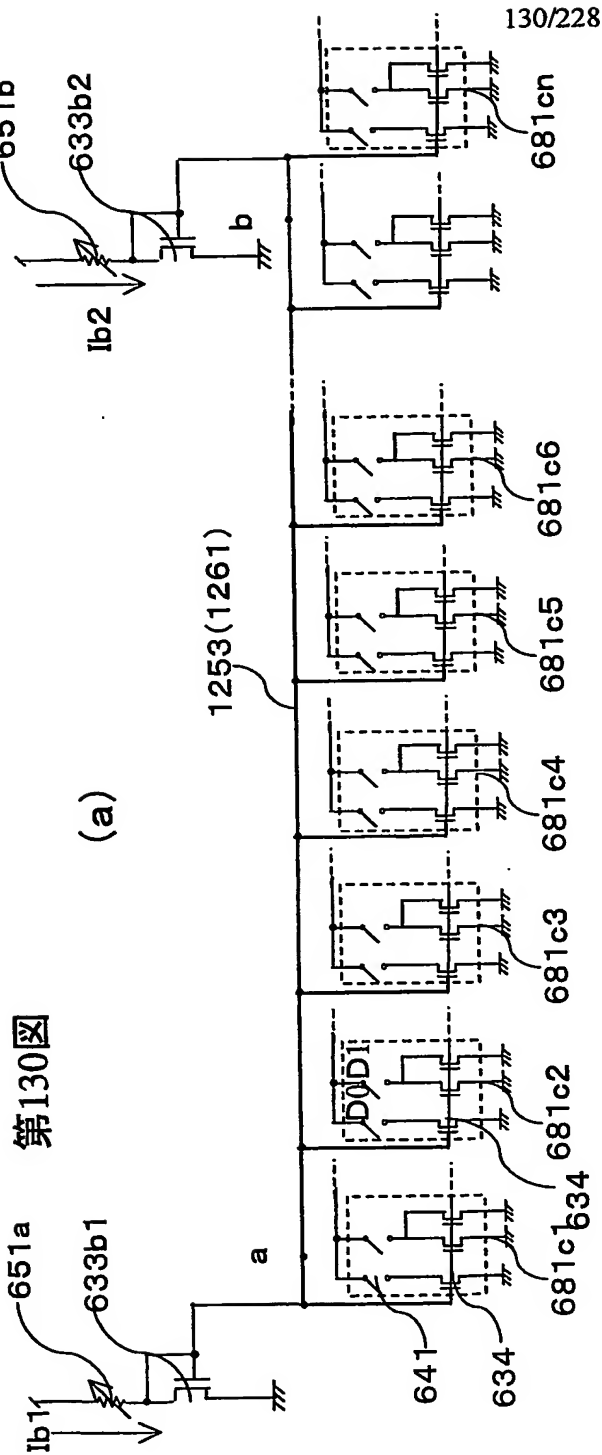
128/228

第128図



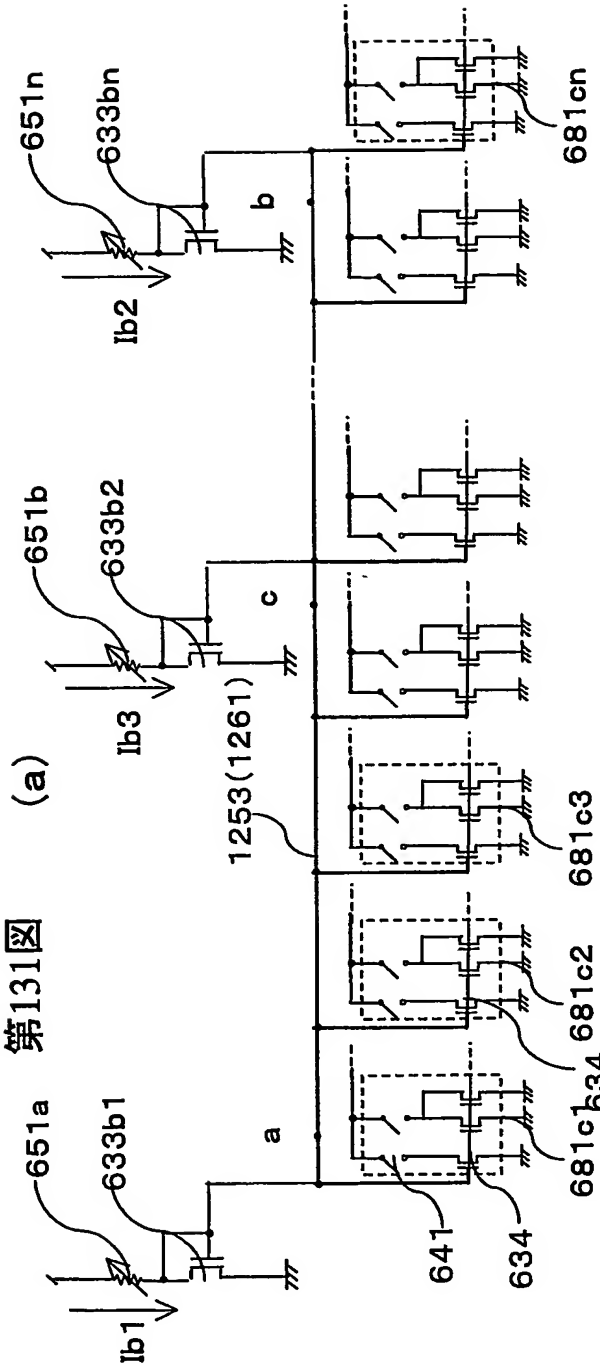
第129図



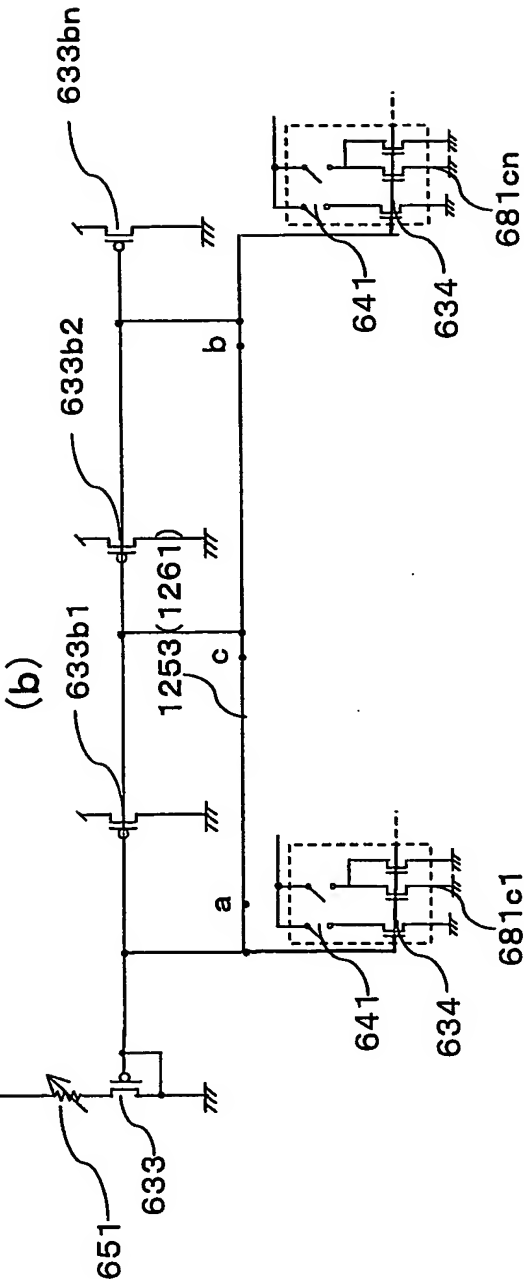


第131図

(a)

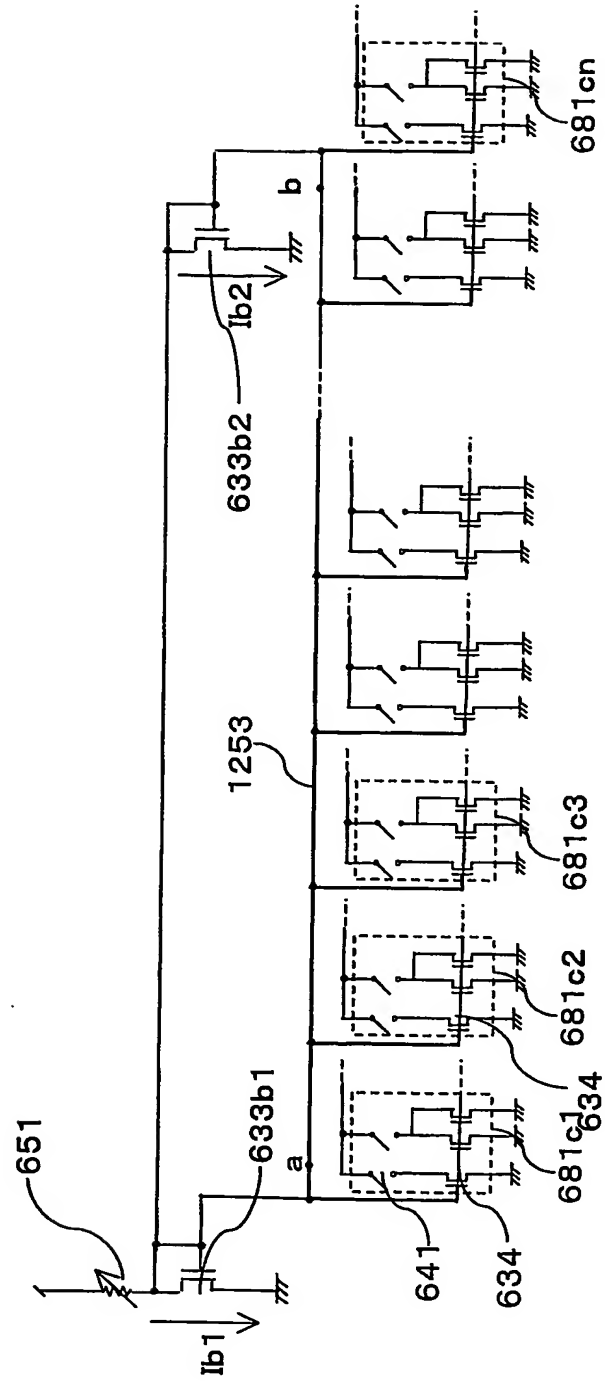


(b)

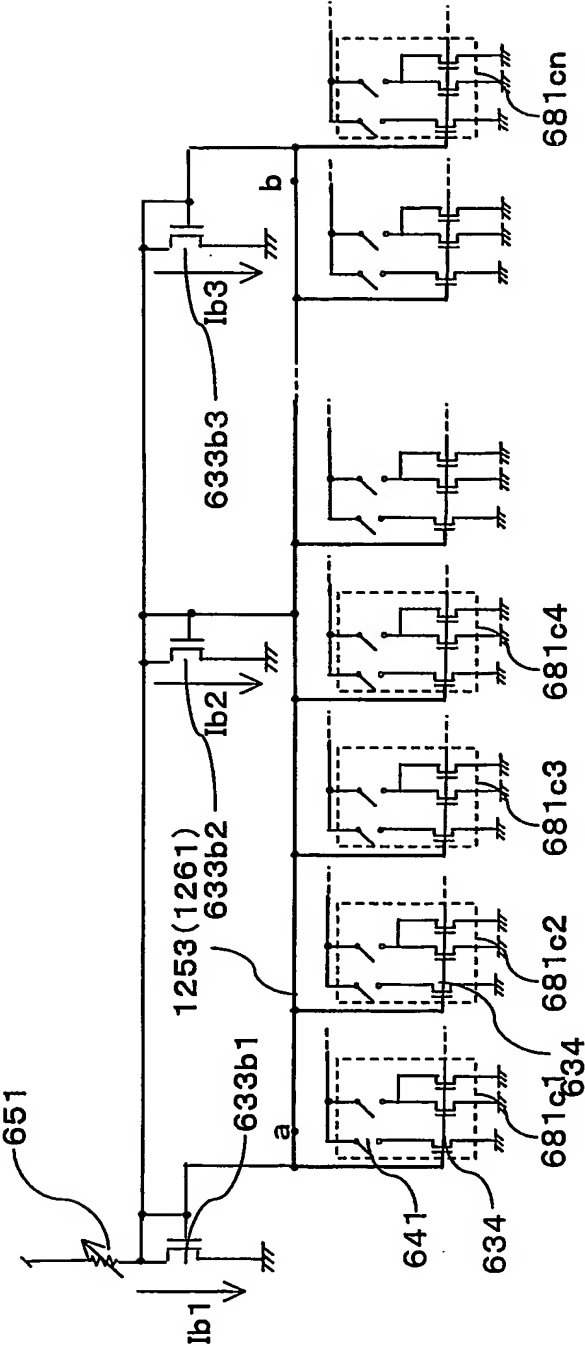


132/228

第132図

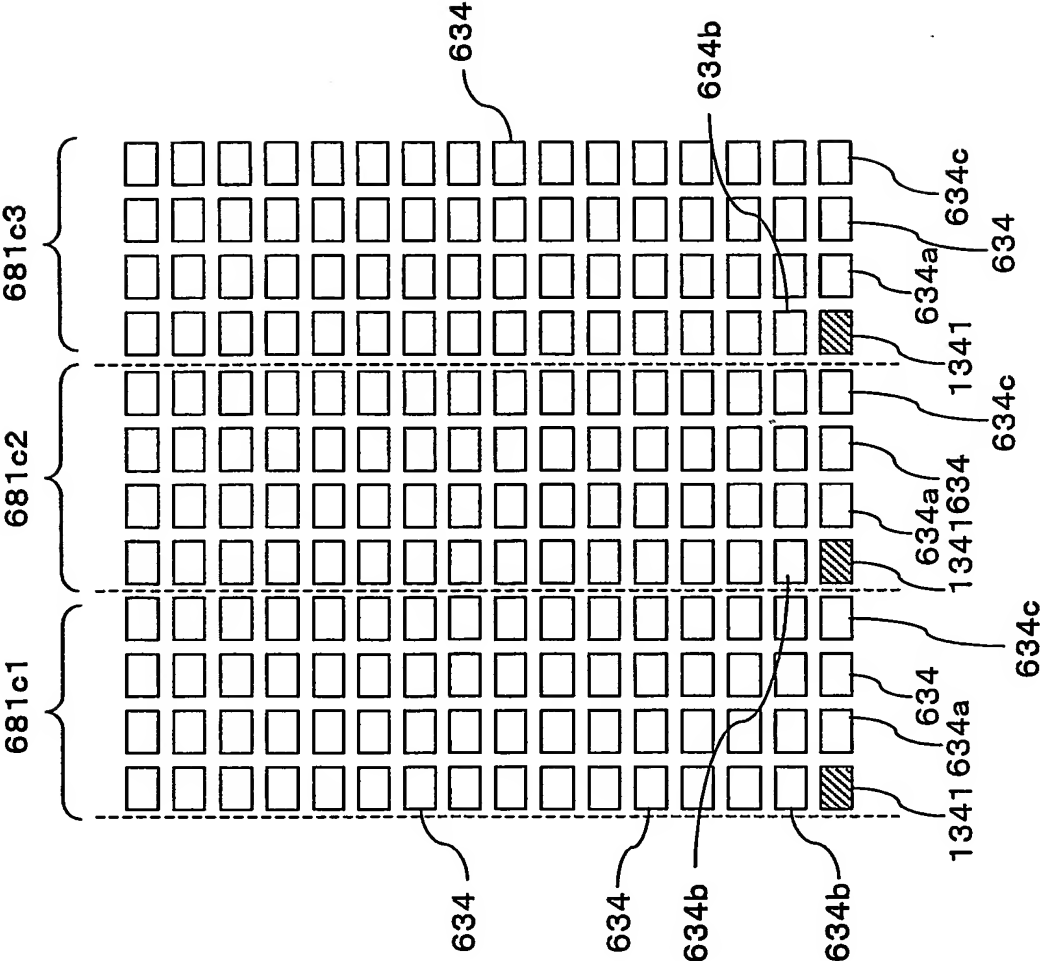


第133図

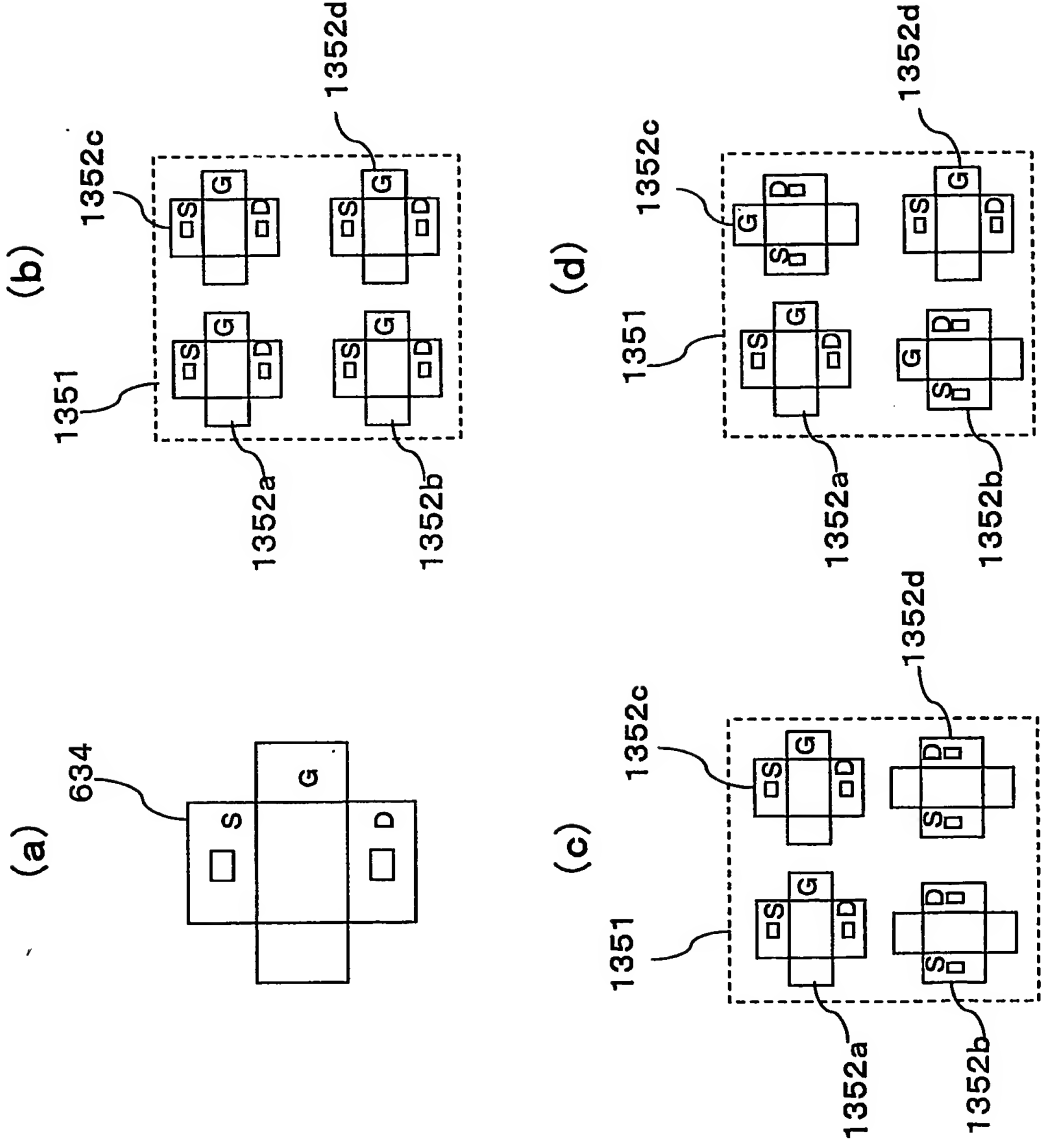


134/228

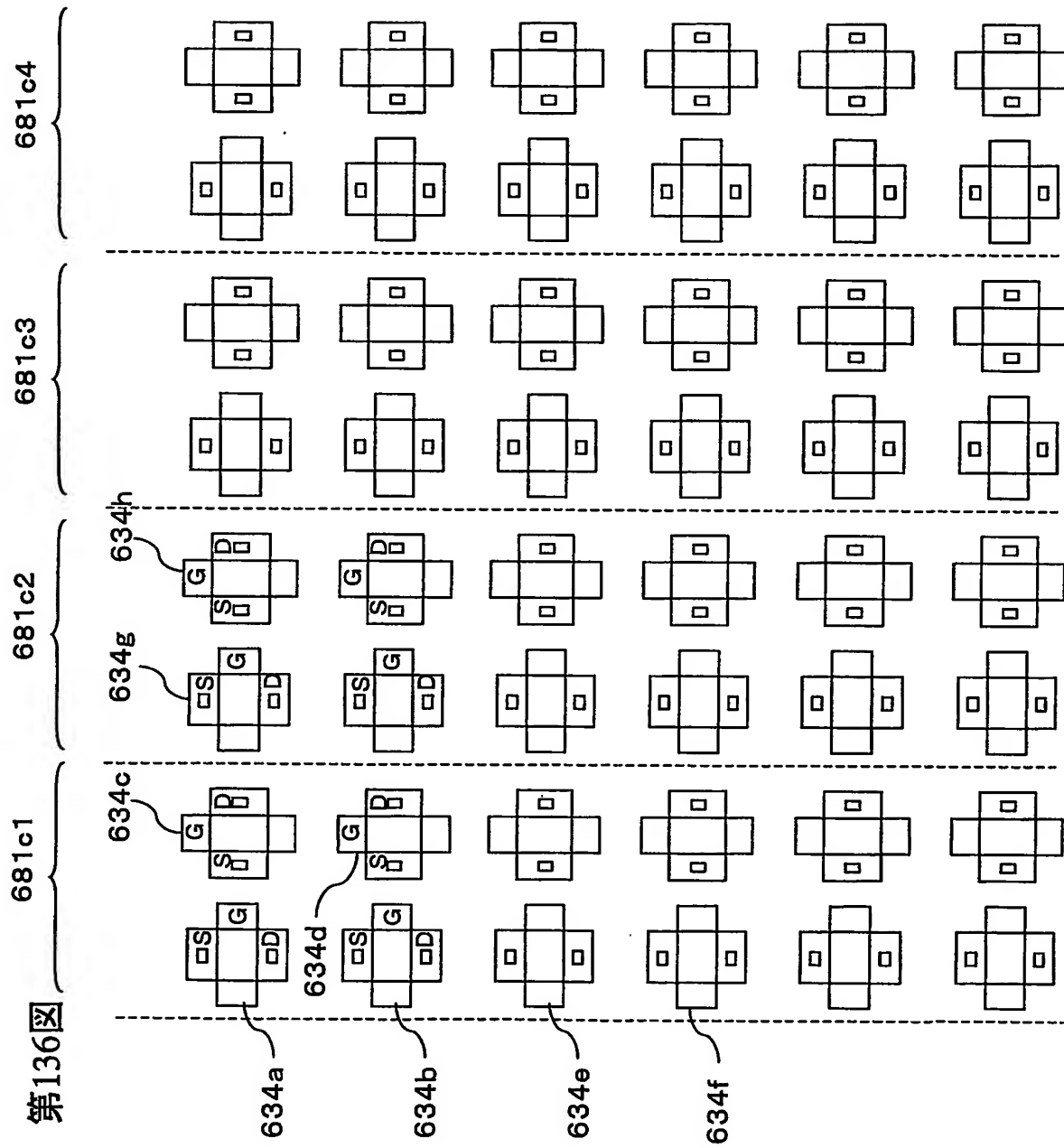
第134図



第135図

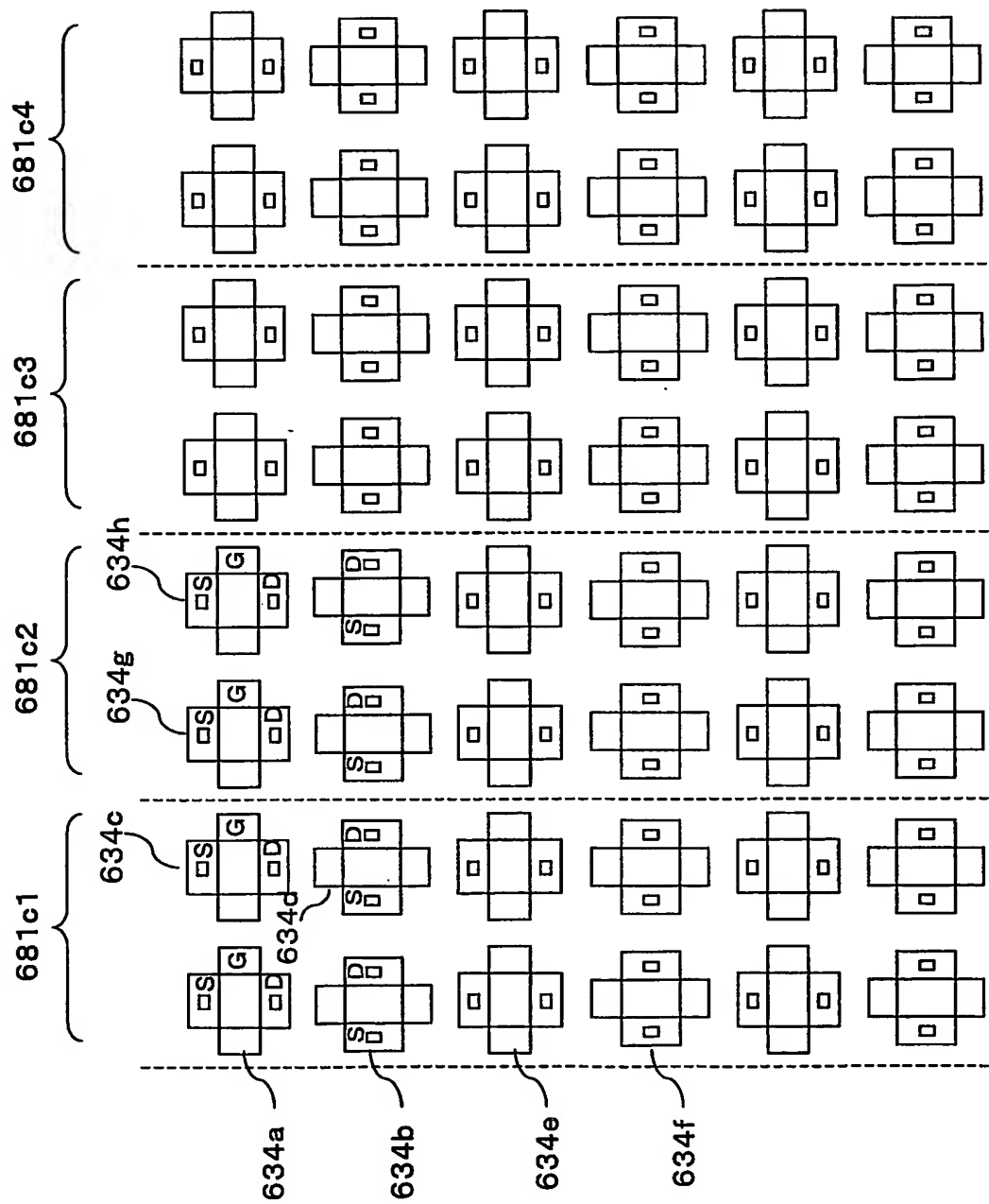


136/228

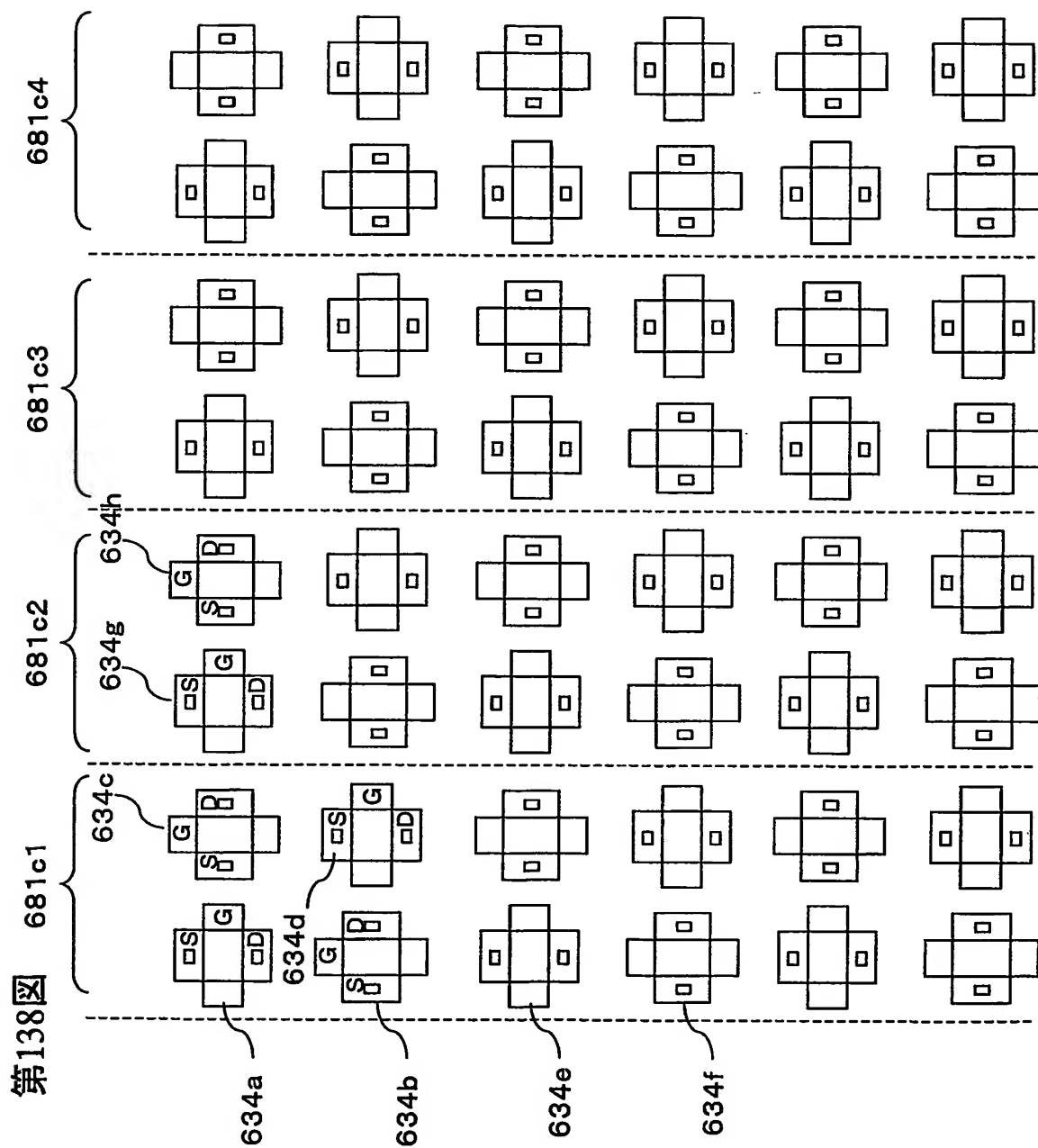


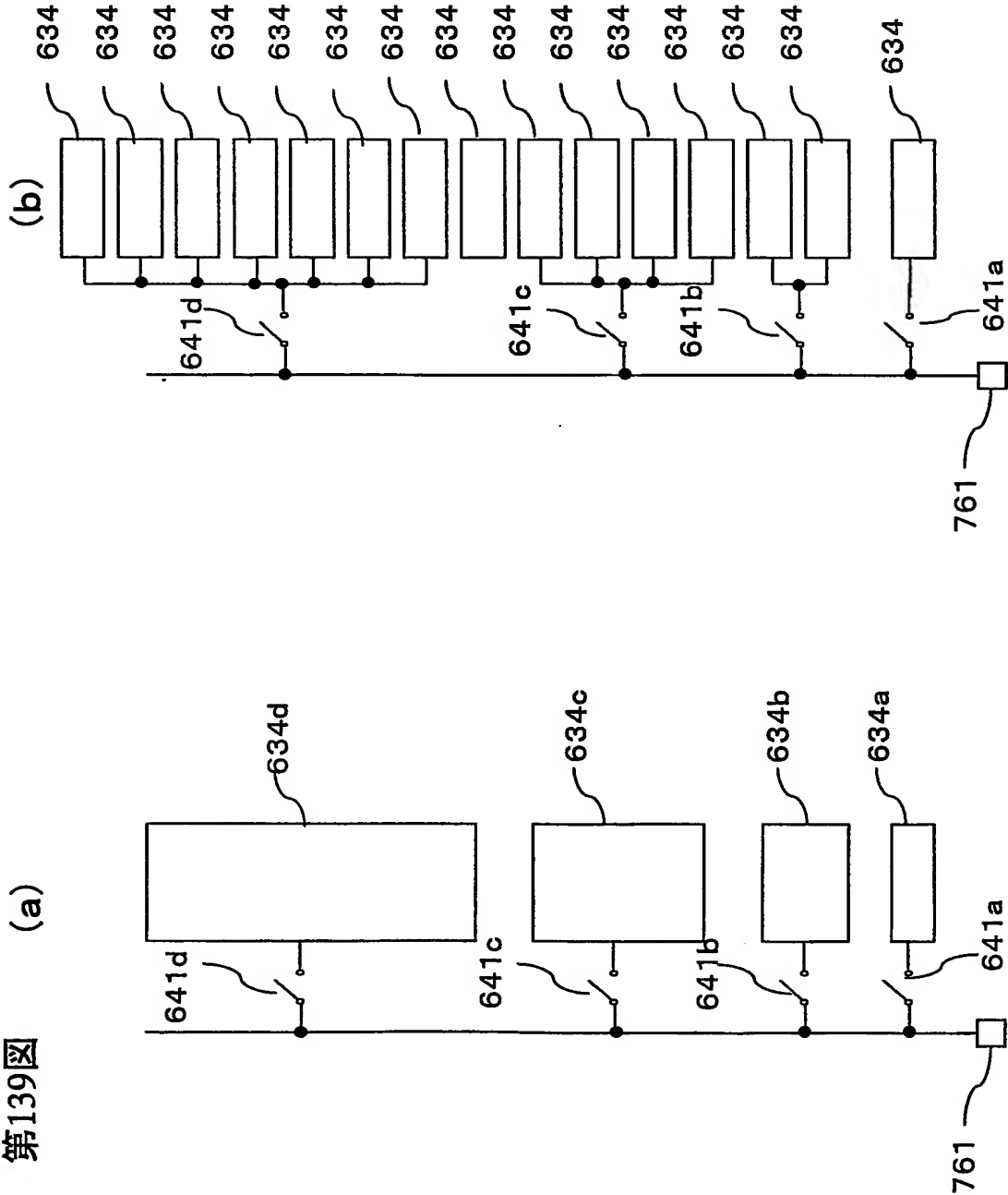
137/228

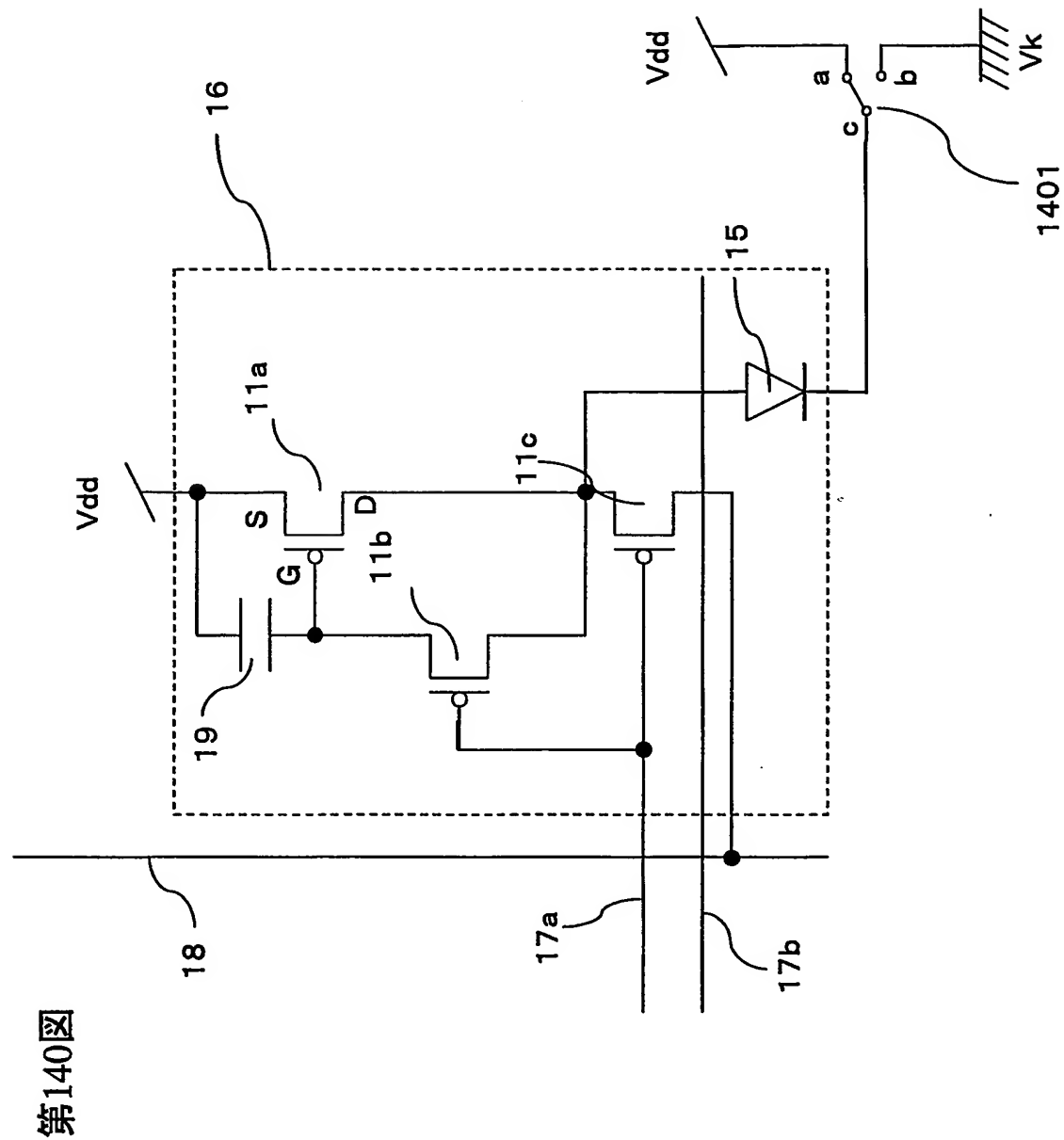
第137図



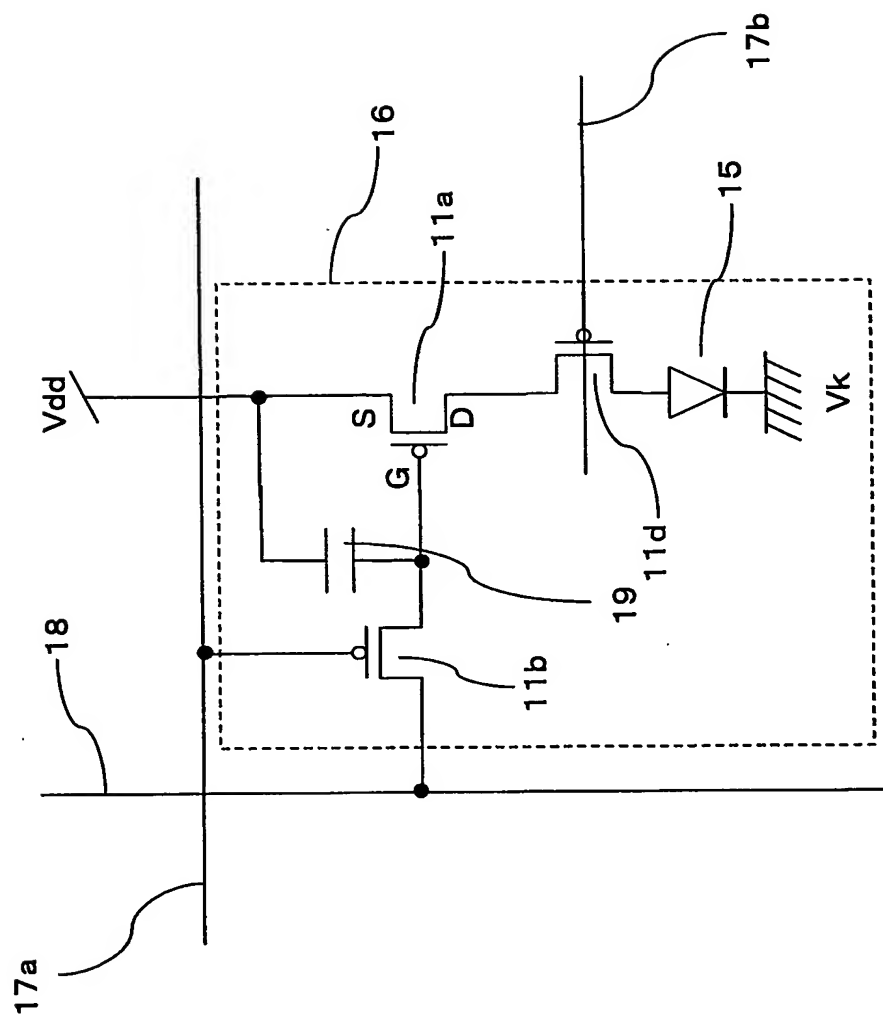
138/228







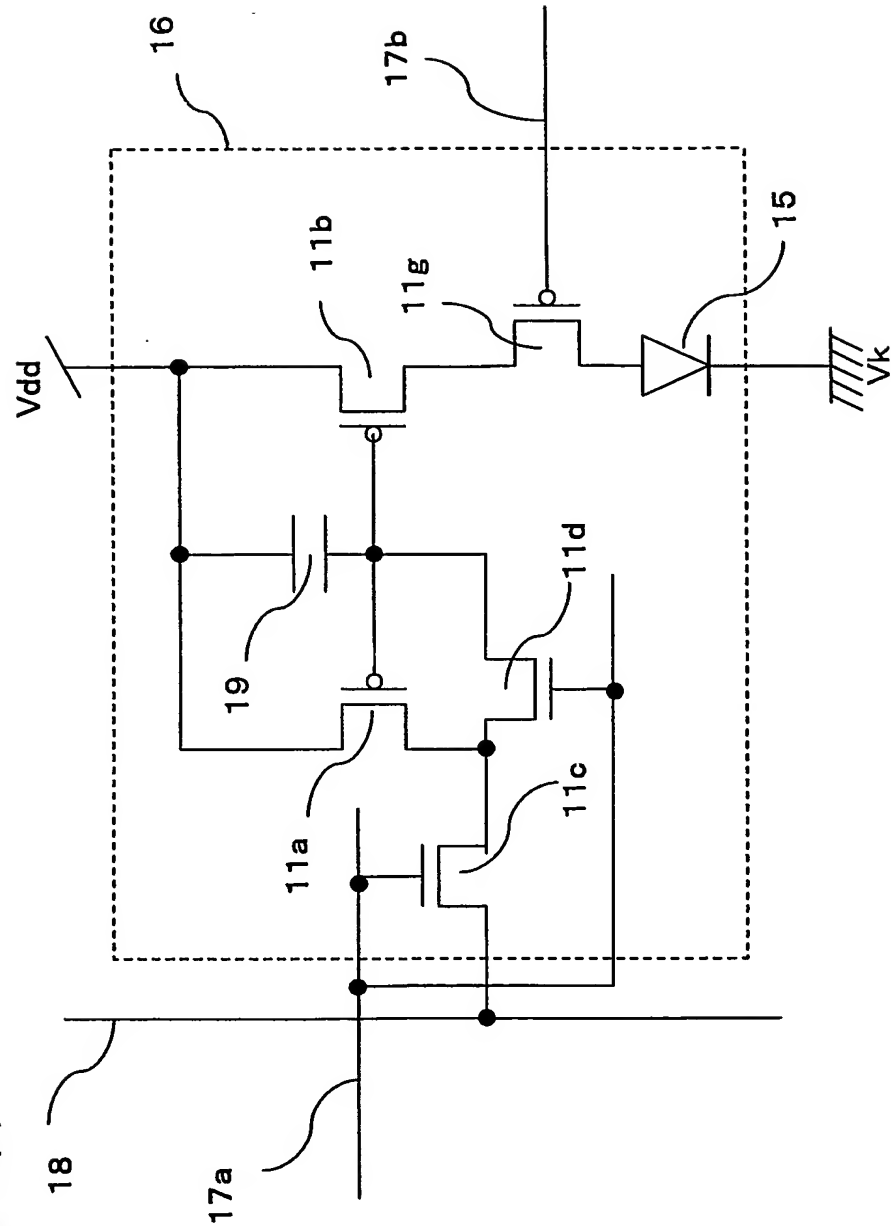
141/228



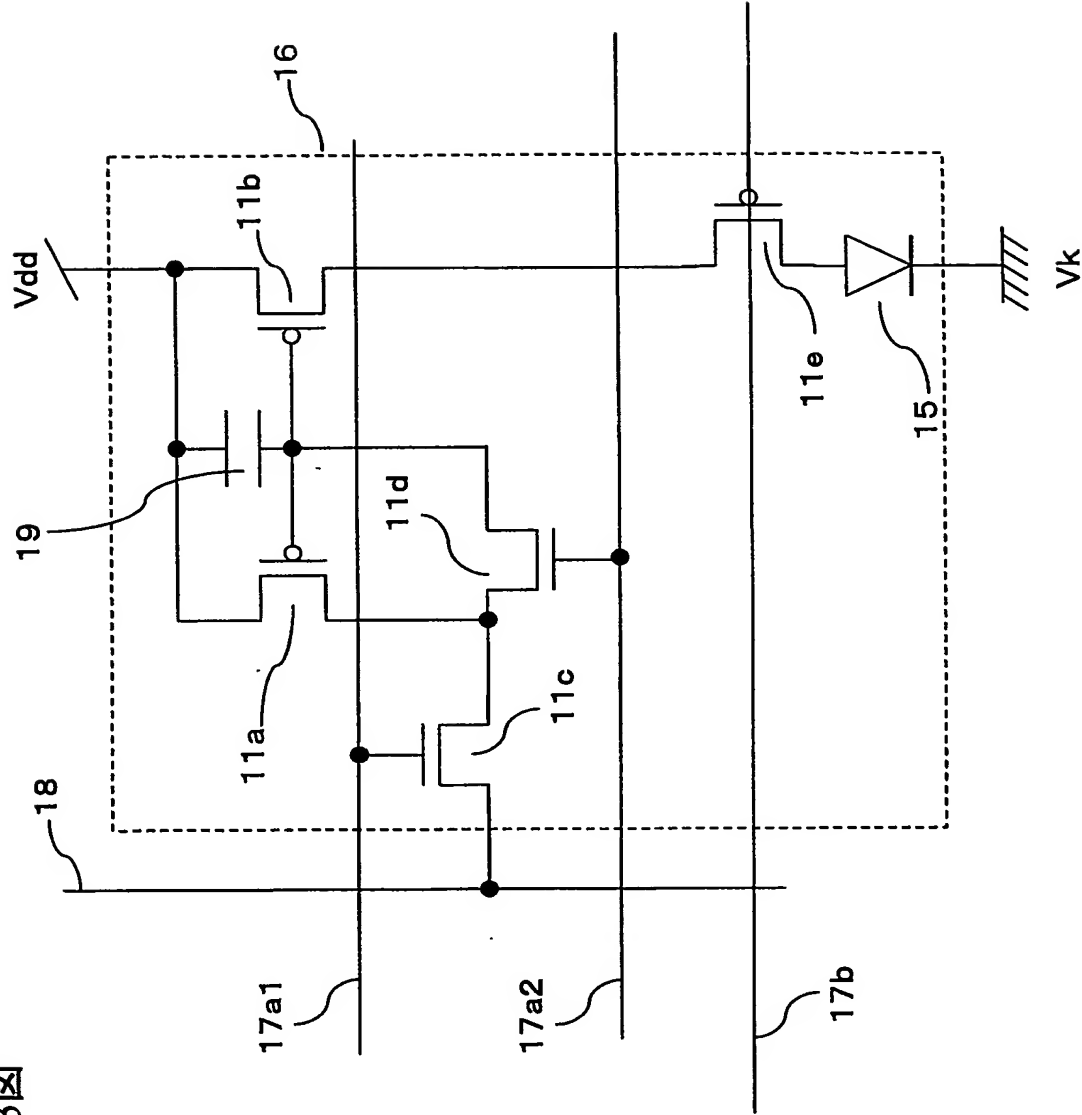
第141圖

142/228

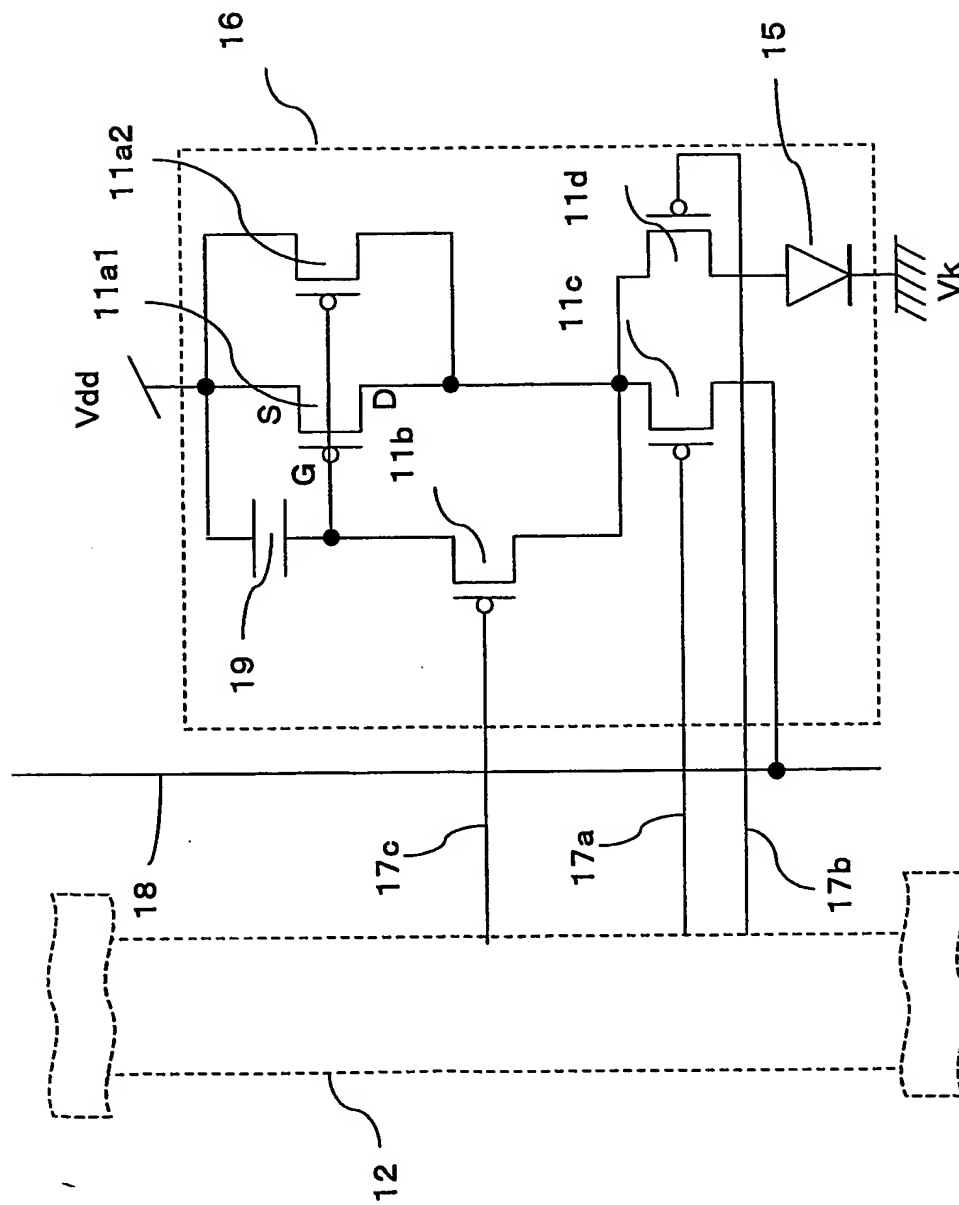
第142図



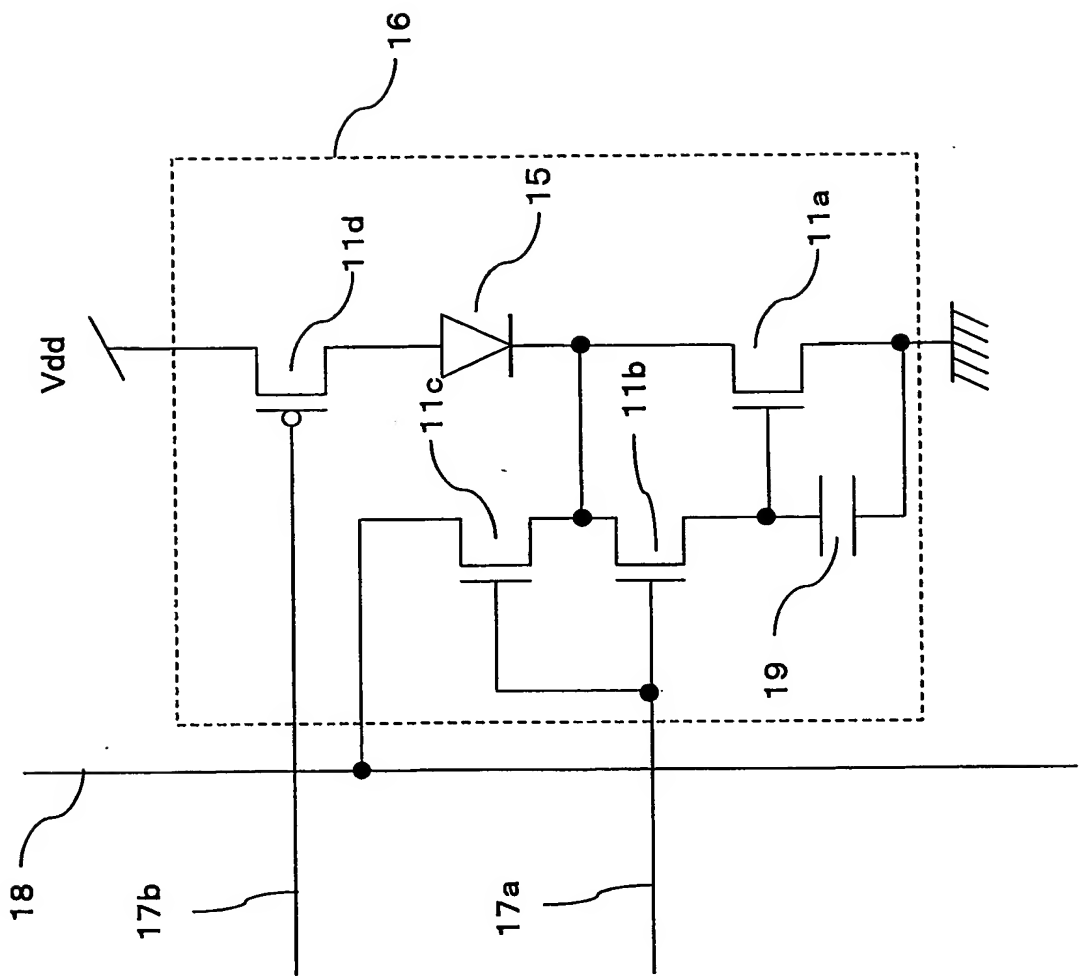
第143図



144/228

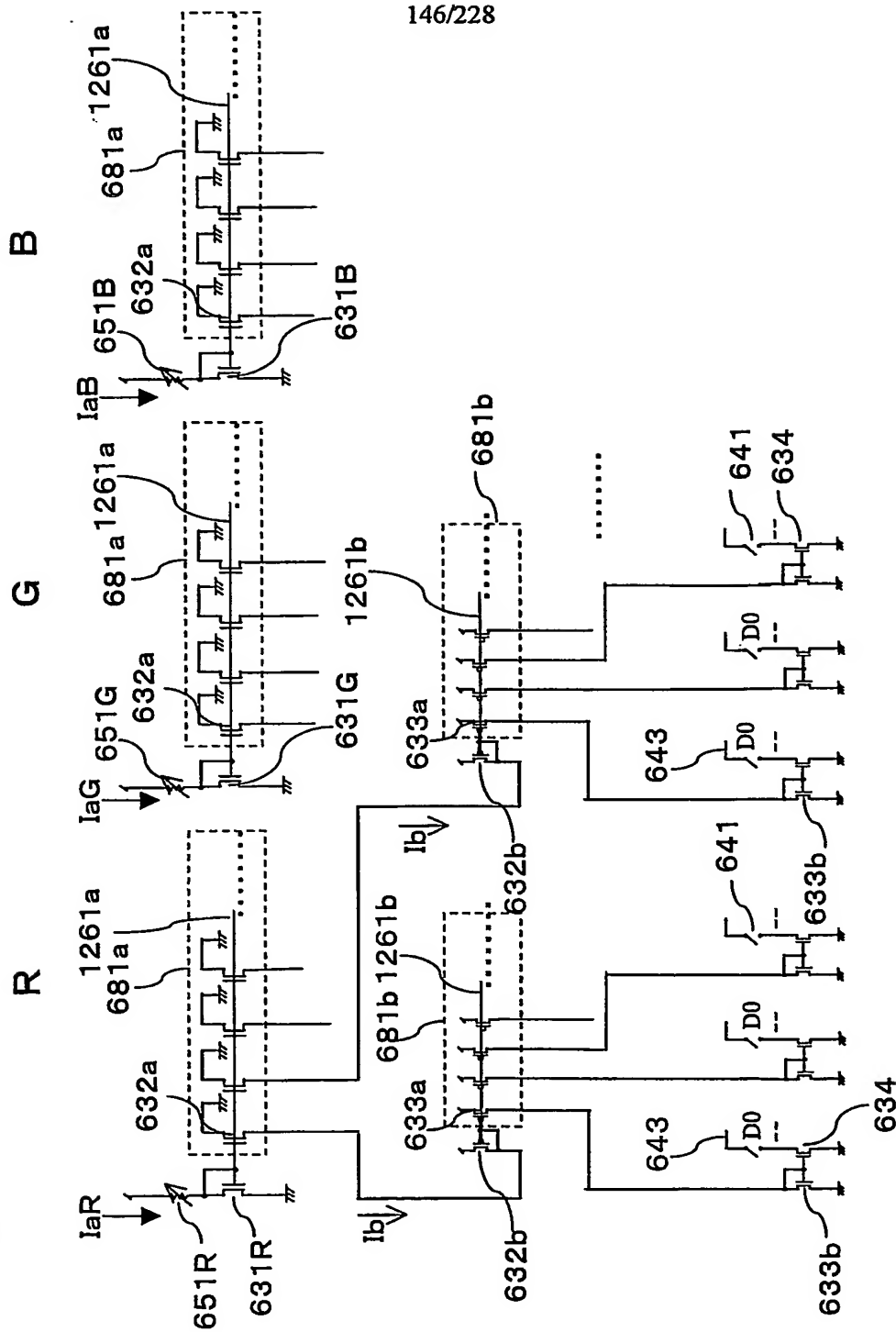


第144圖



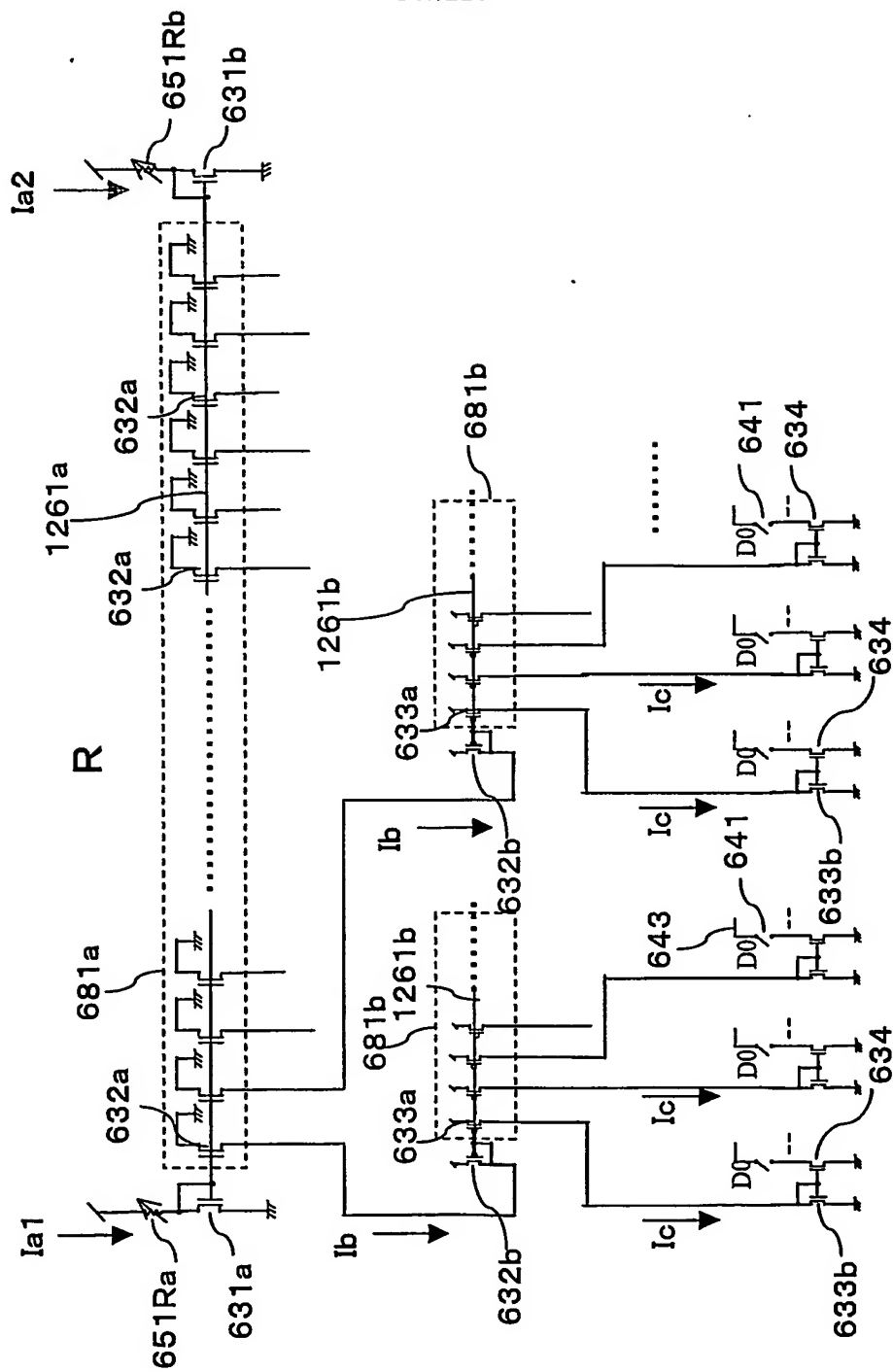
第145図

第146図

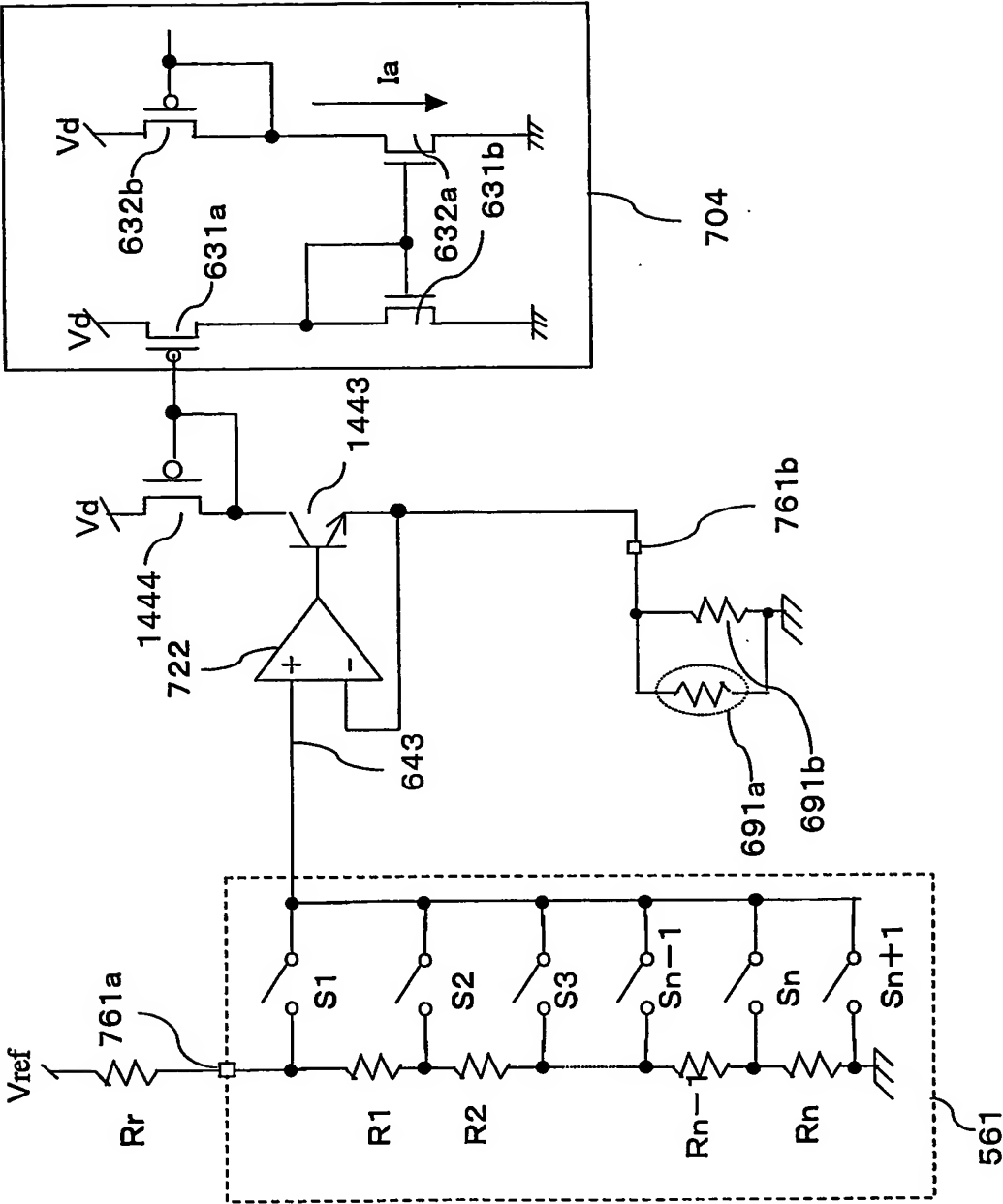


147/228

第147図

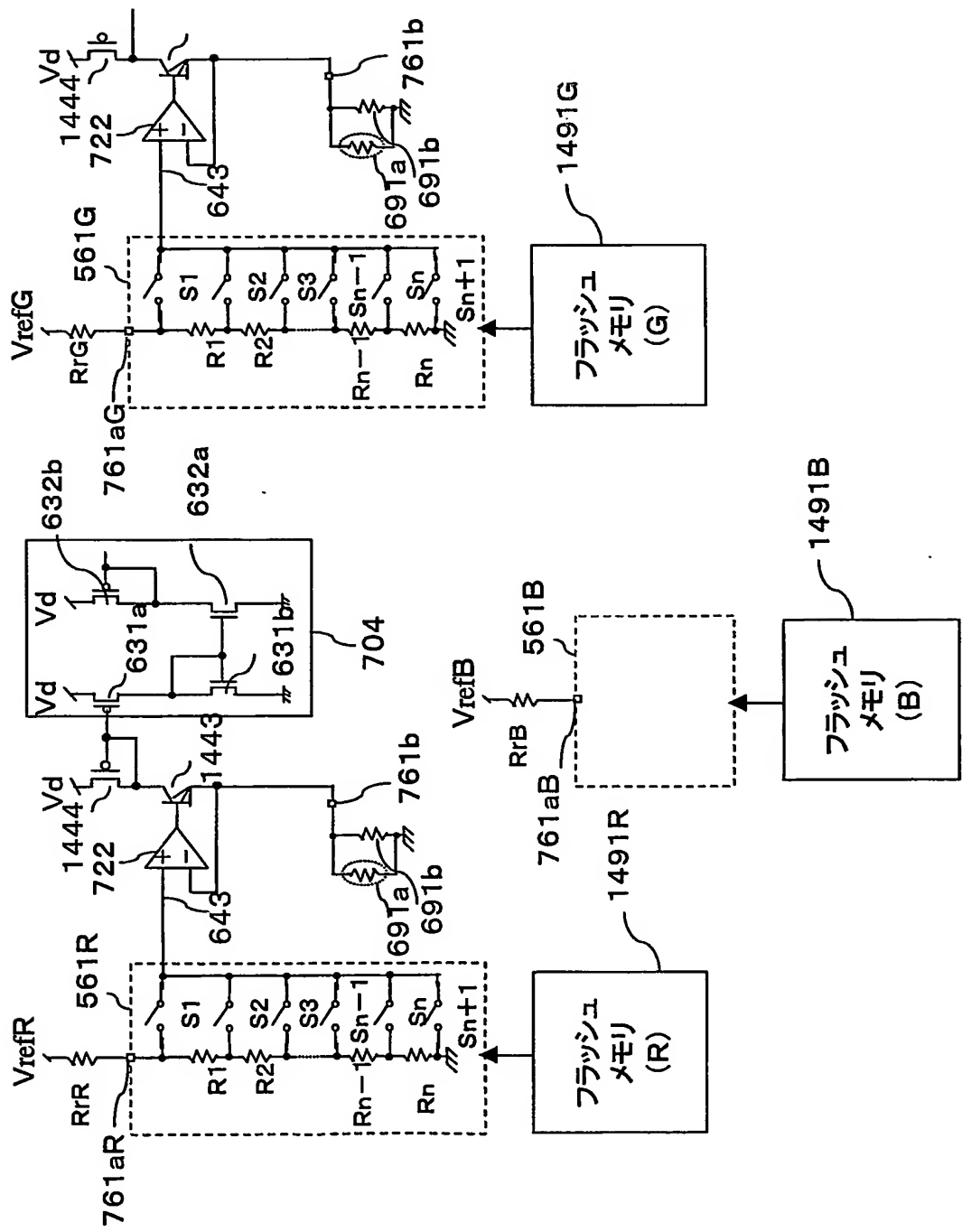


第148図

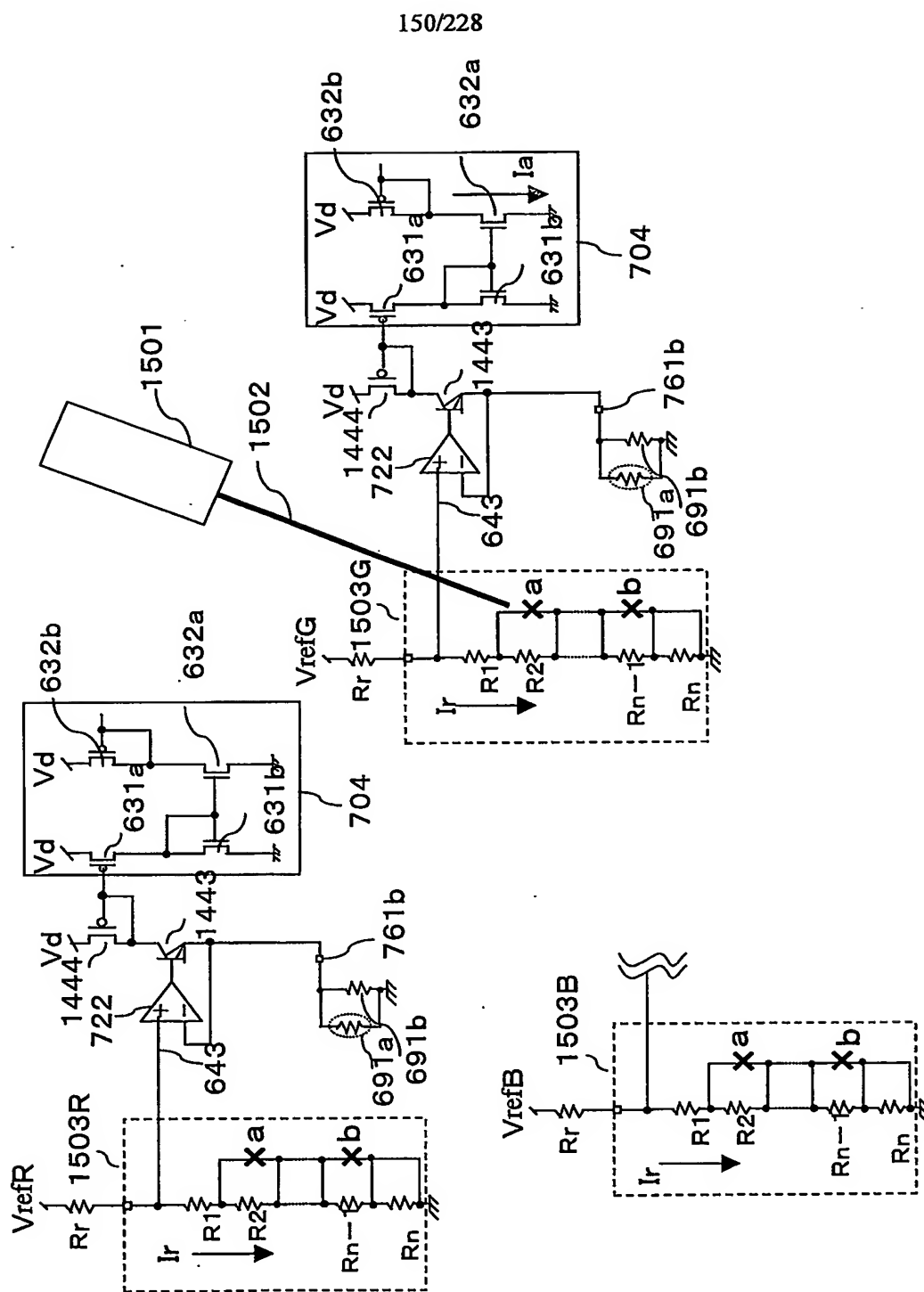


149/228

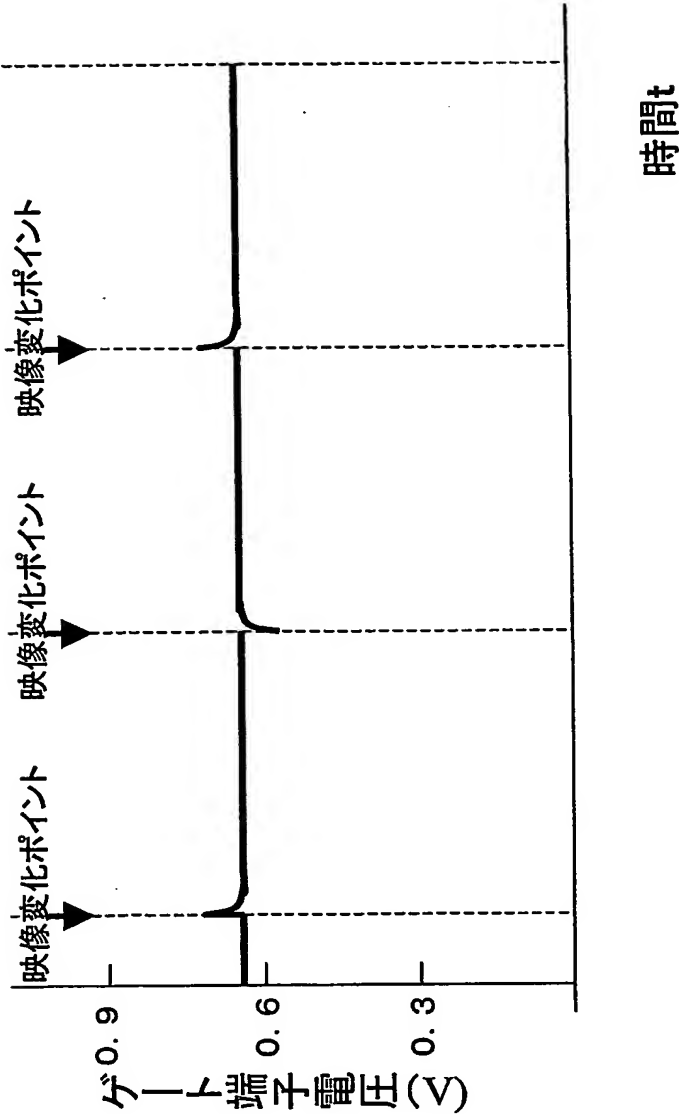
第149図



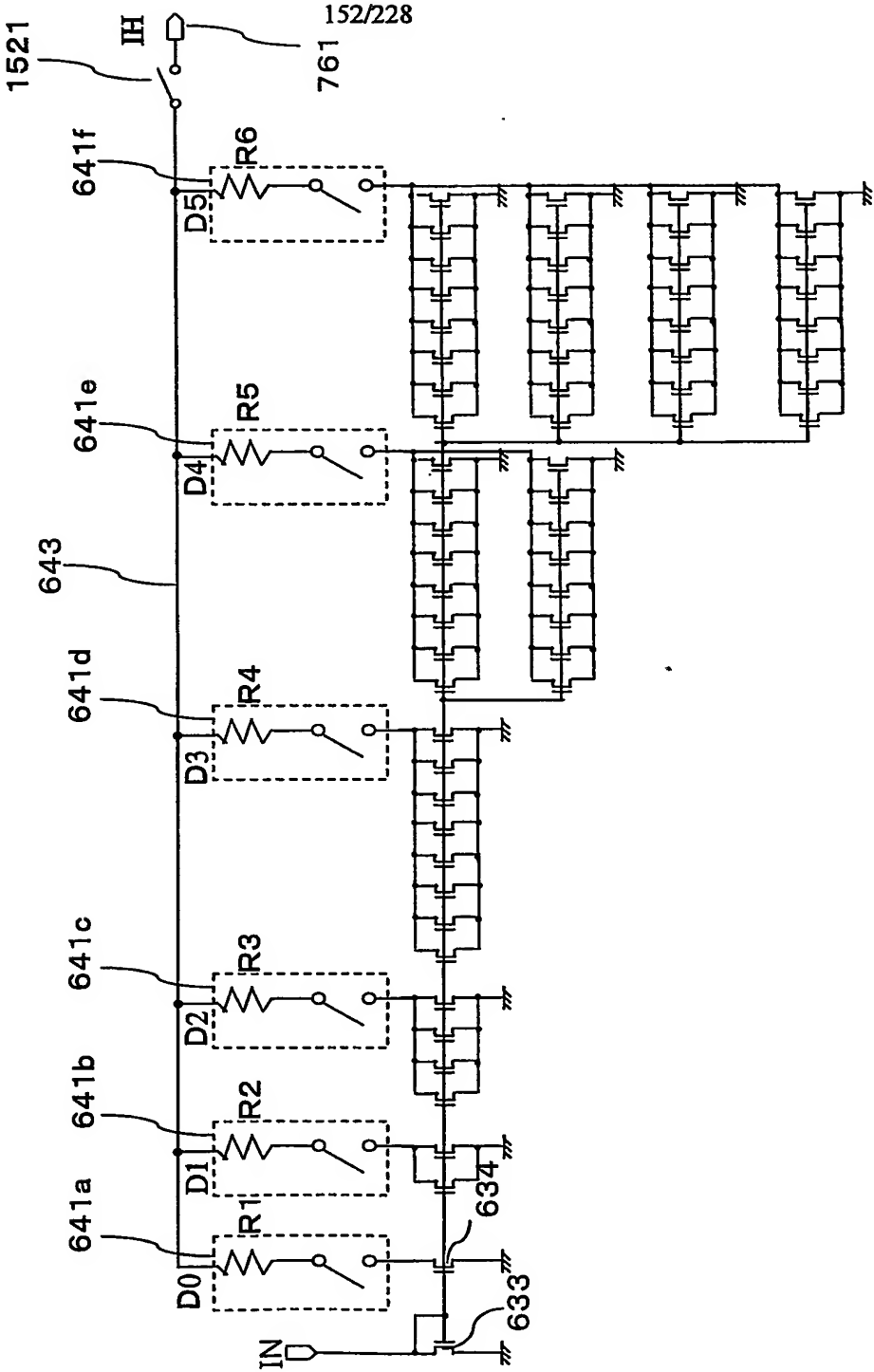
第150図



第151図

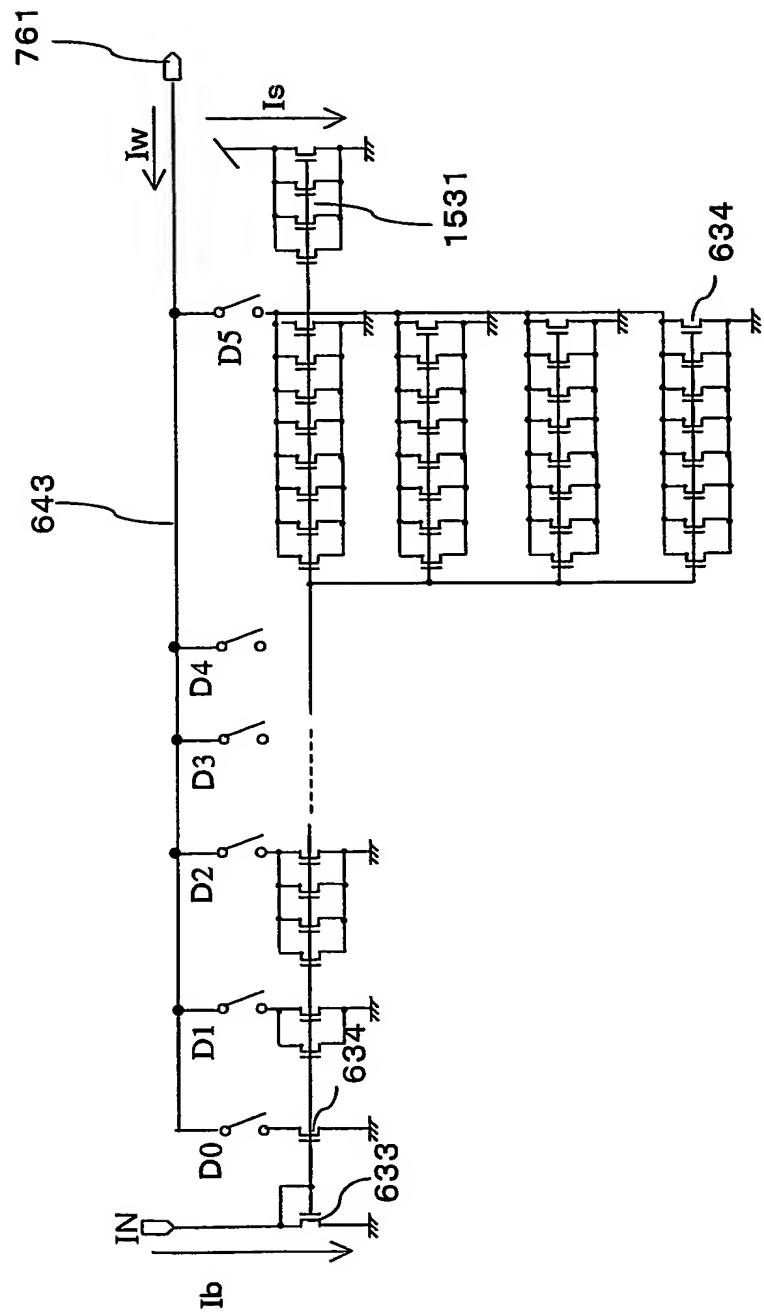


第152図

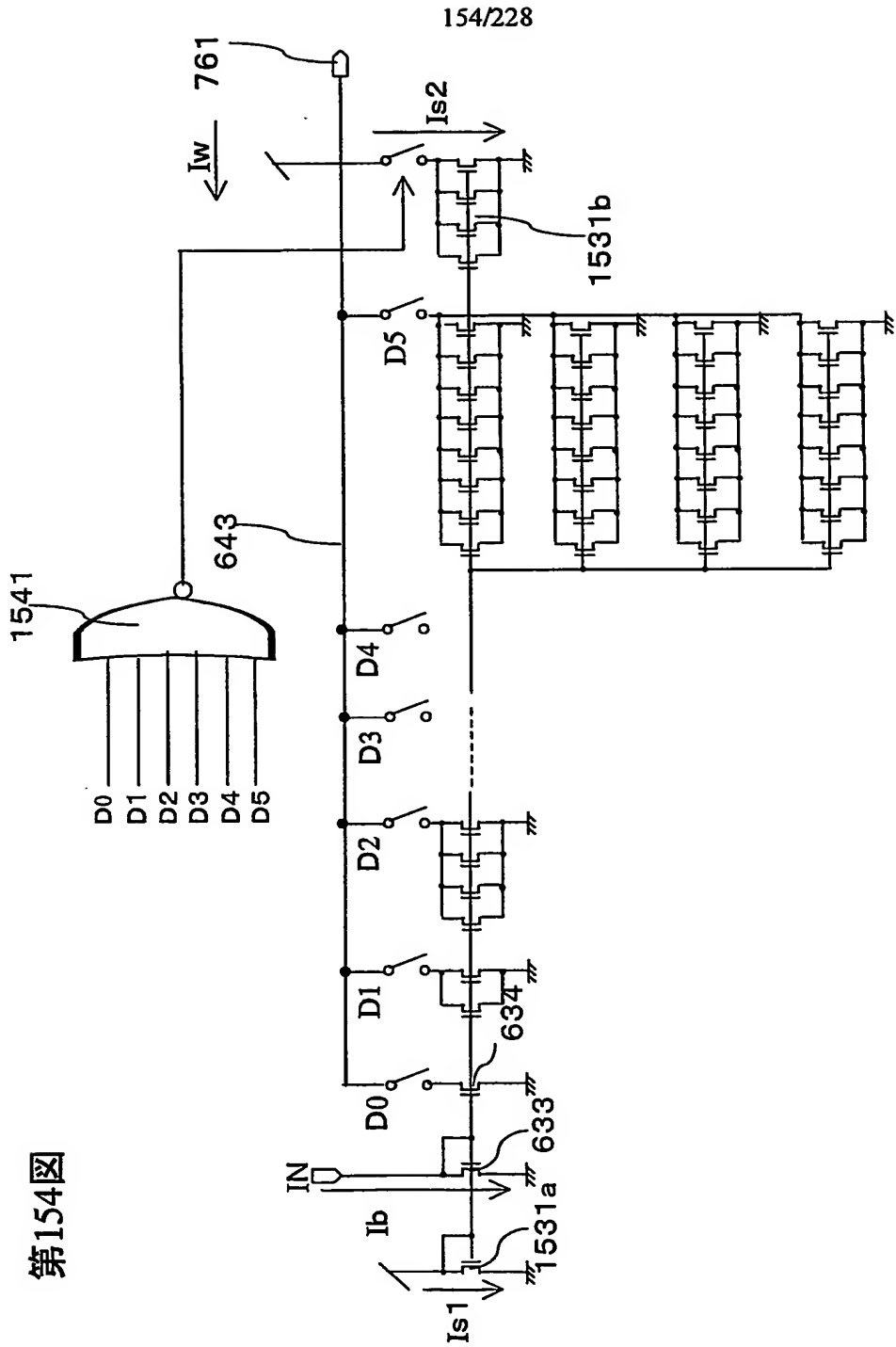


153/228

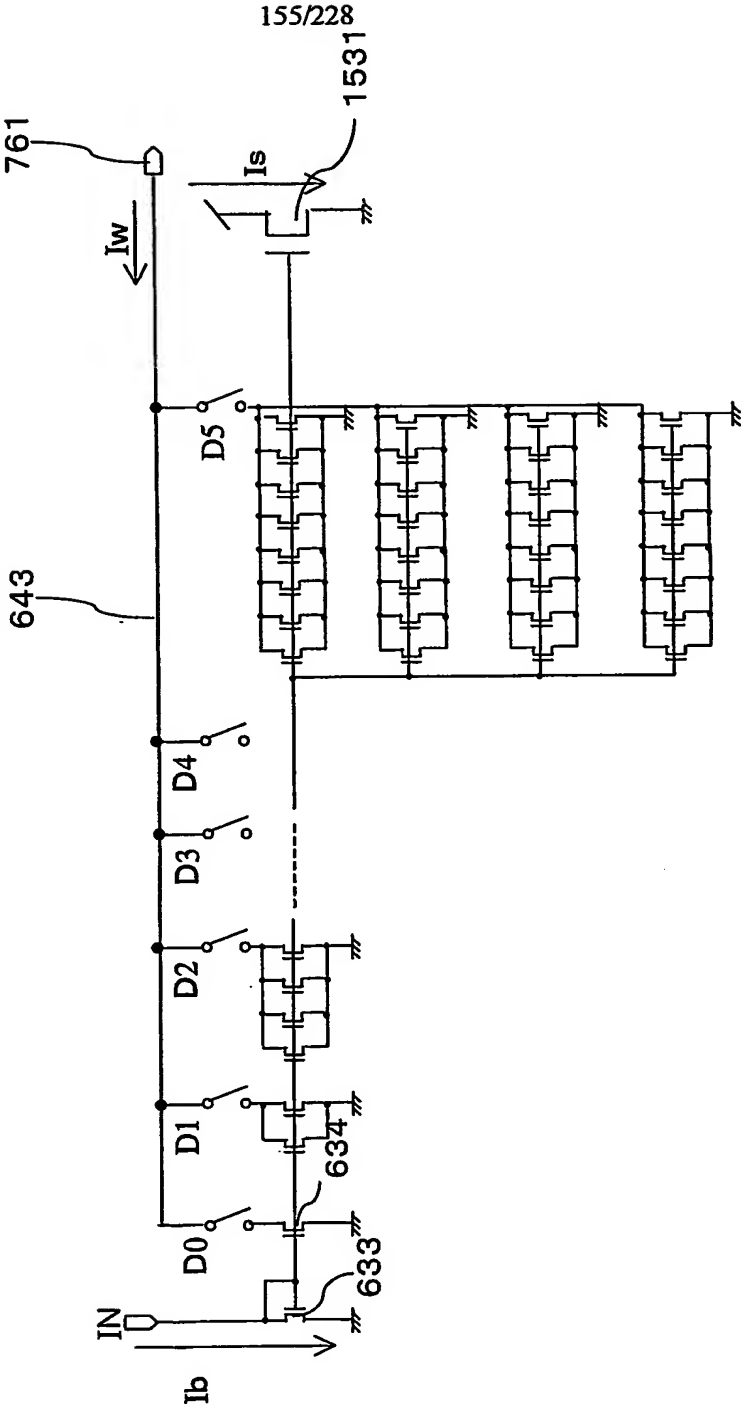
第153図



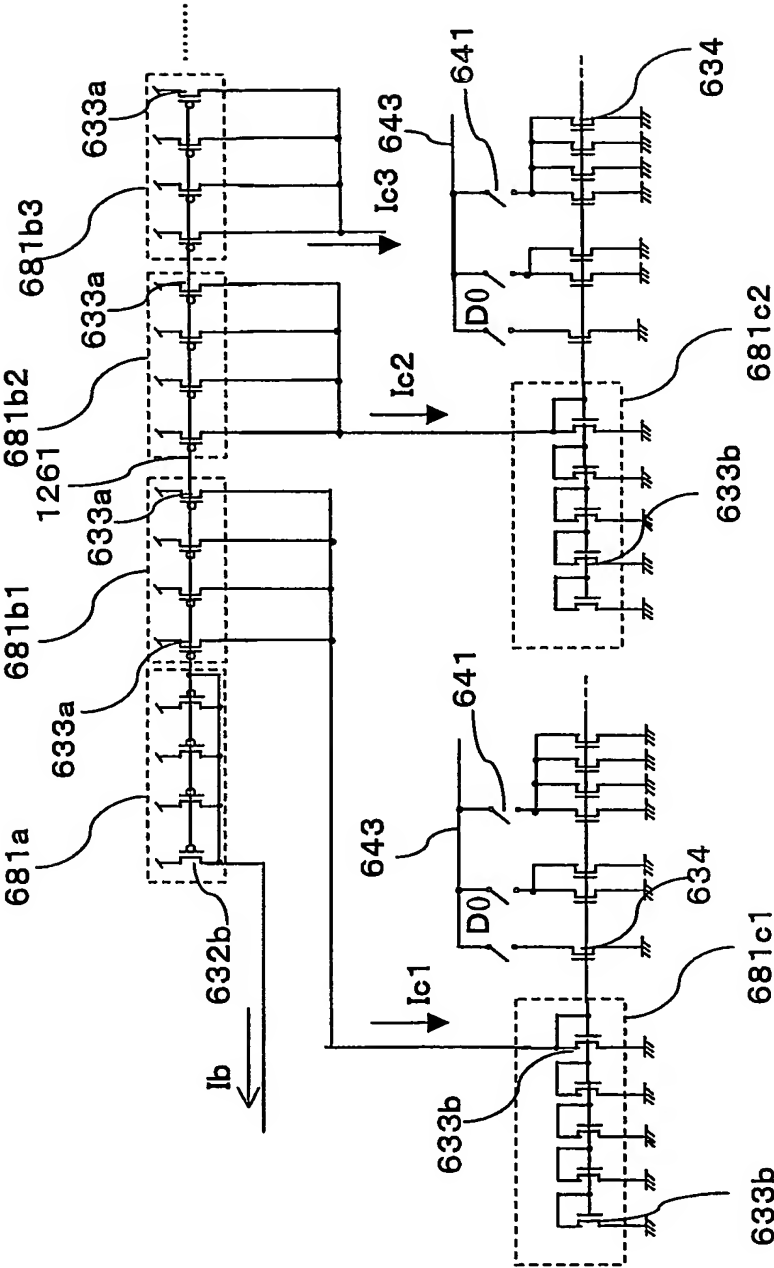
第154図



第155図

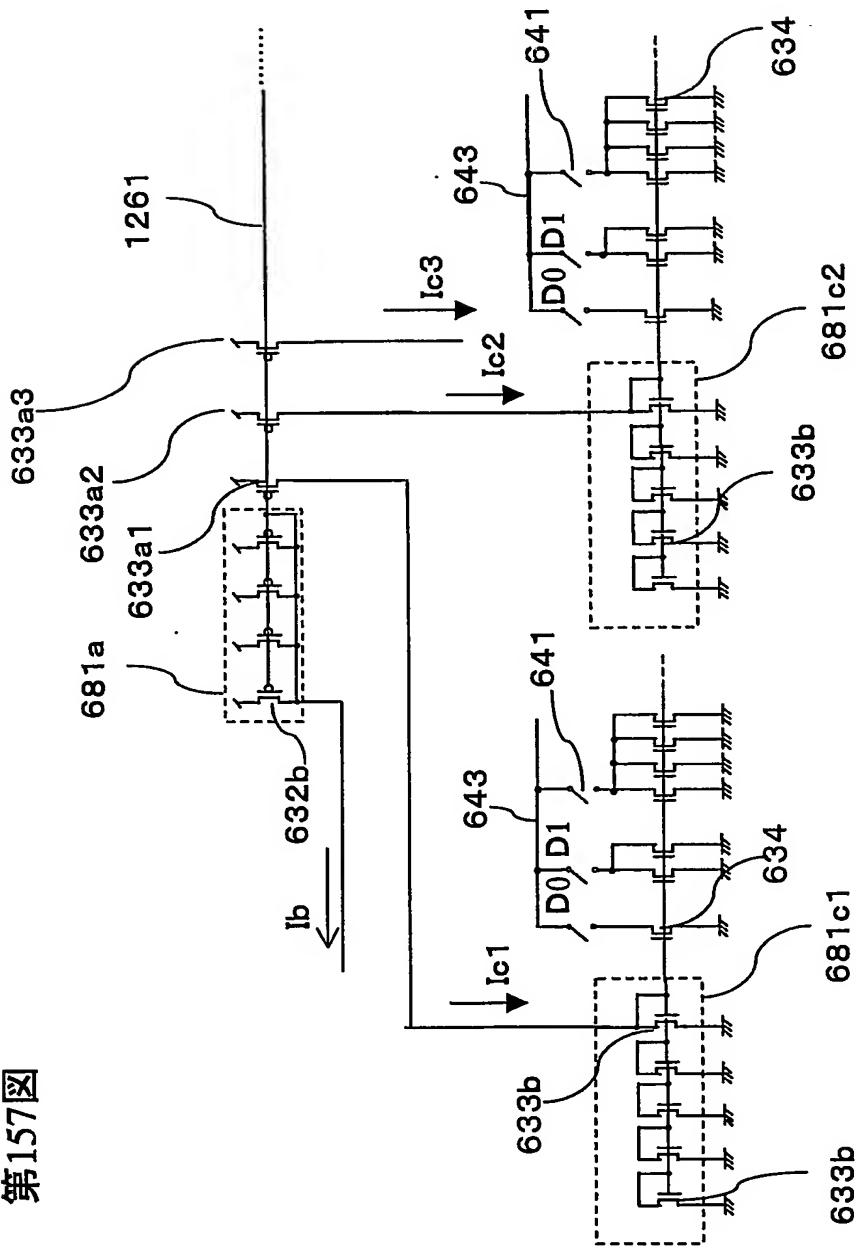


第156図

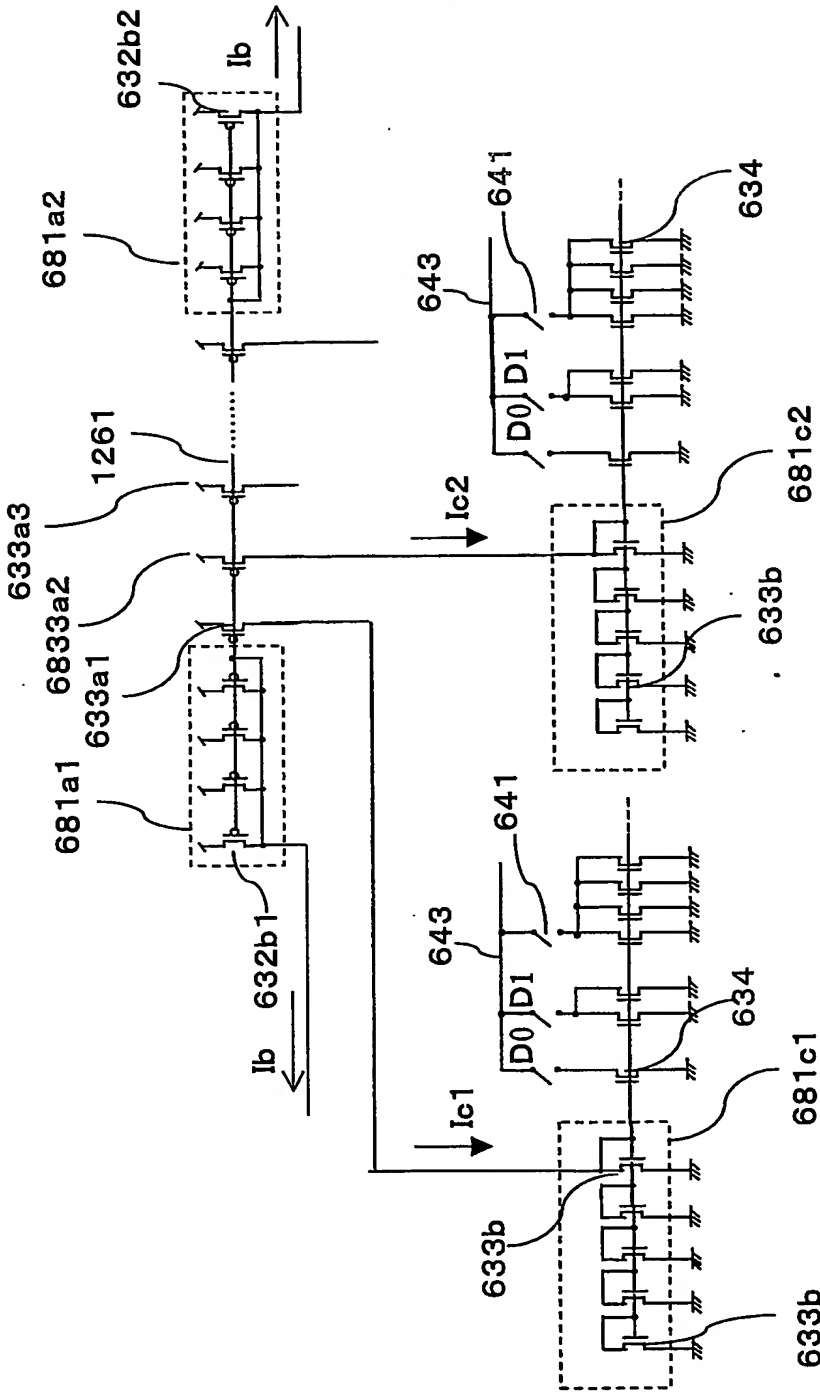


157/228

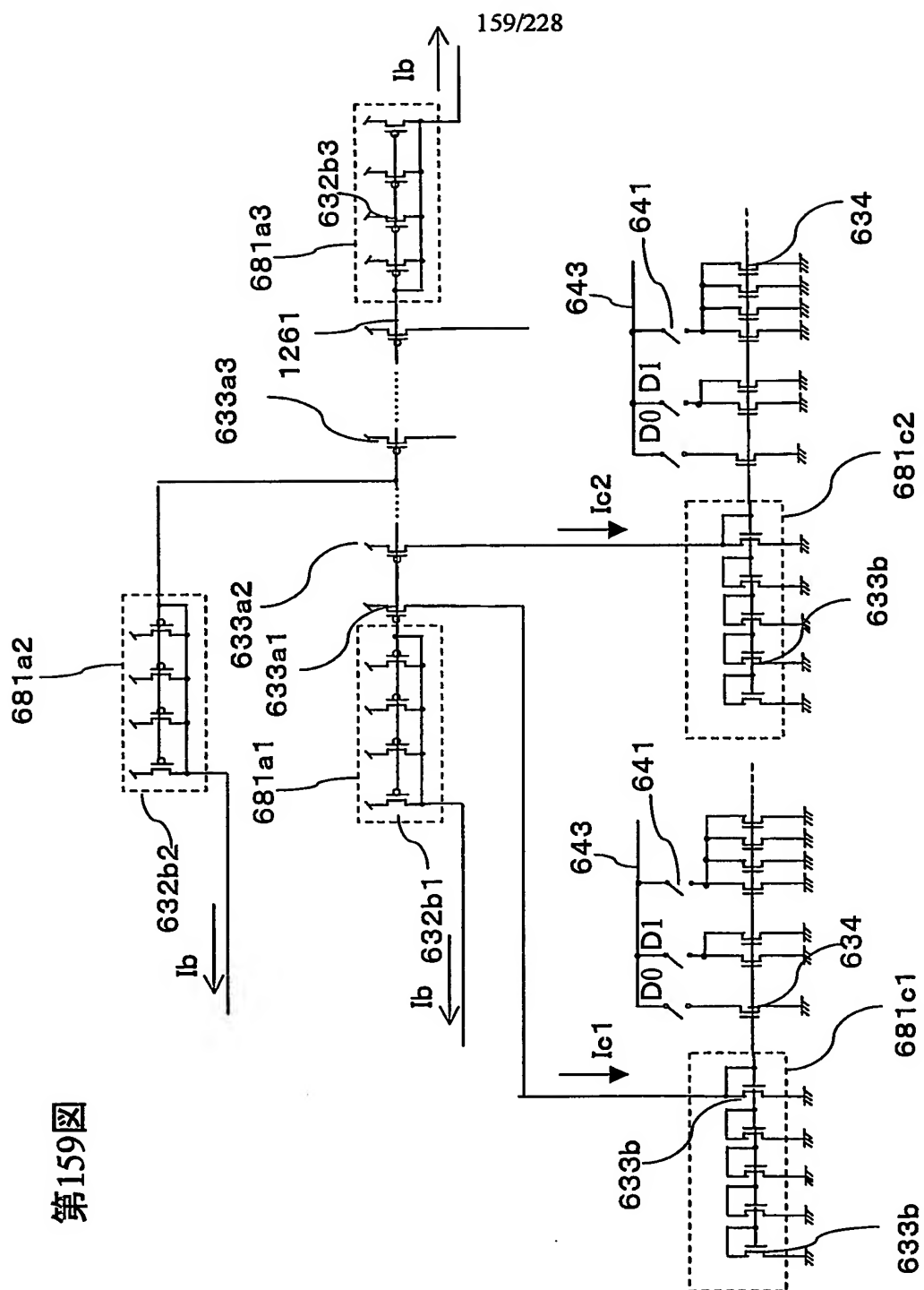
第157図



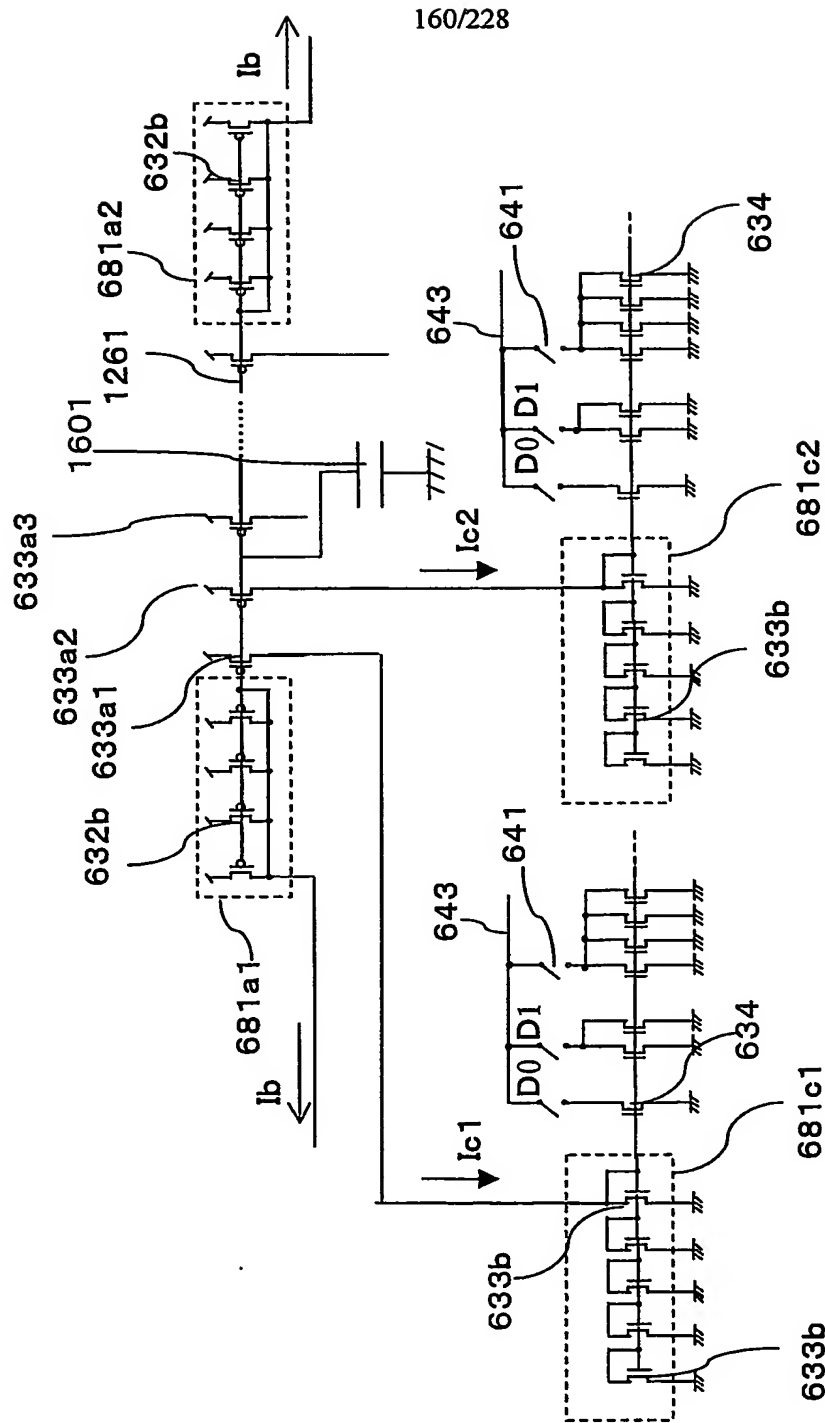
第158図



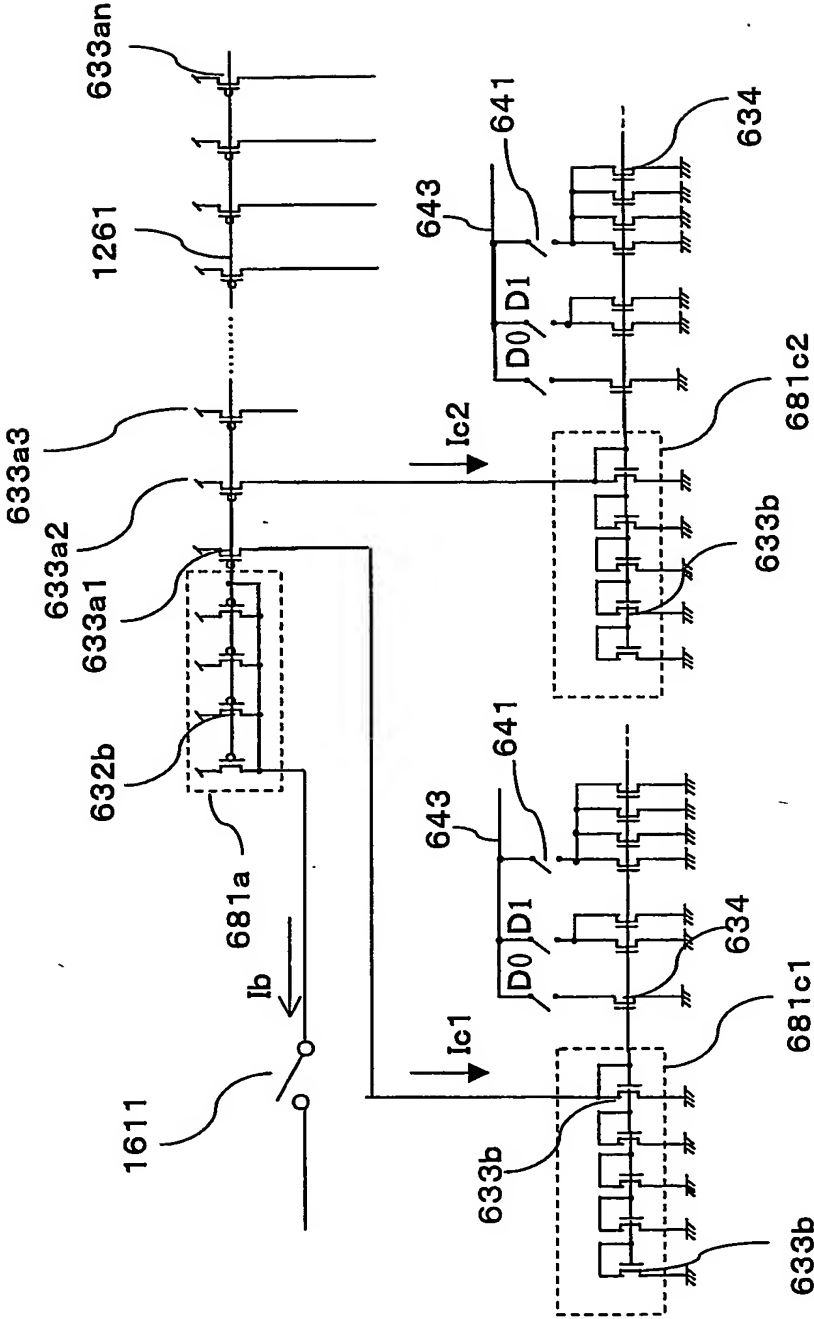
第159図



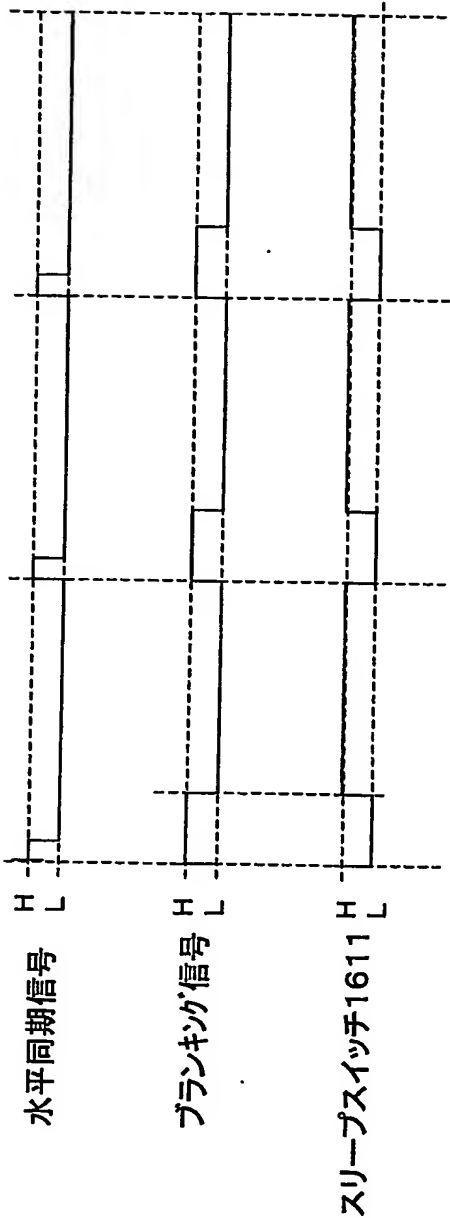
第160図



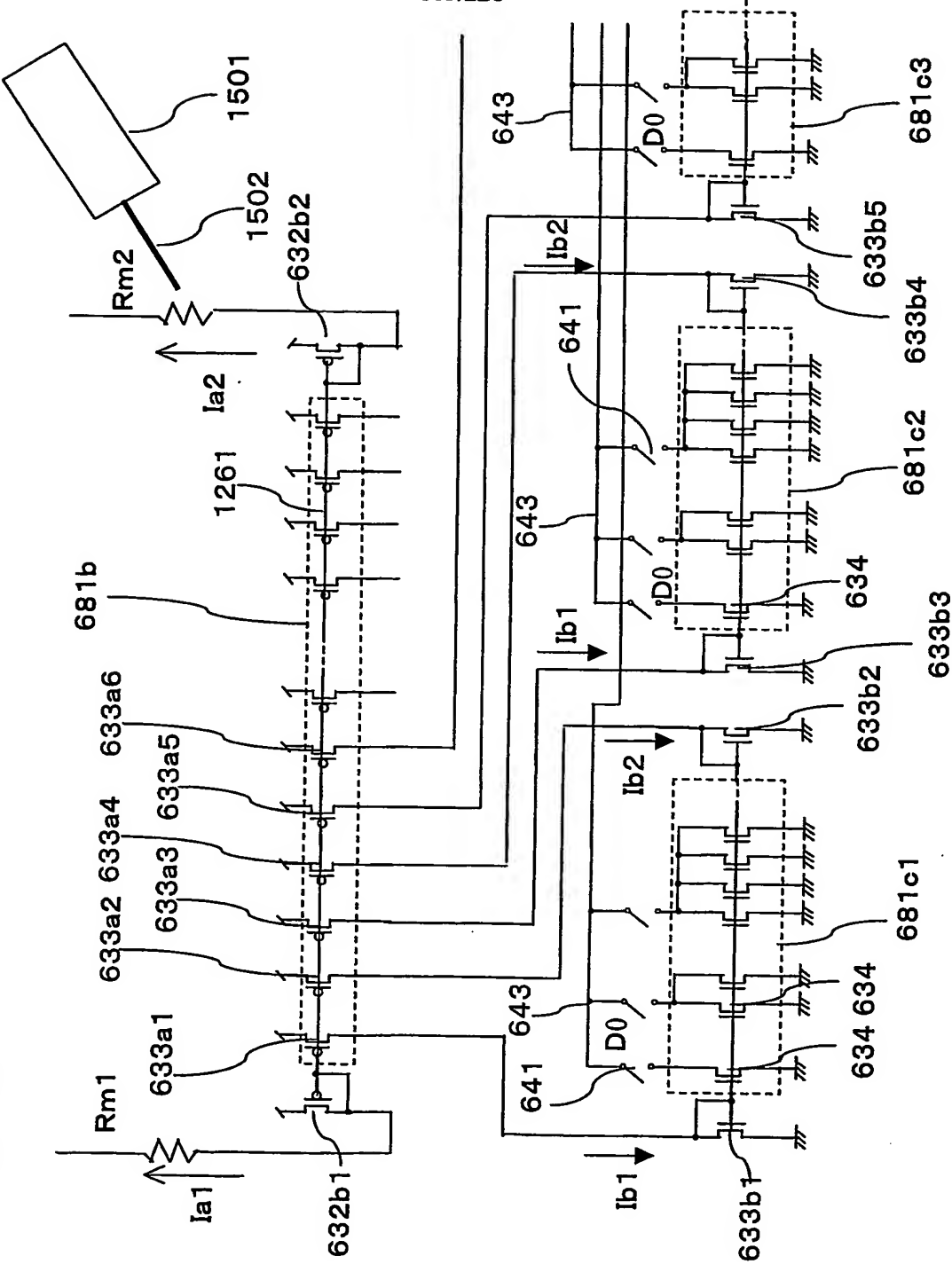
第161図



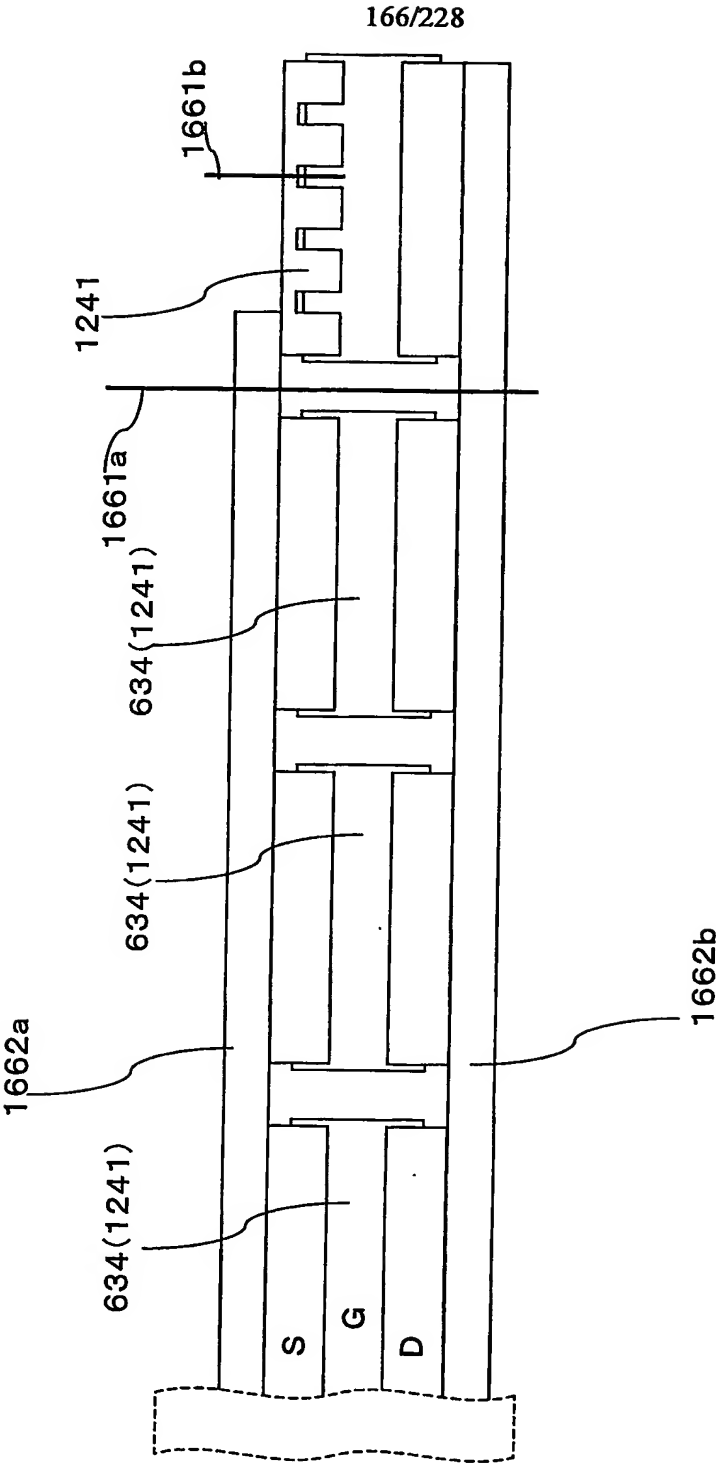
第162図



第165図

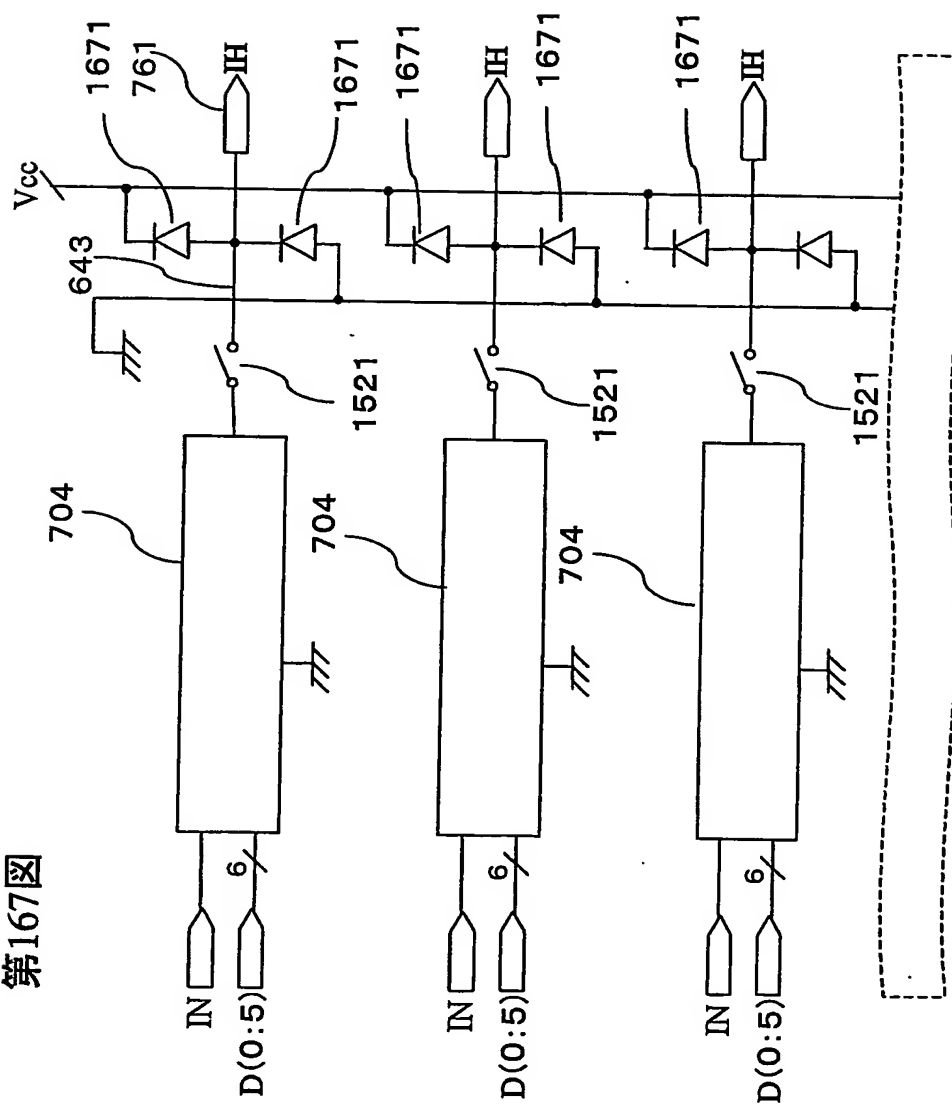


第166図



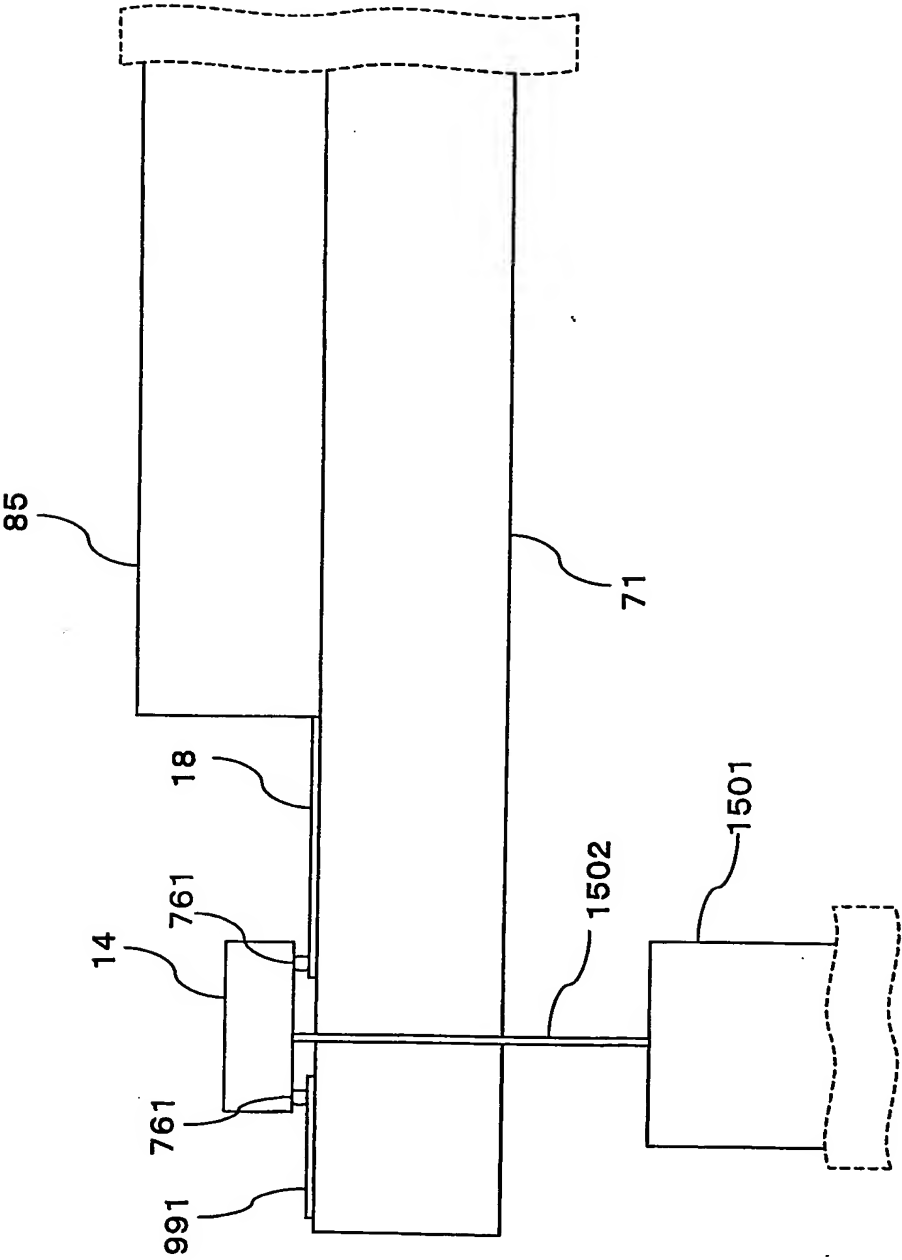
167/228

第167図

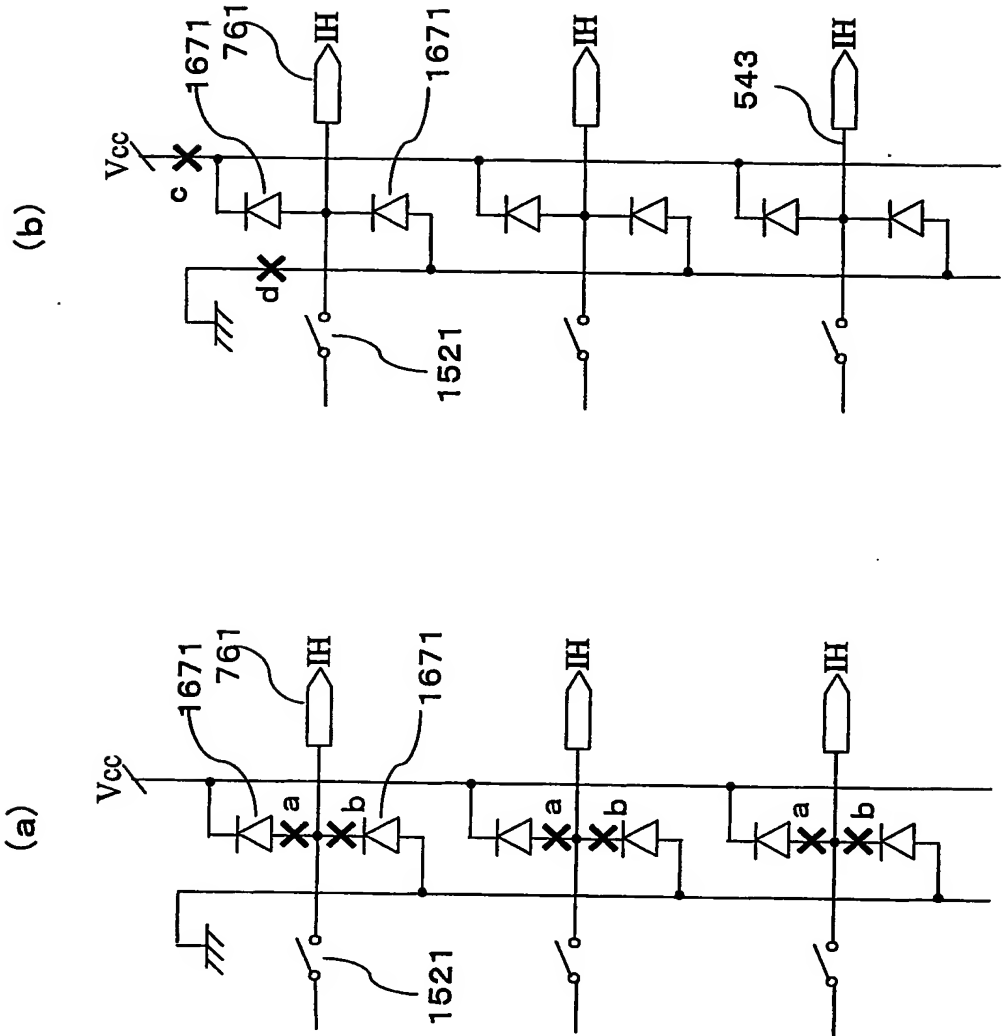


168/228

第168図

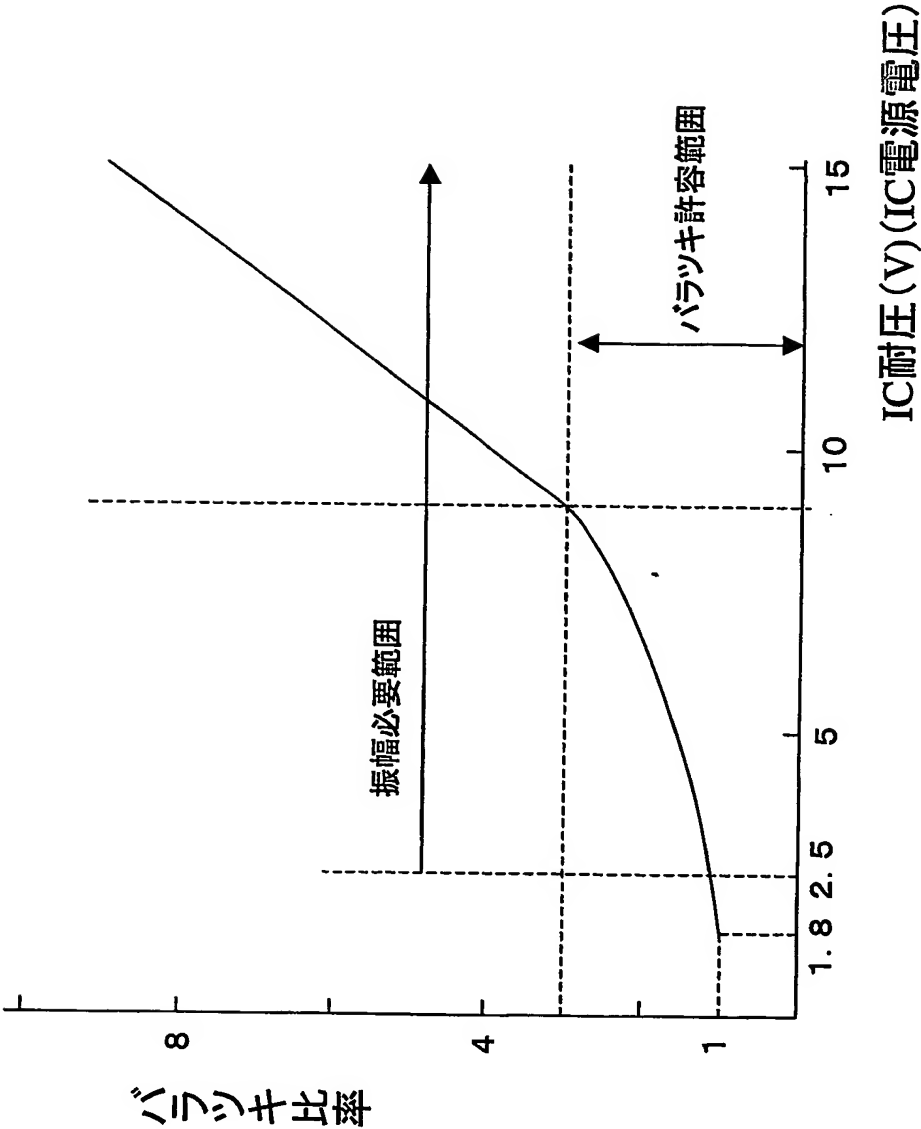


第169图



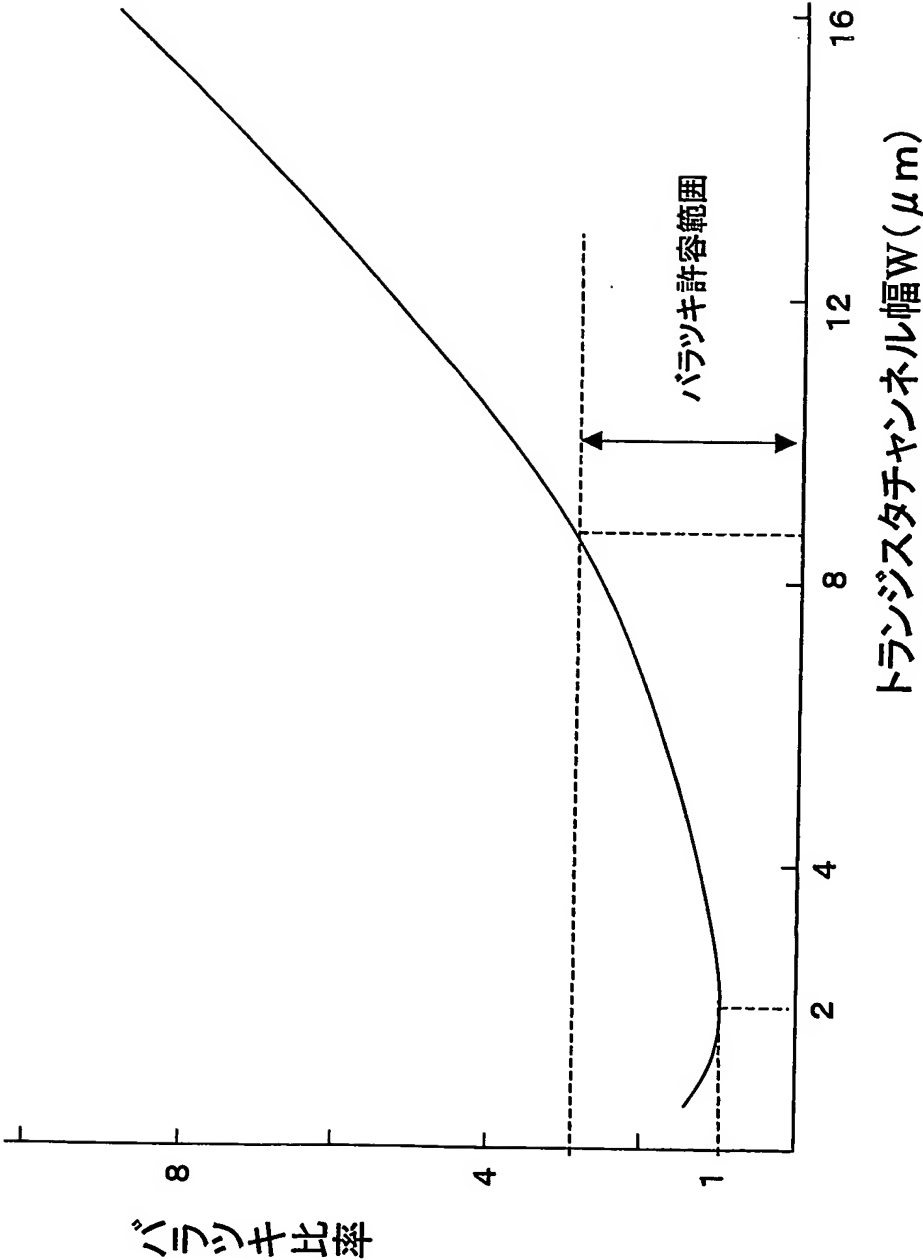
170/228

第170図

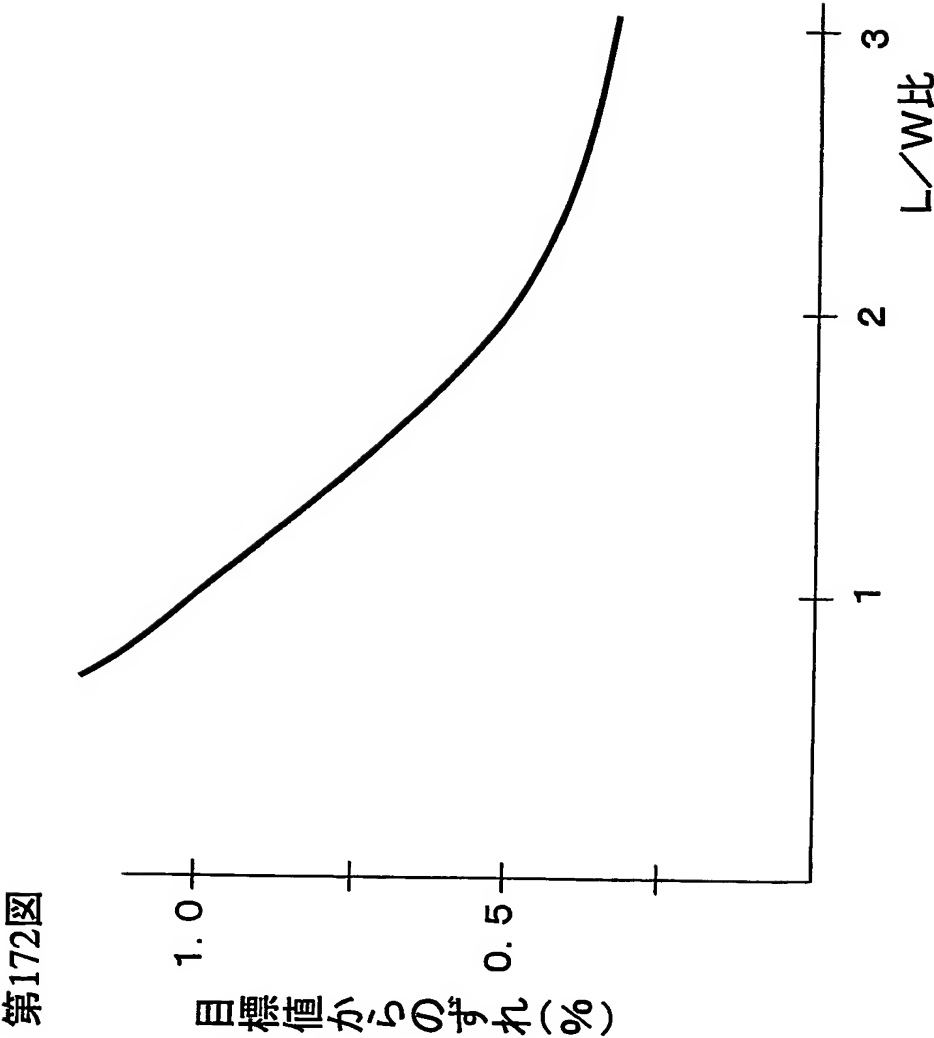


171/228

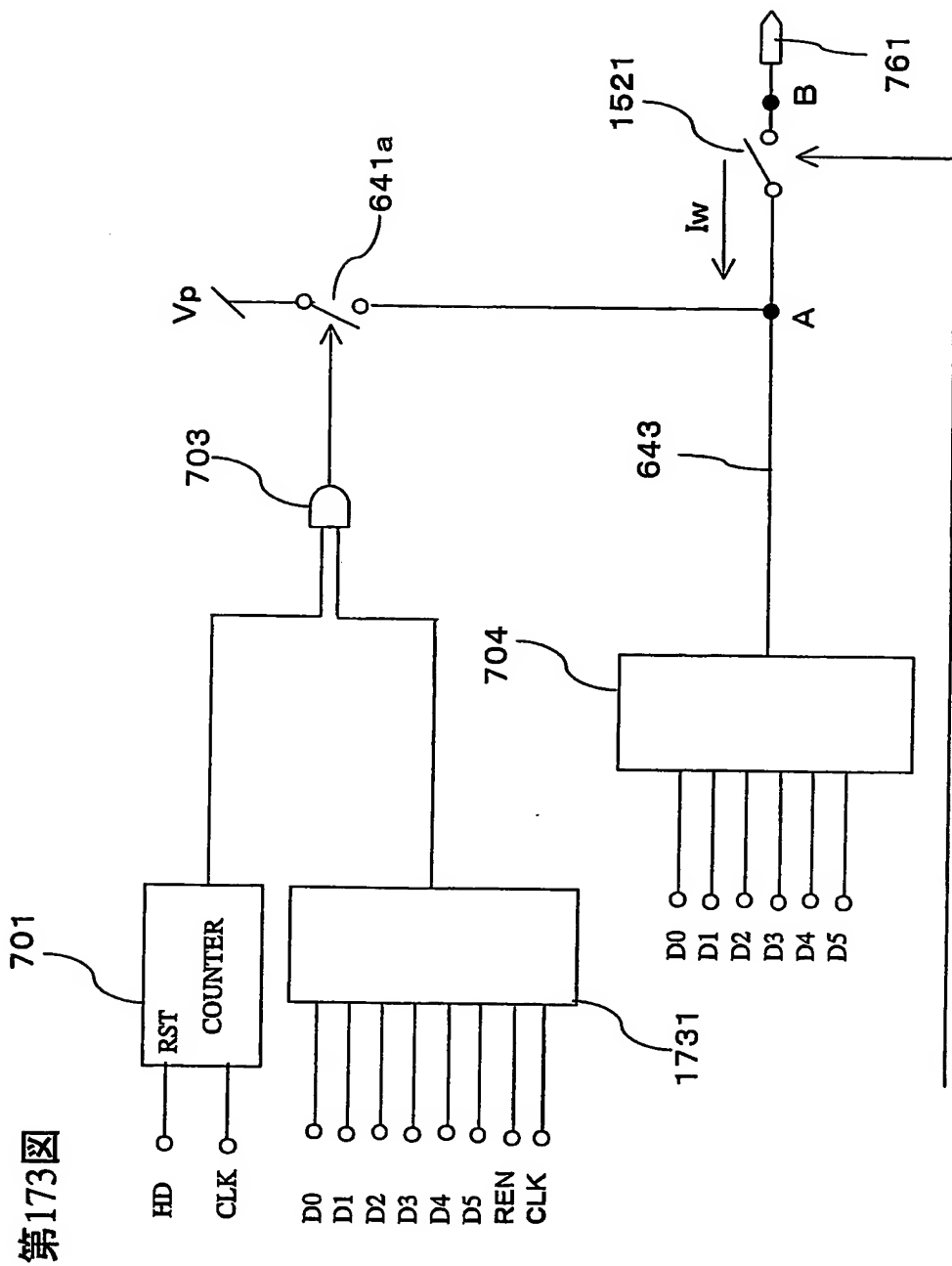
第171図



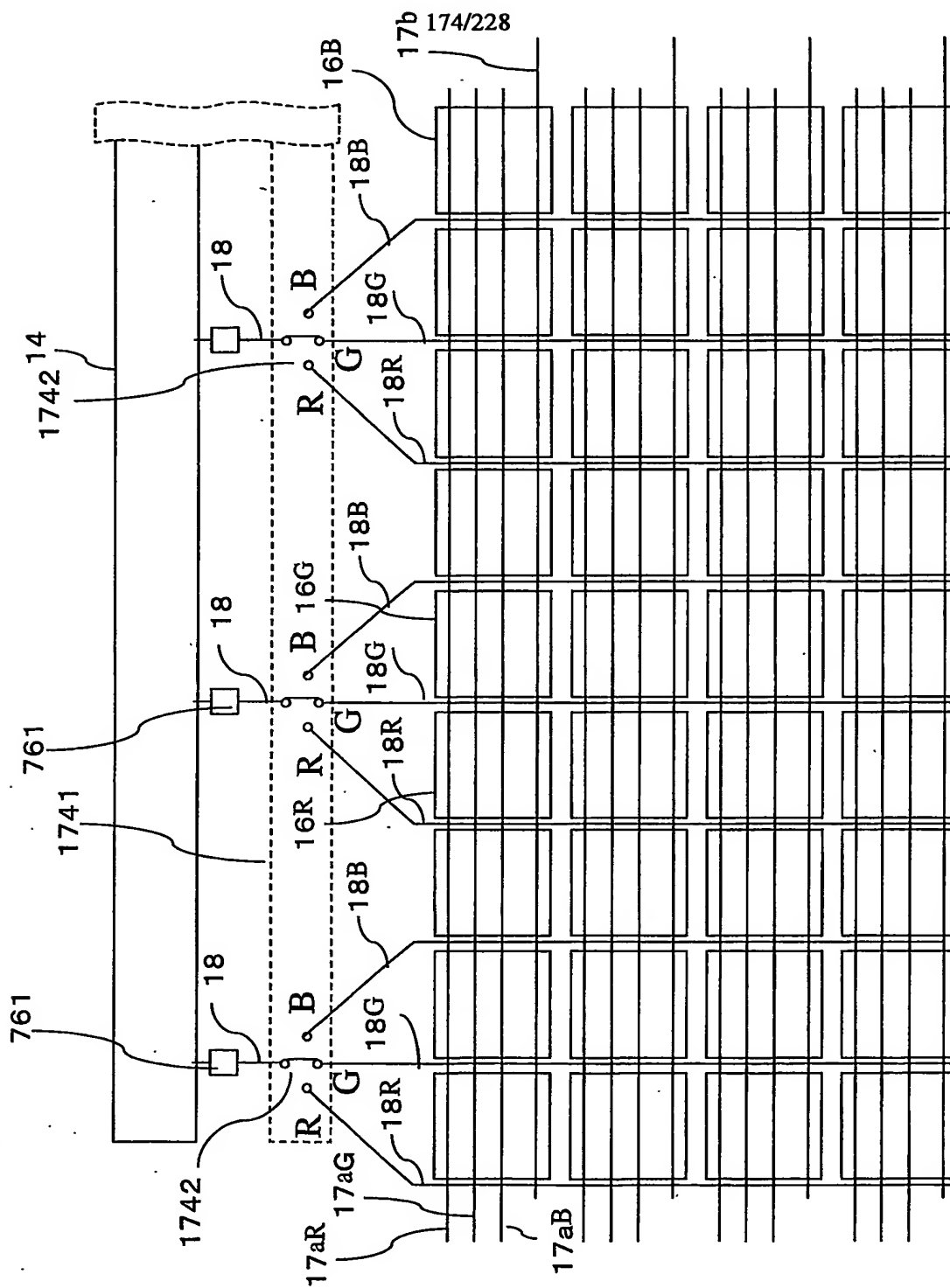
172/228

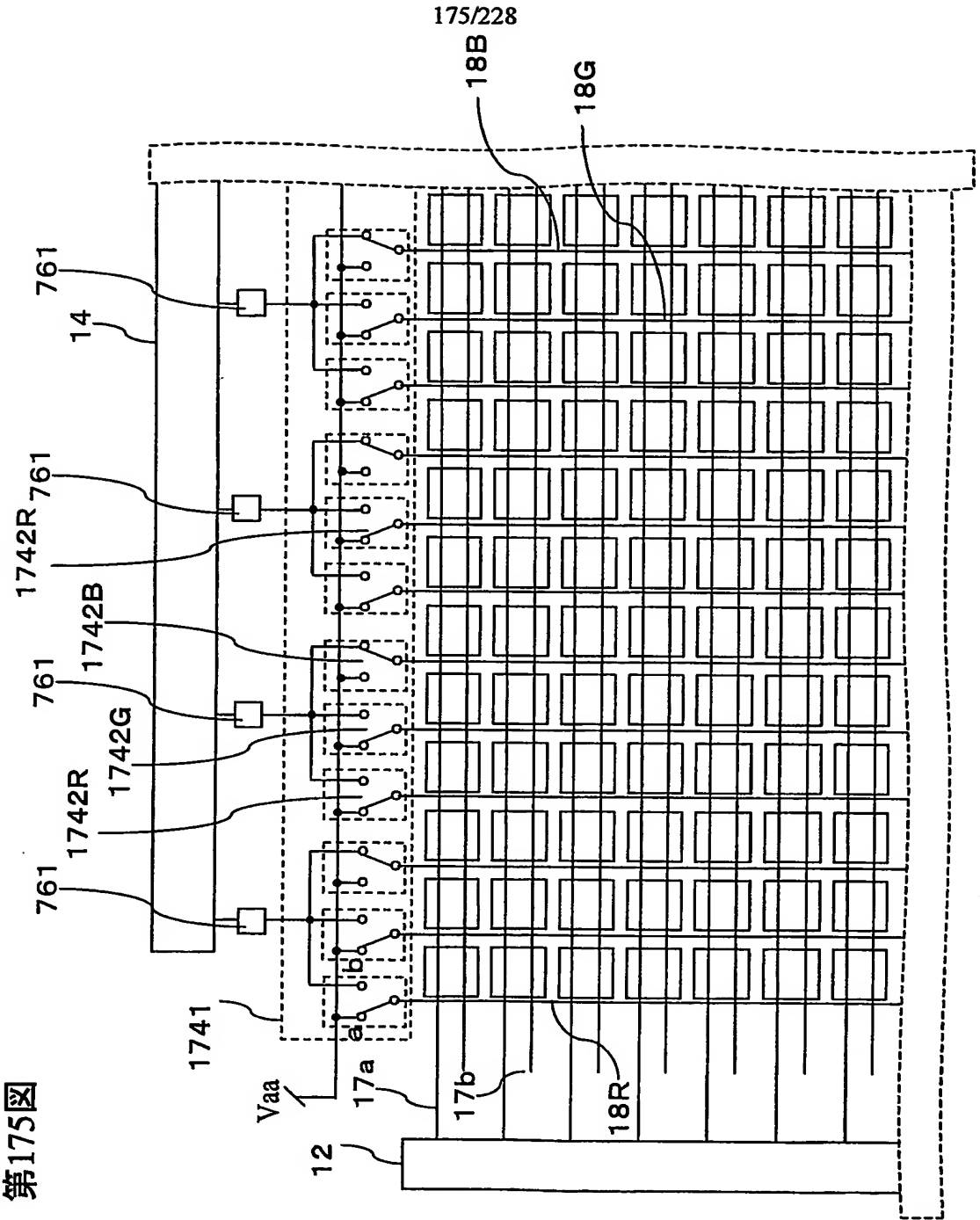


173/228

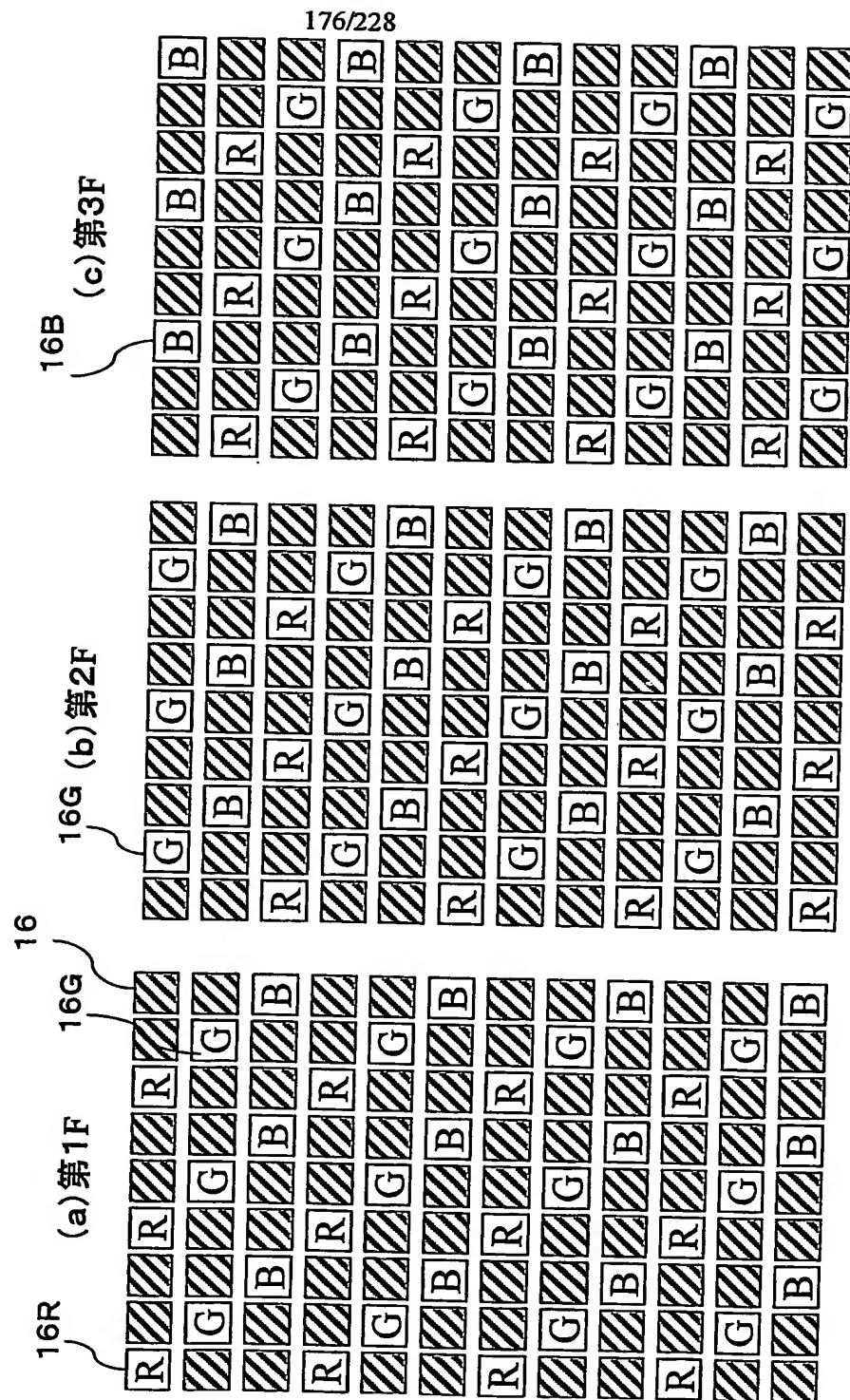


第174圖

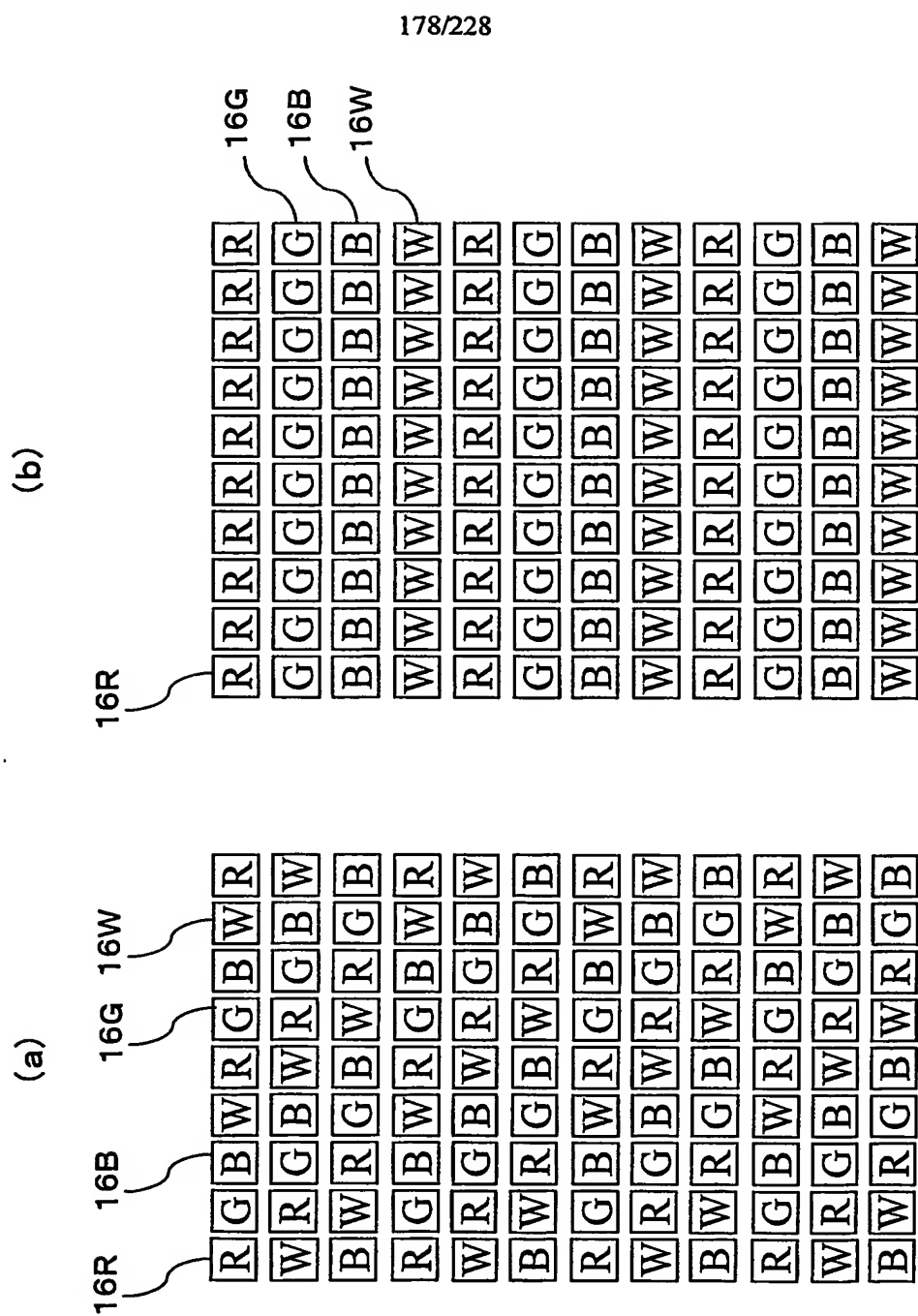




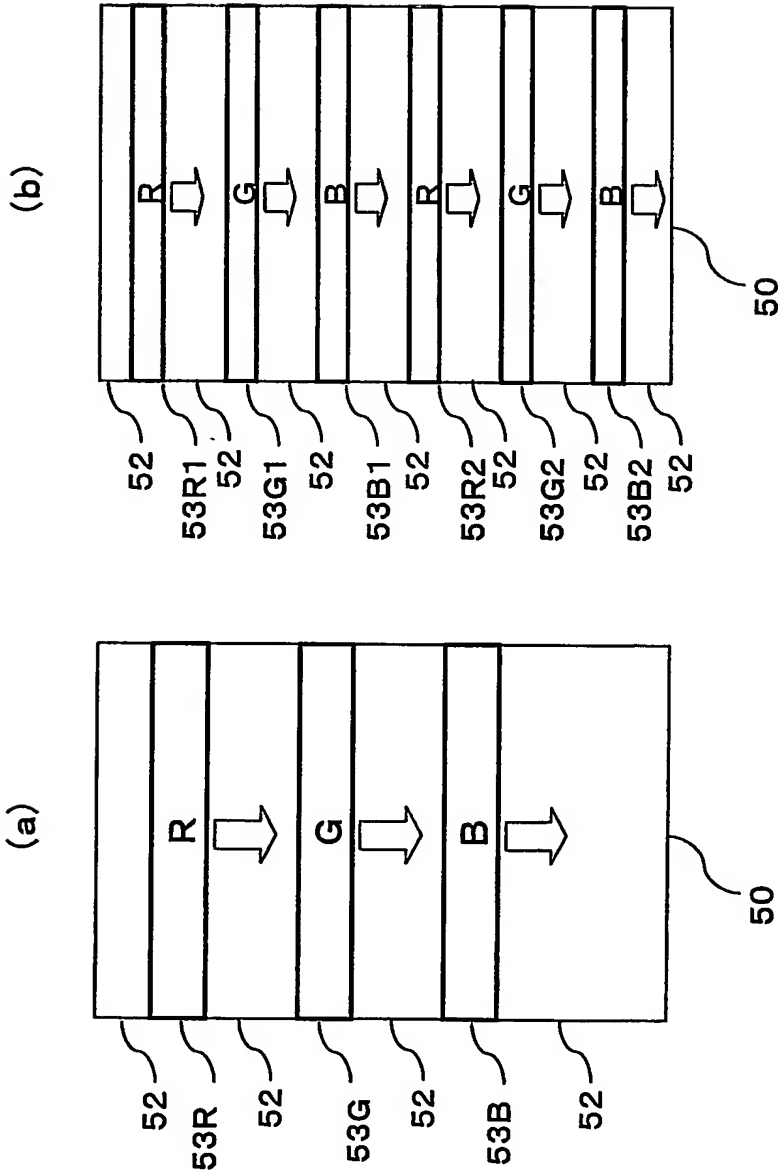
第176図



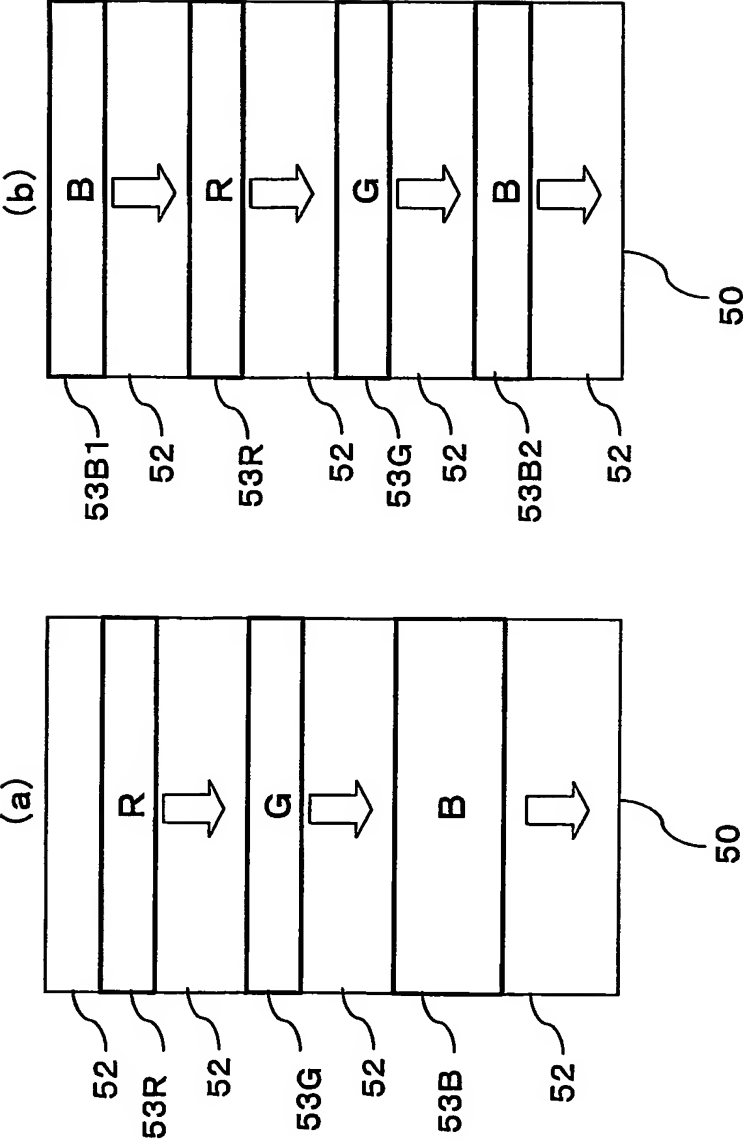
第178図

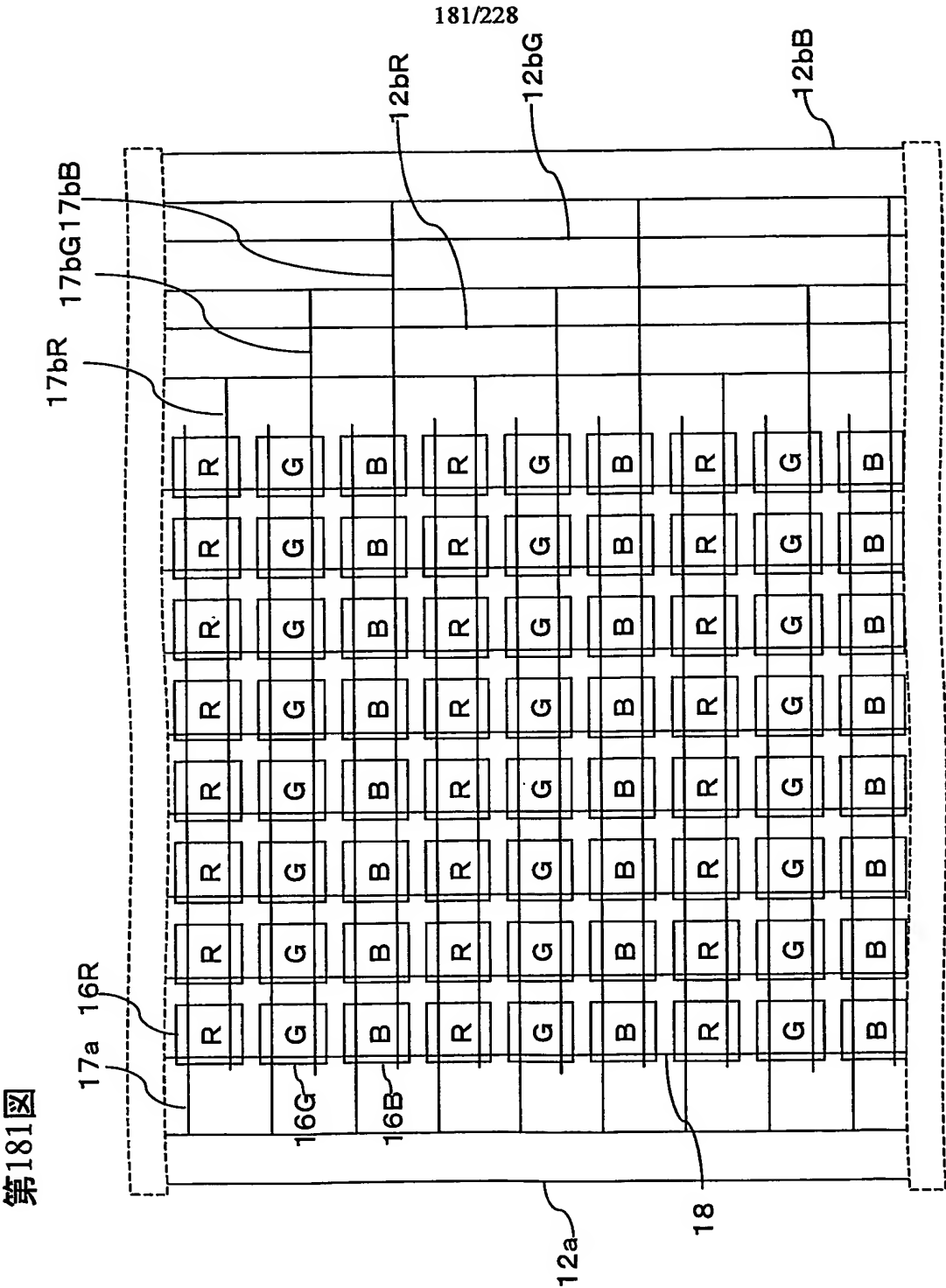


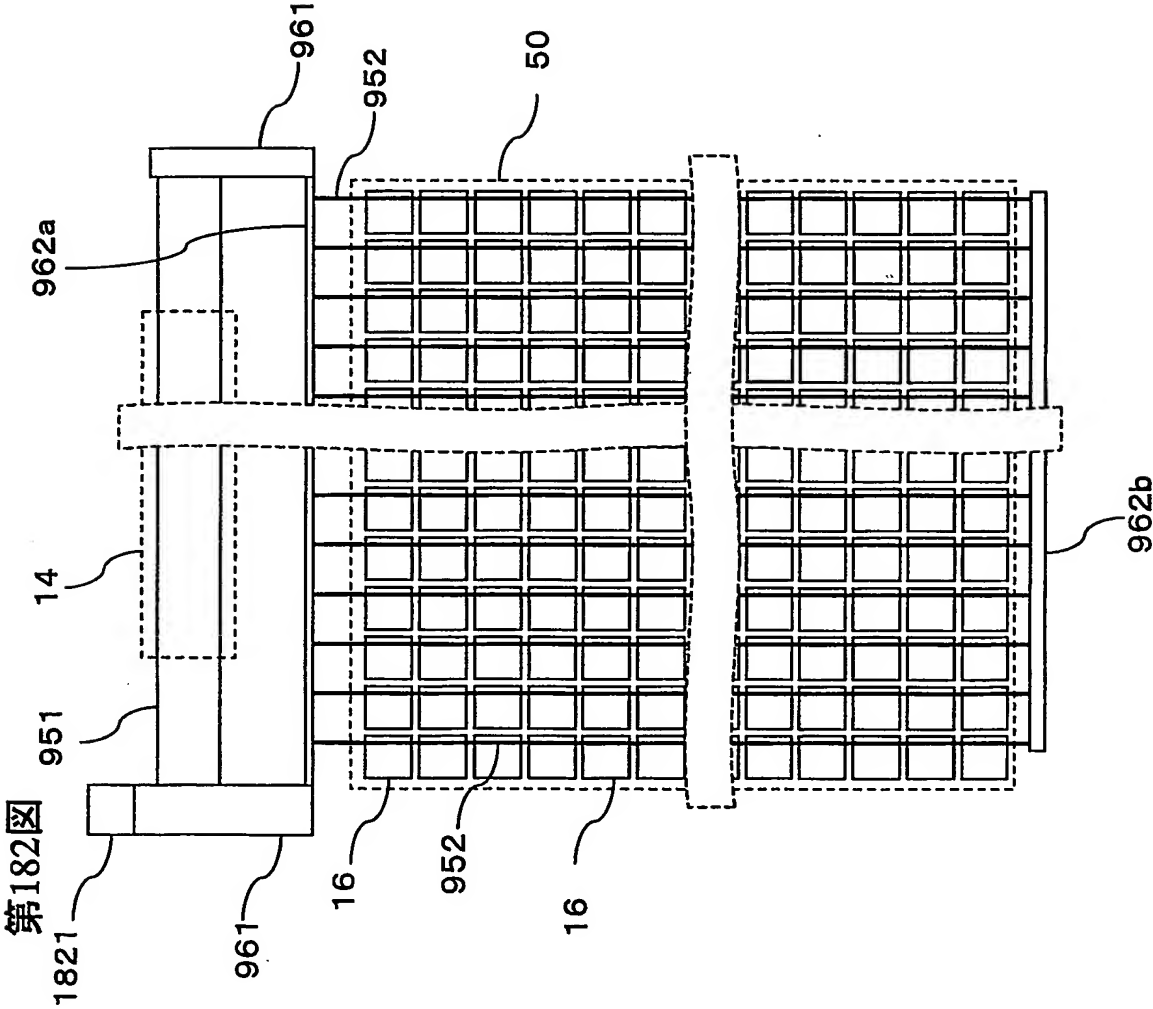
第179図

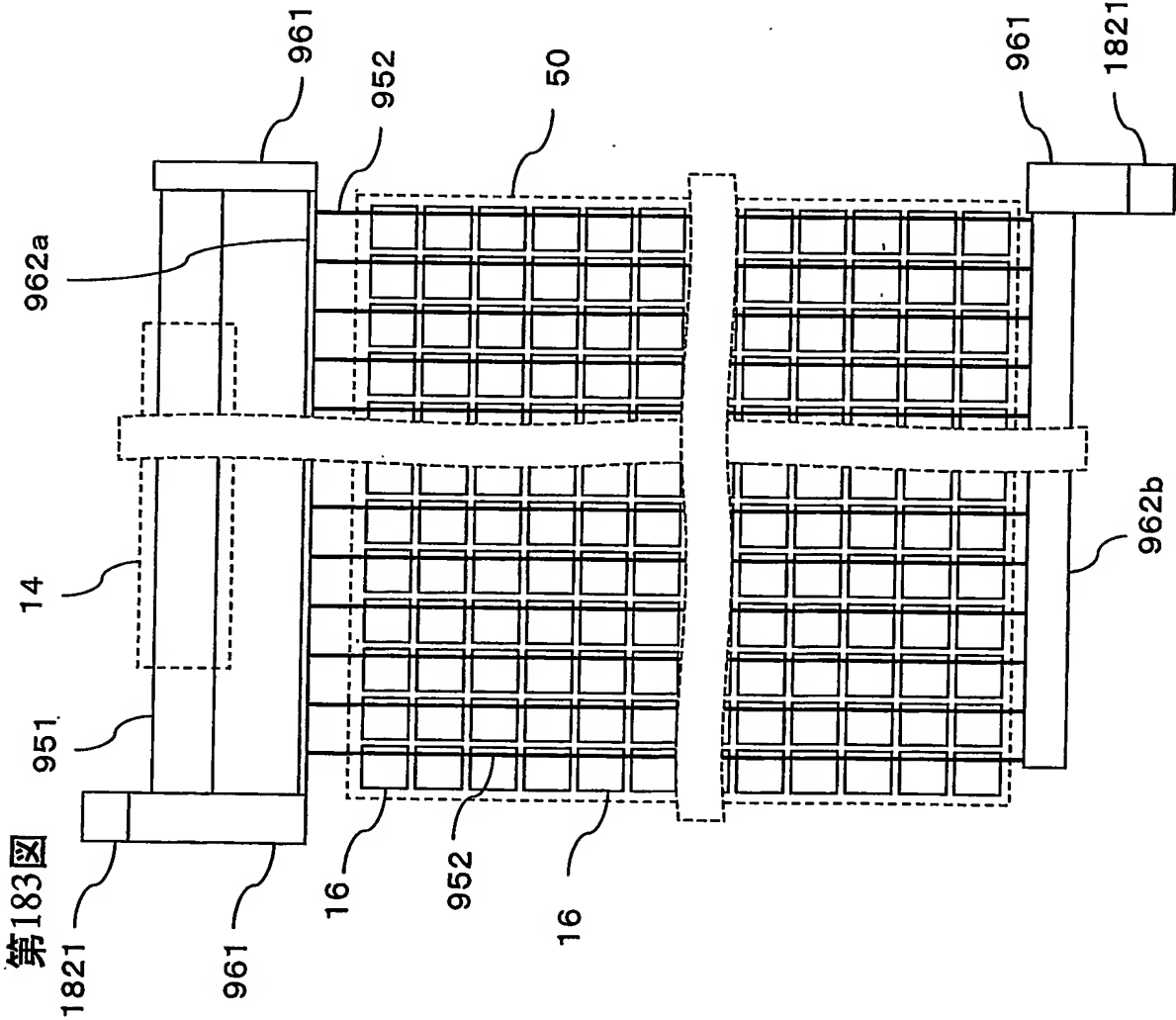


第180图

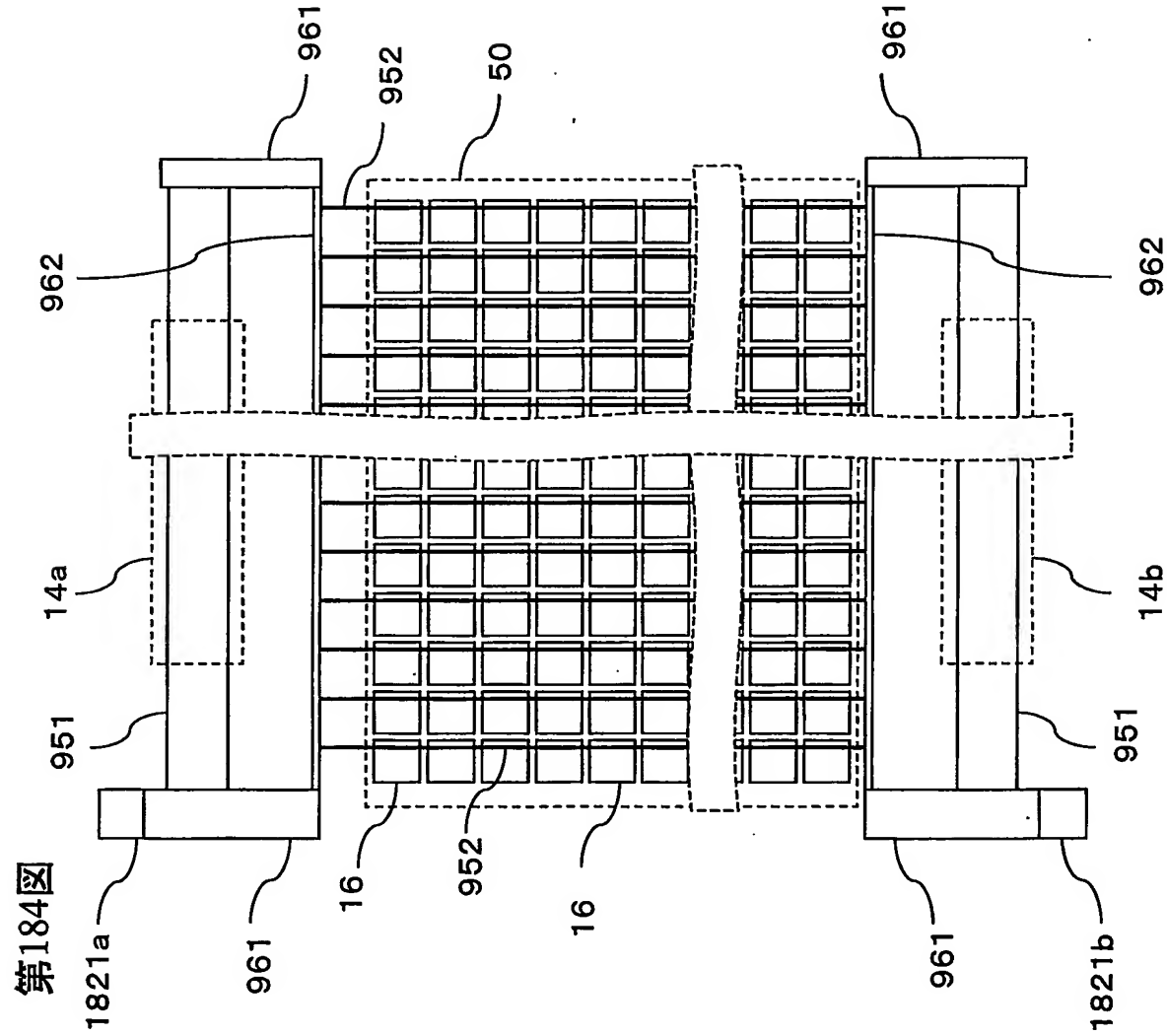




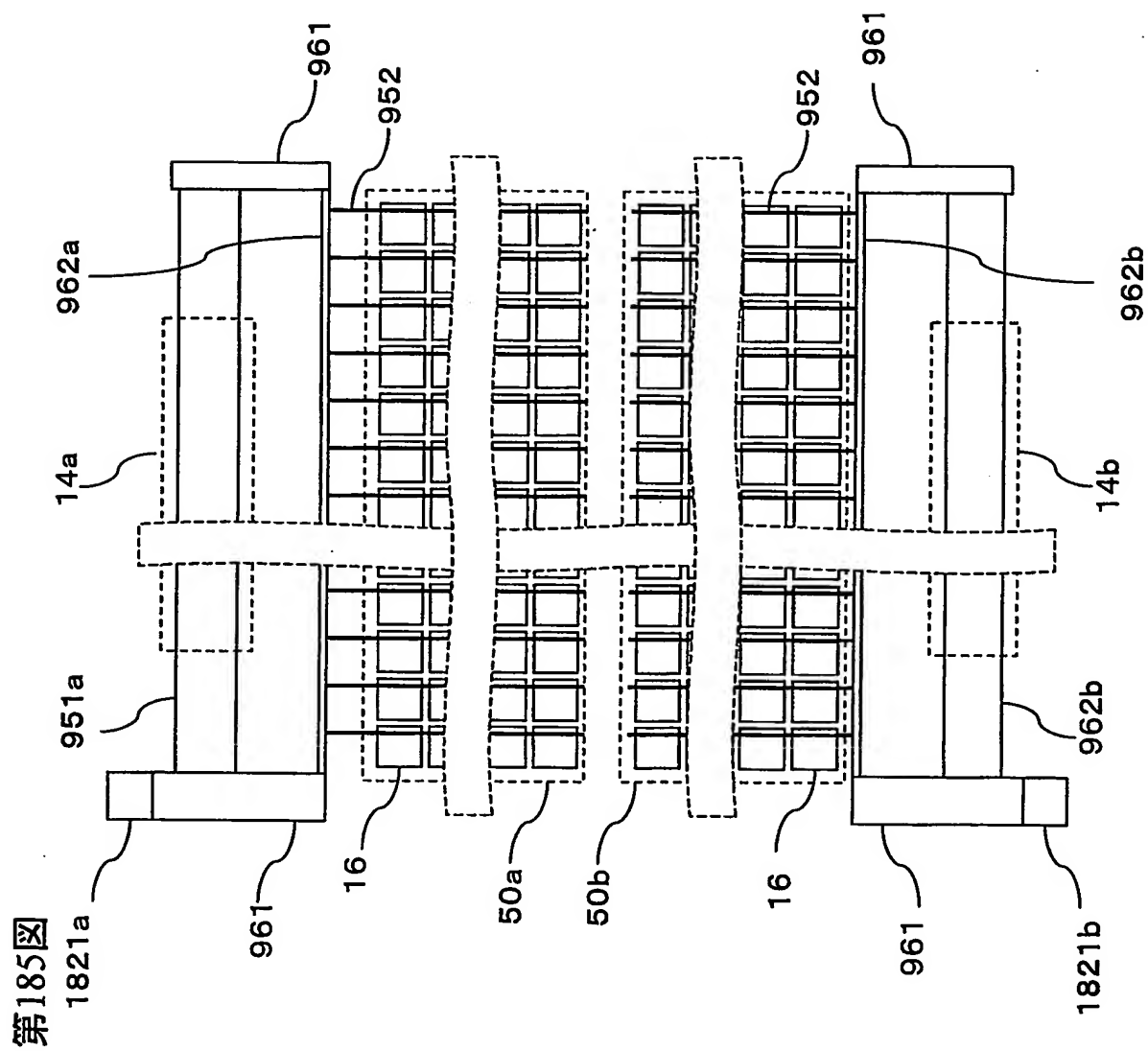




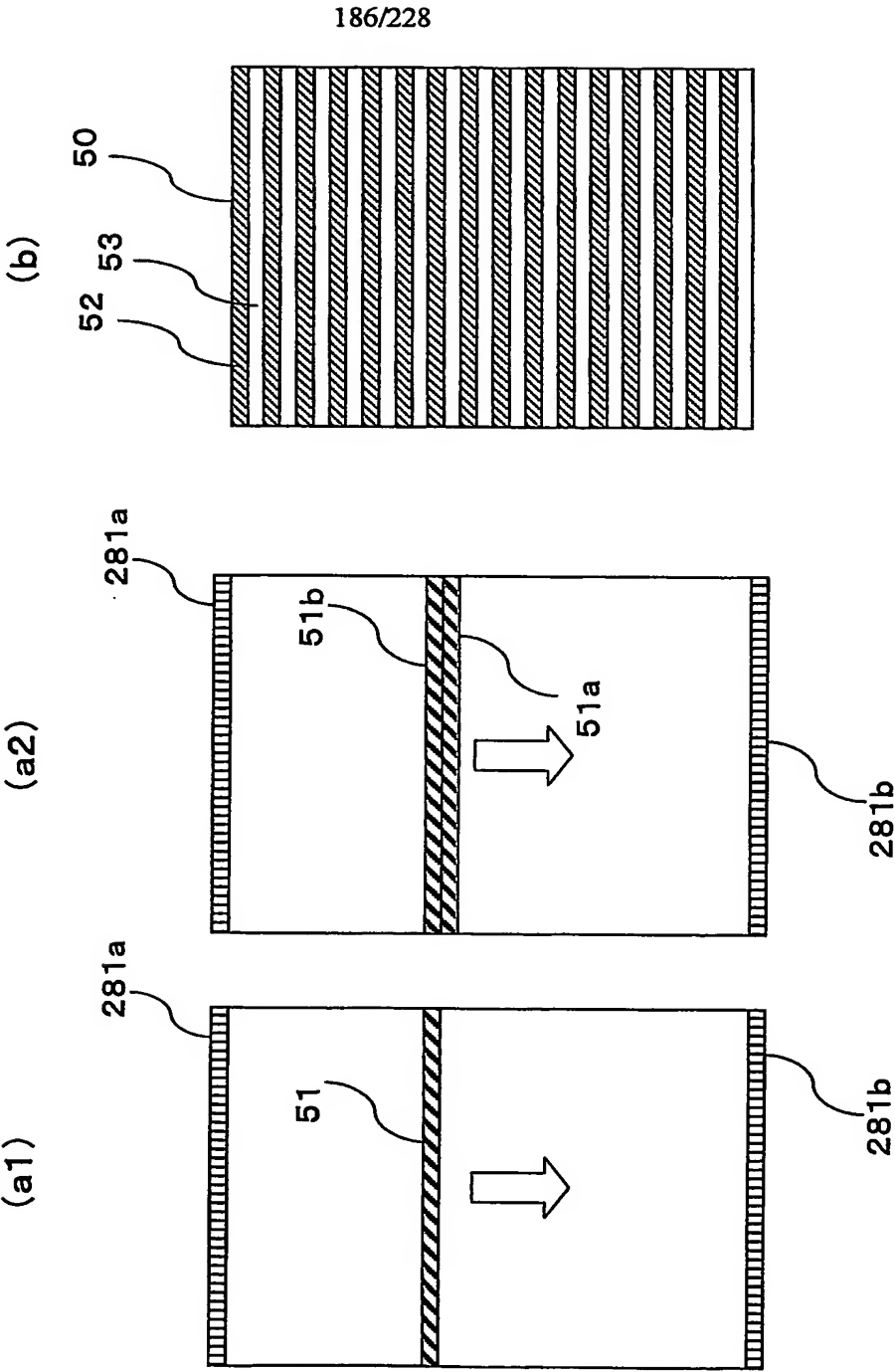
184/228



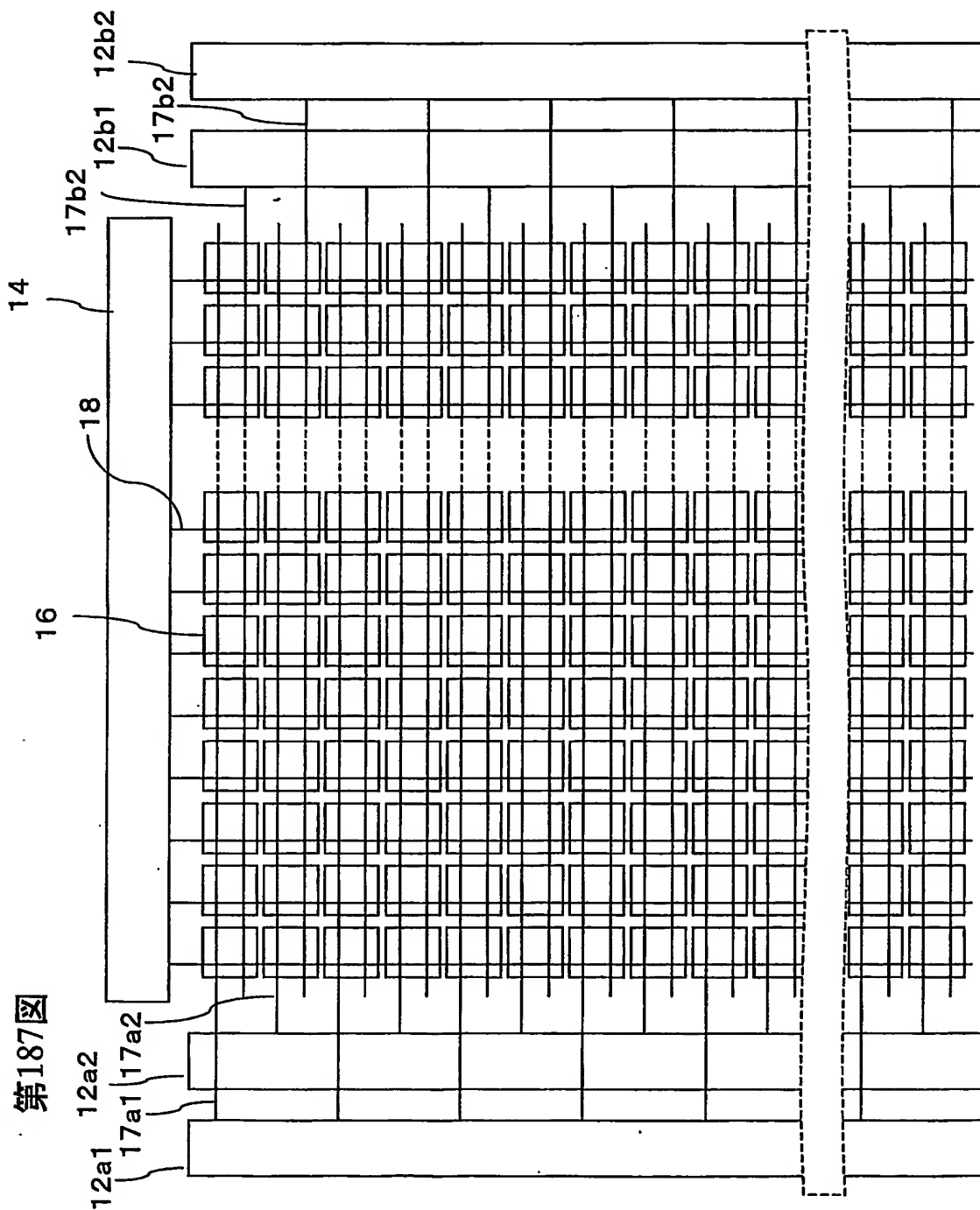
185/228

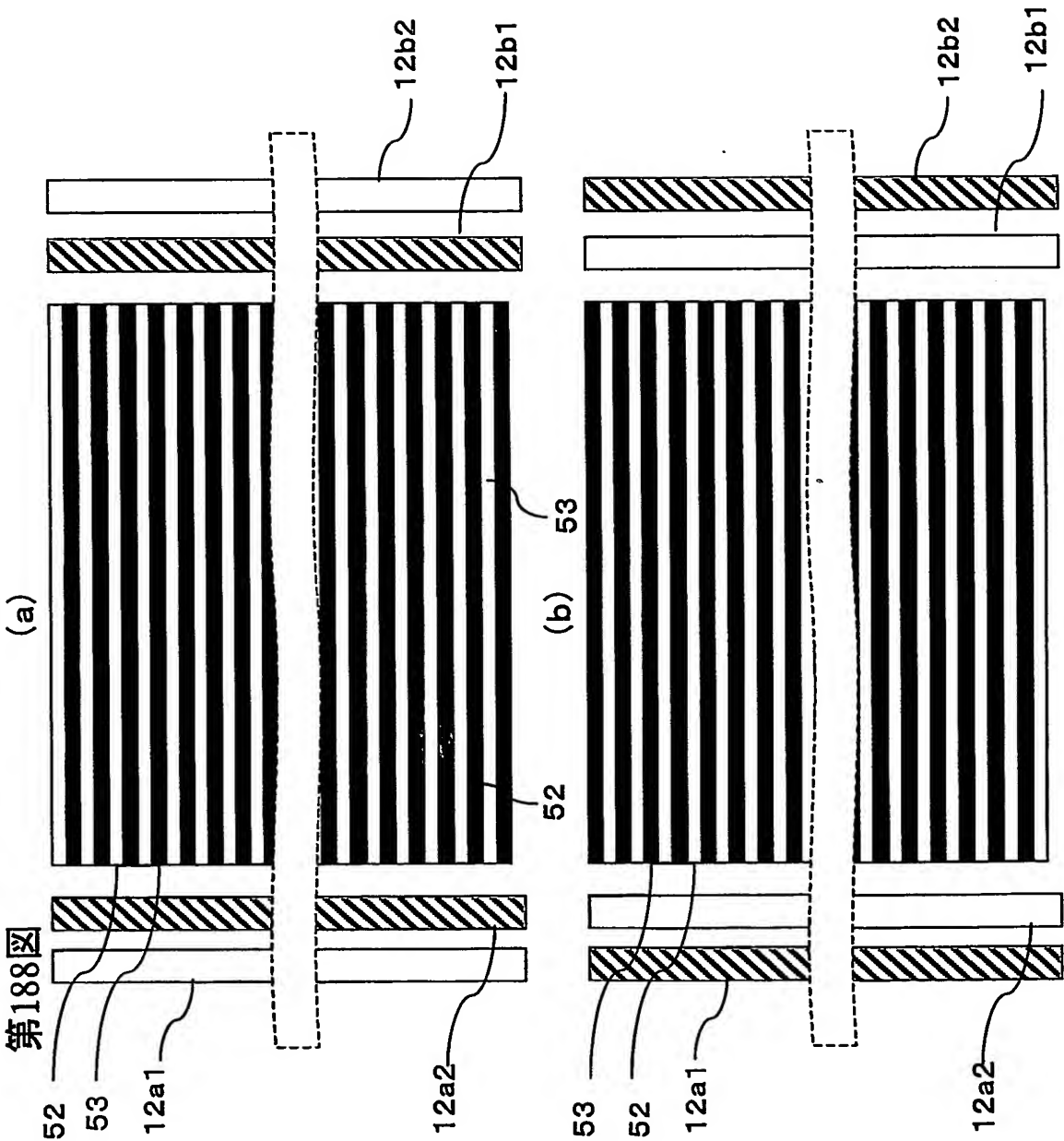


第186図

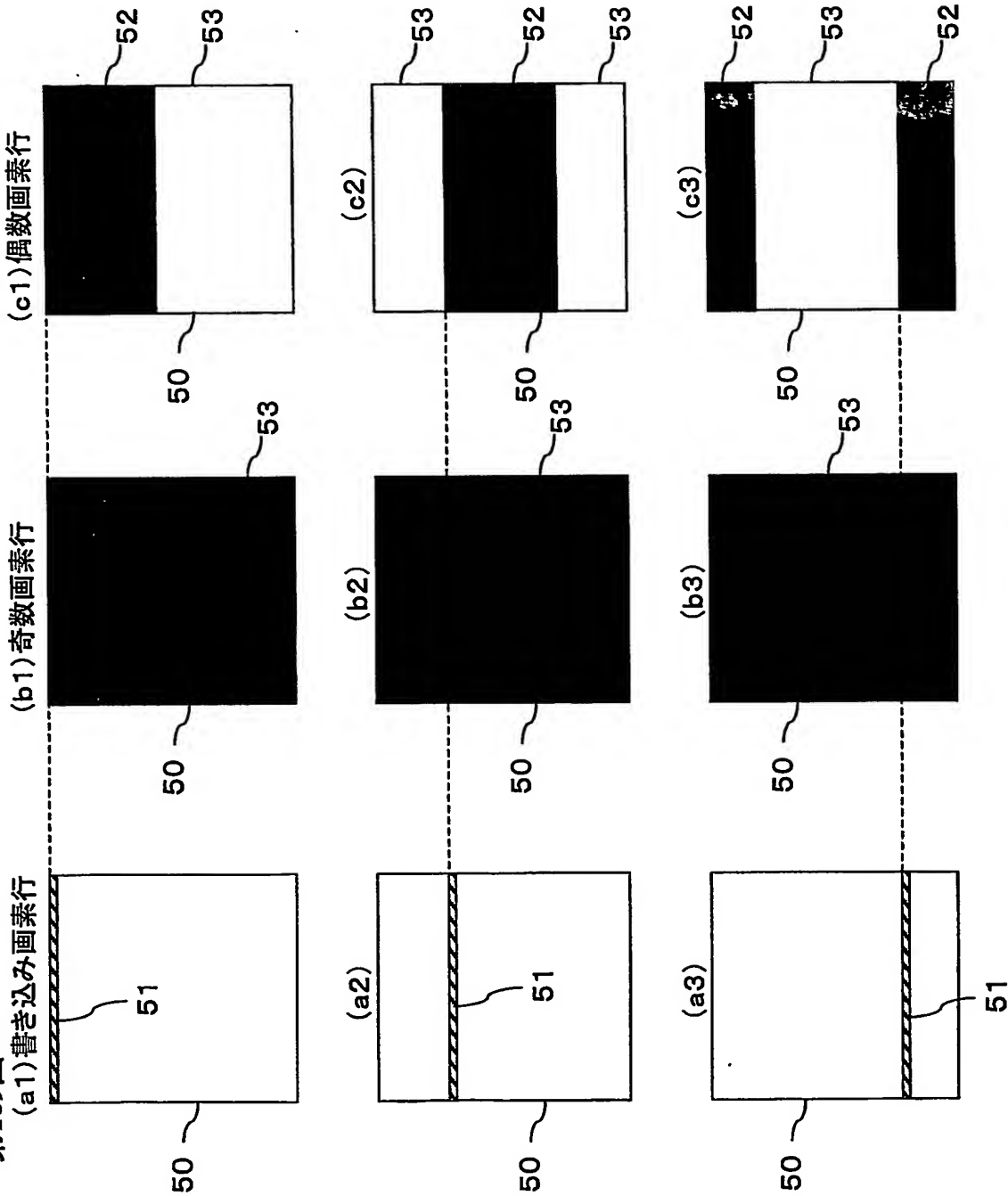


187/228



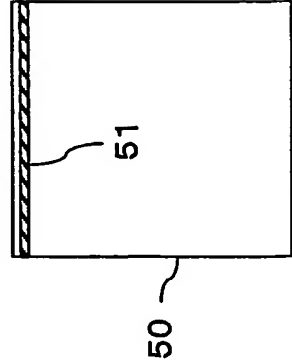


第189図

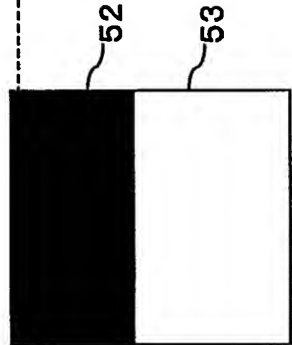


第190図

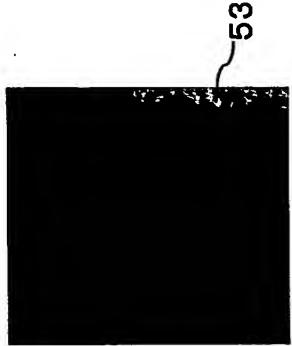
(a1)書き込み画素行



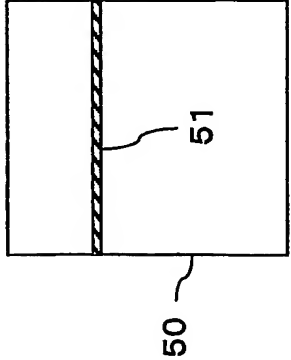
(b1)奇数画素行



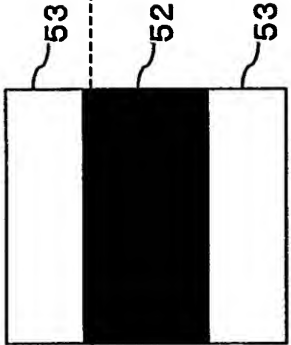
(c1)偶数画素行



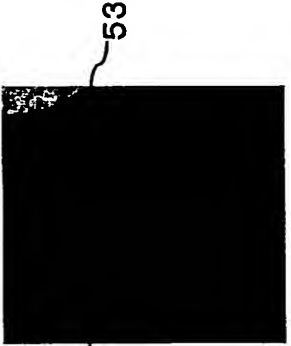
(a2)



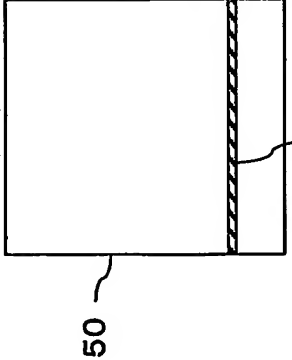
(b2)



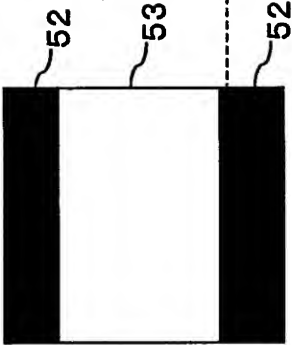
(c2)



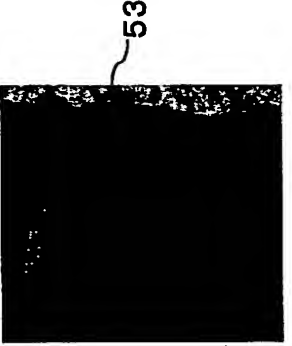
(a3)

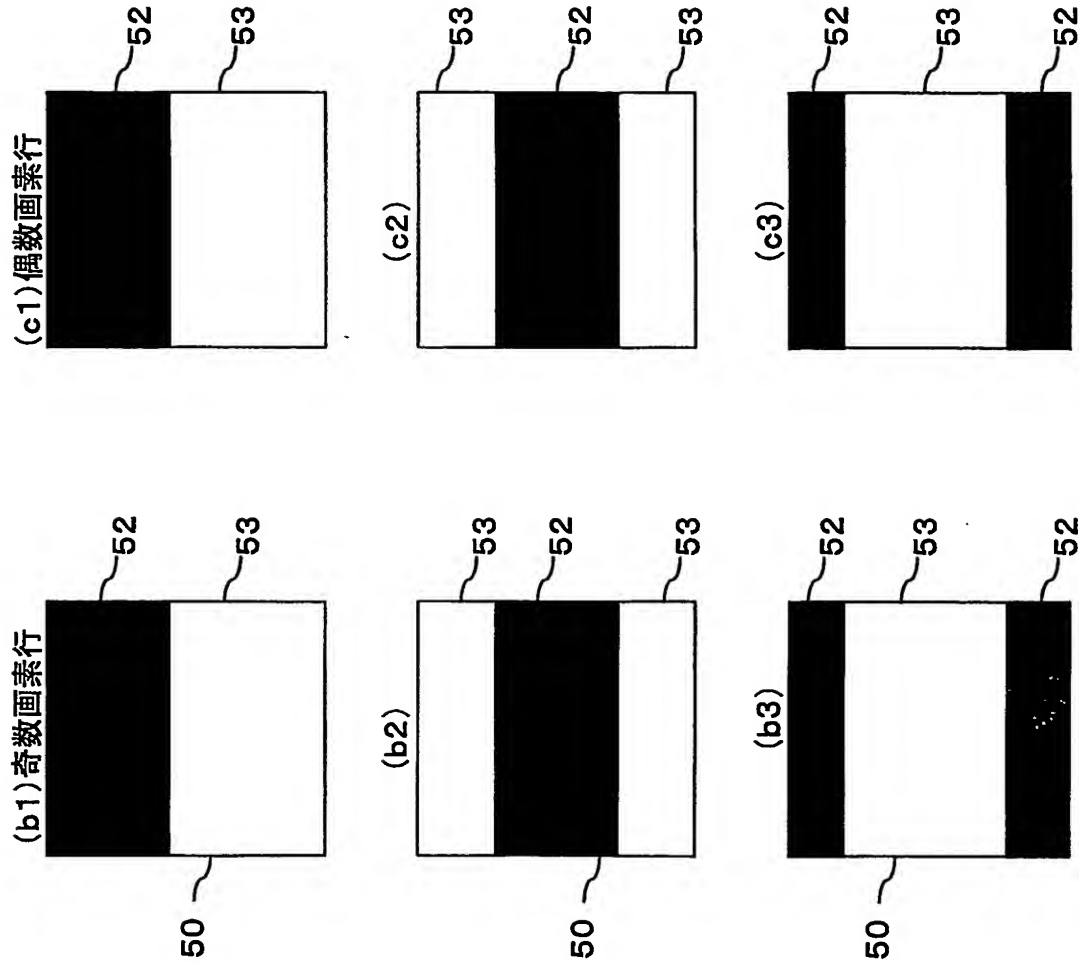


(b3)



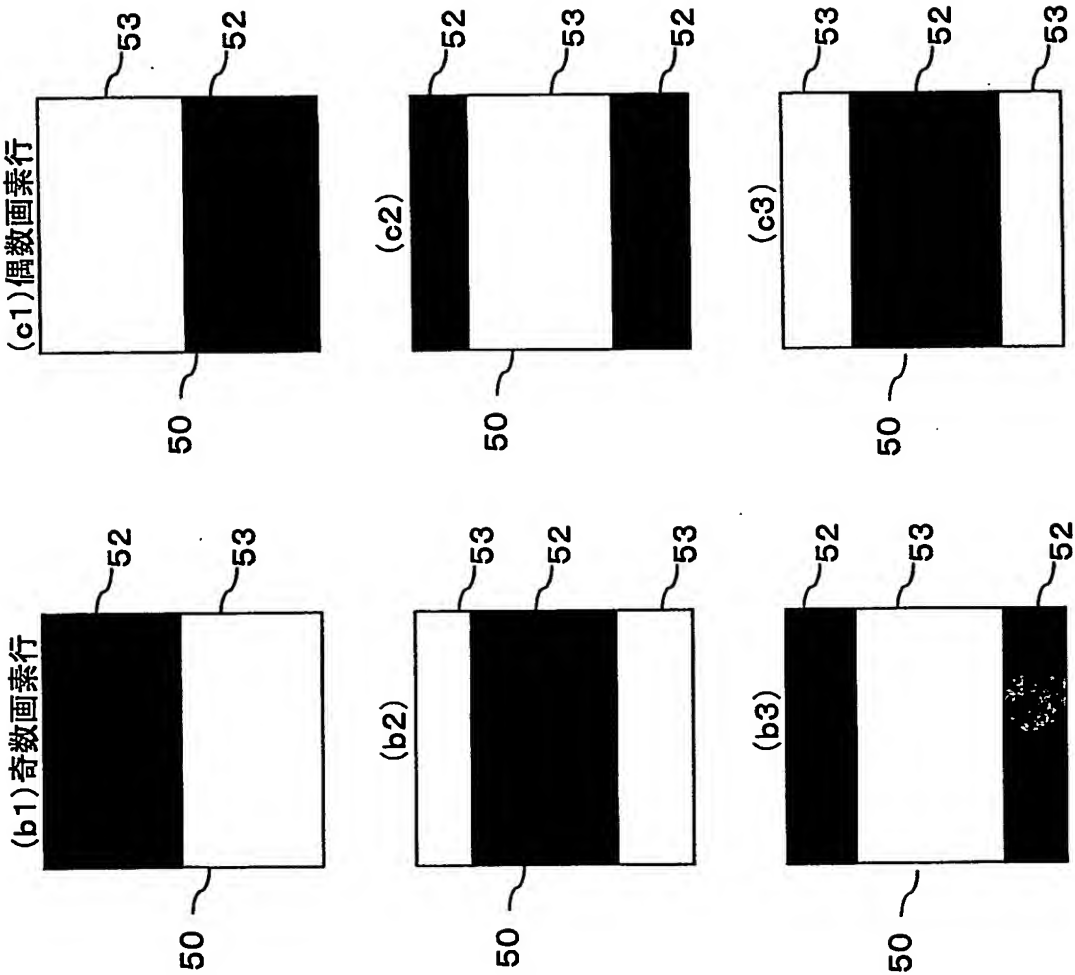
(c3)



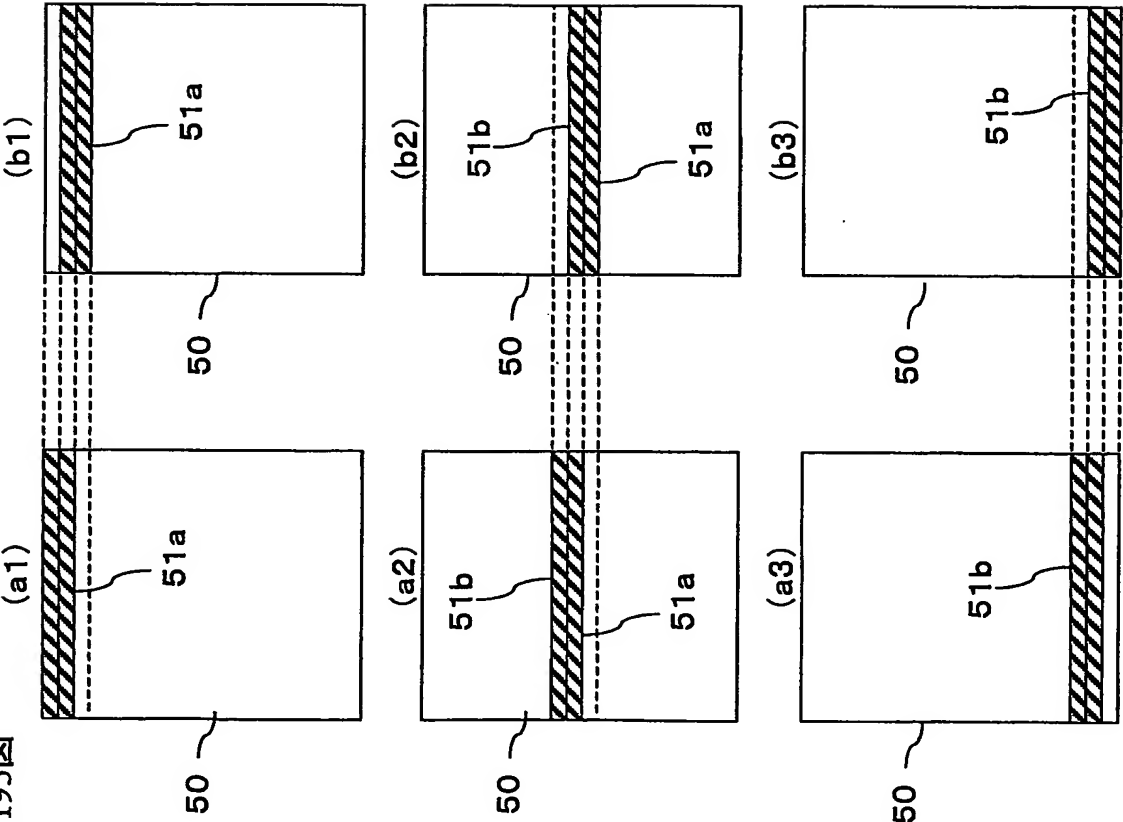


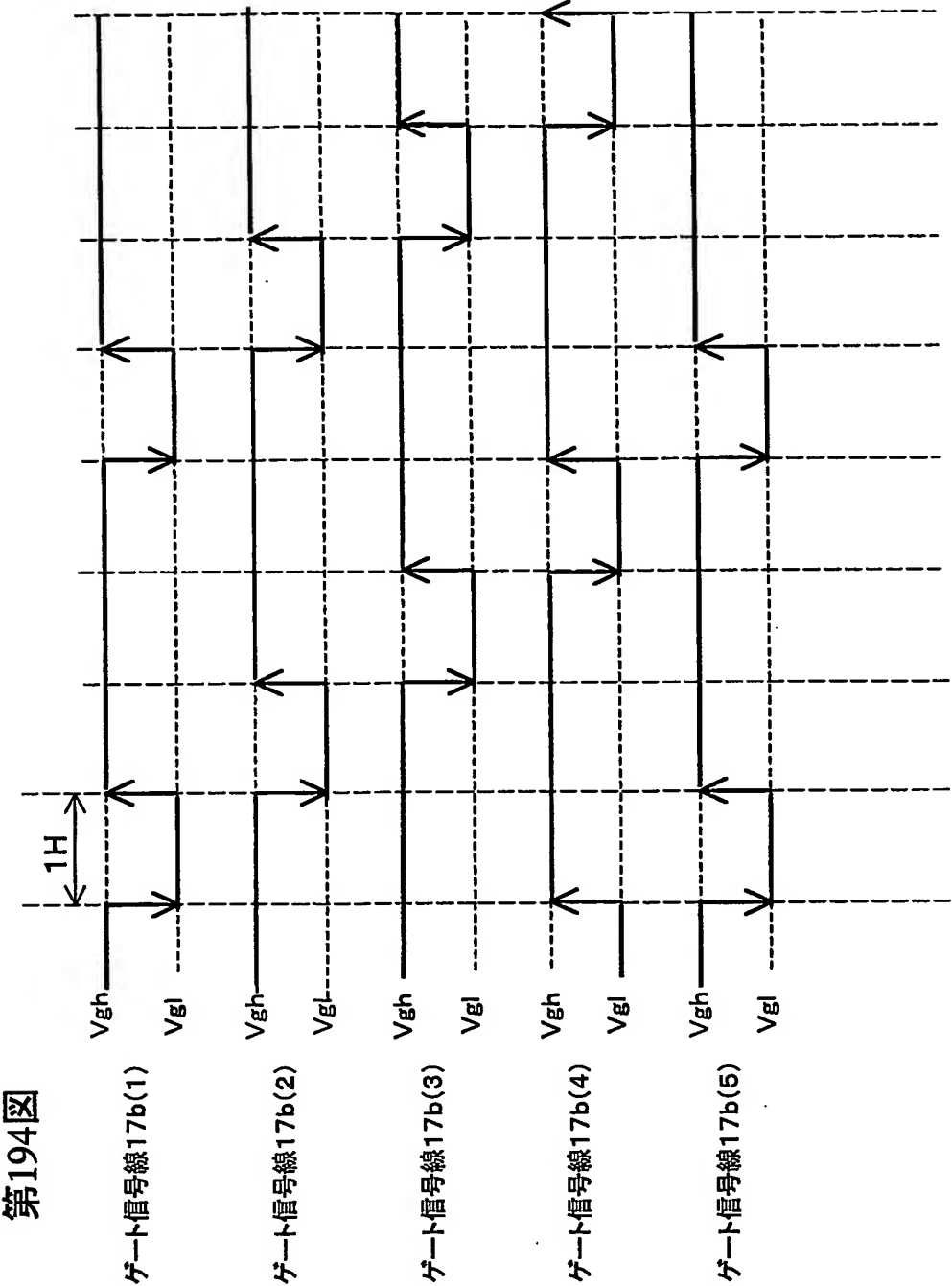
第191図

第192図

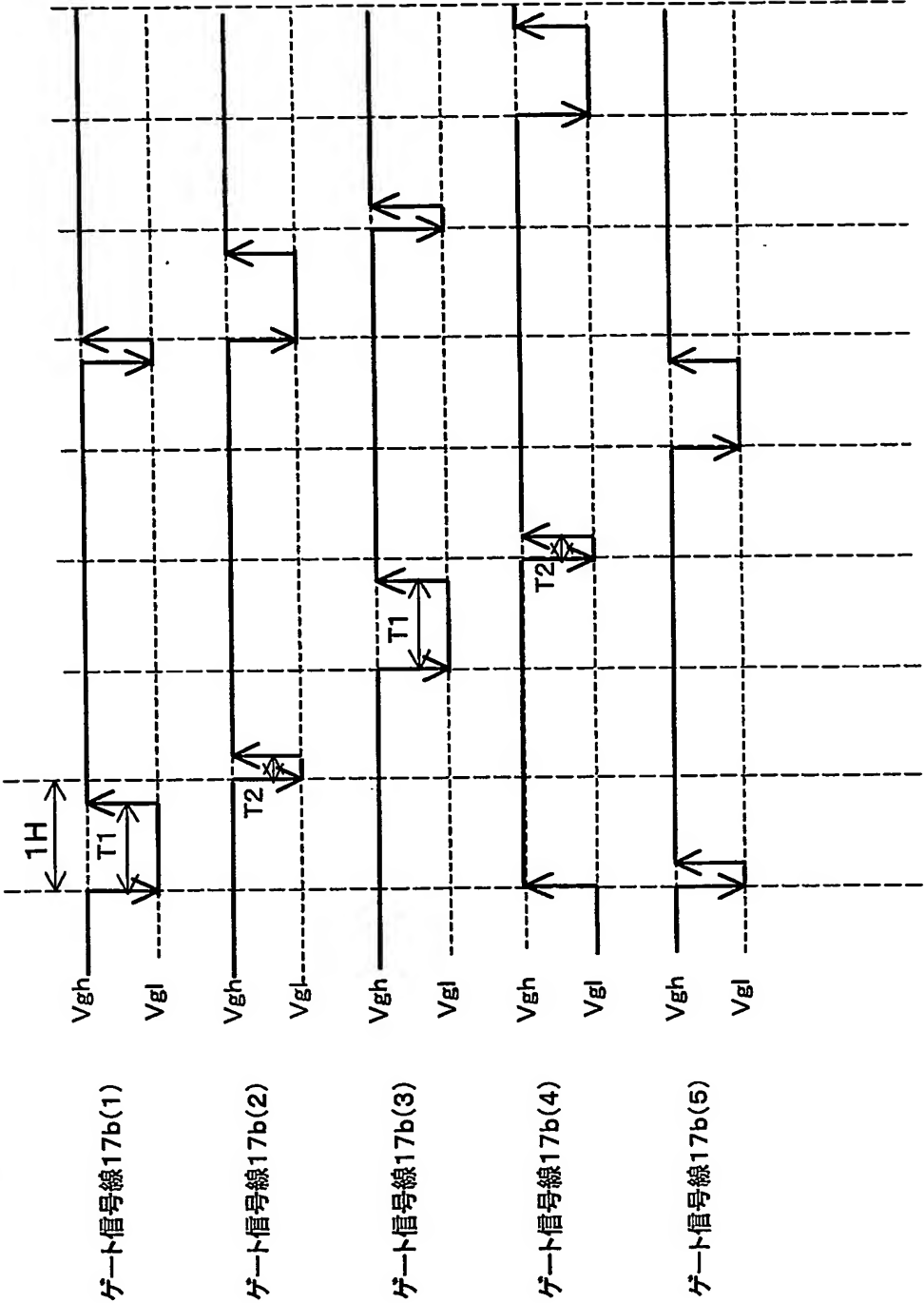


第193図



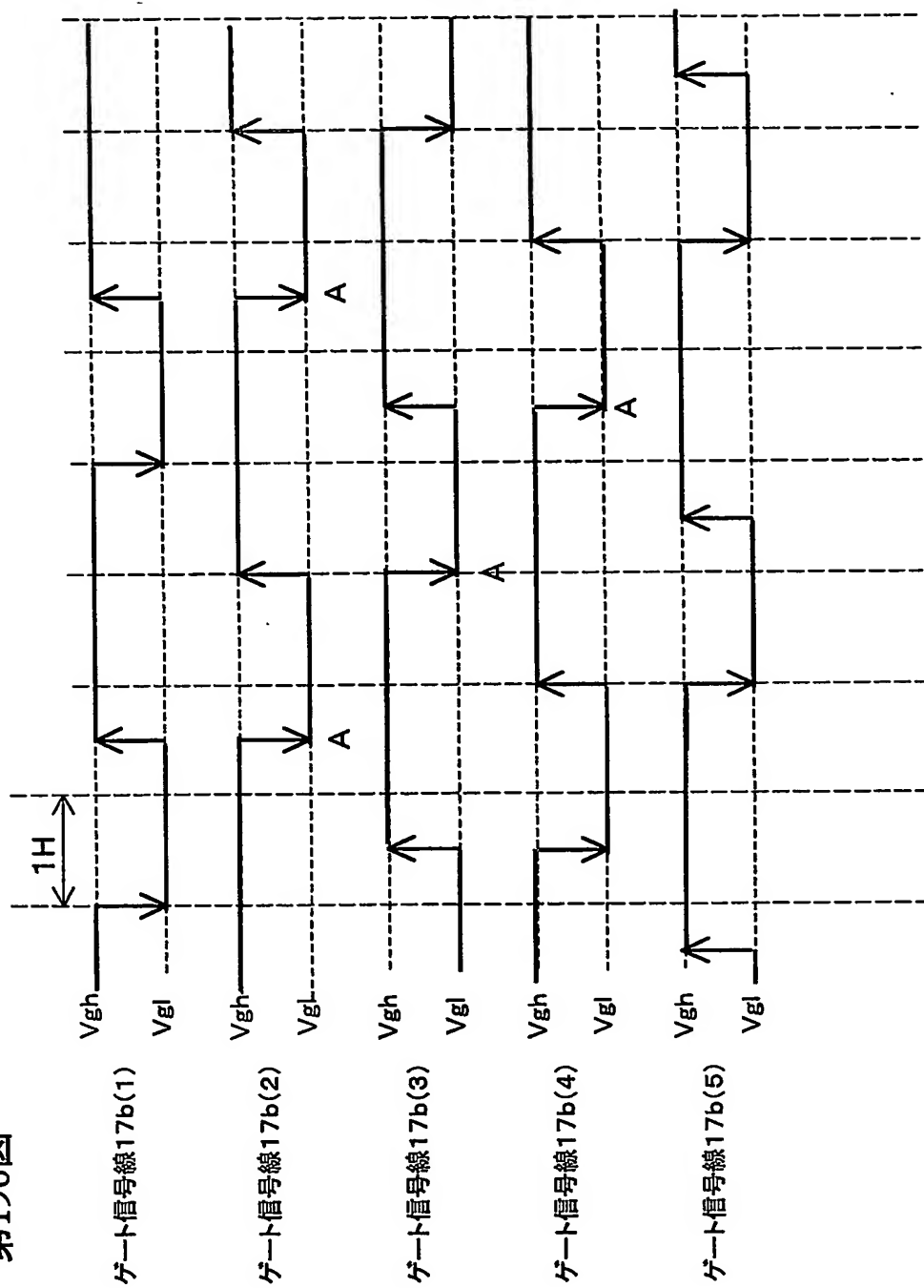


第195図



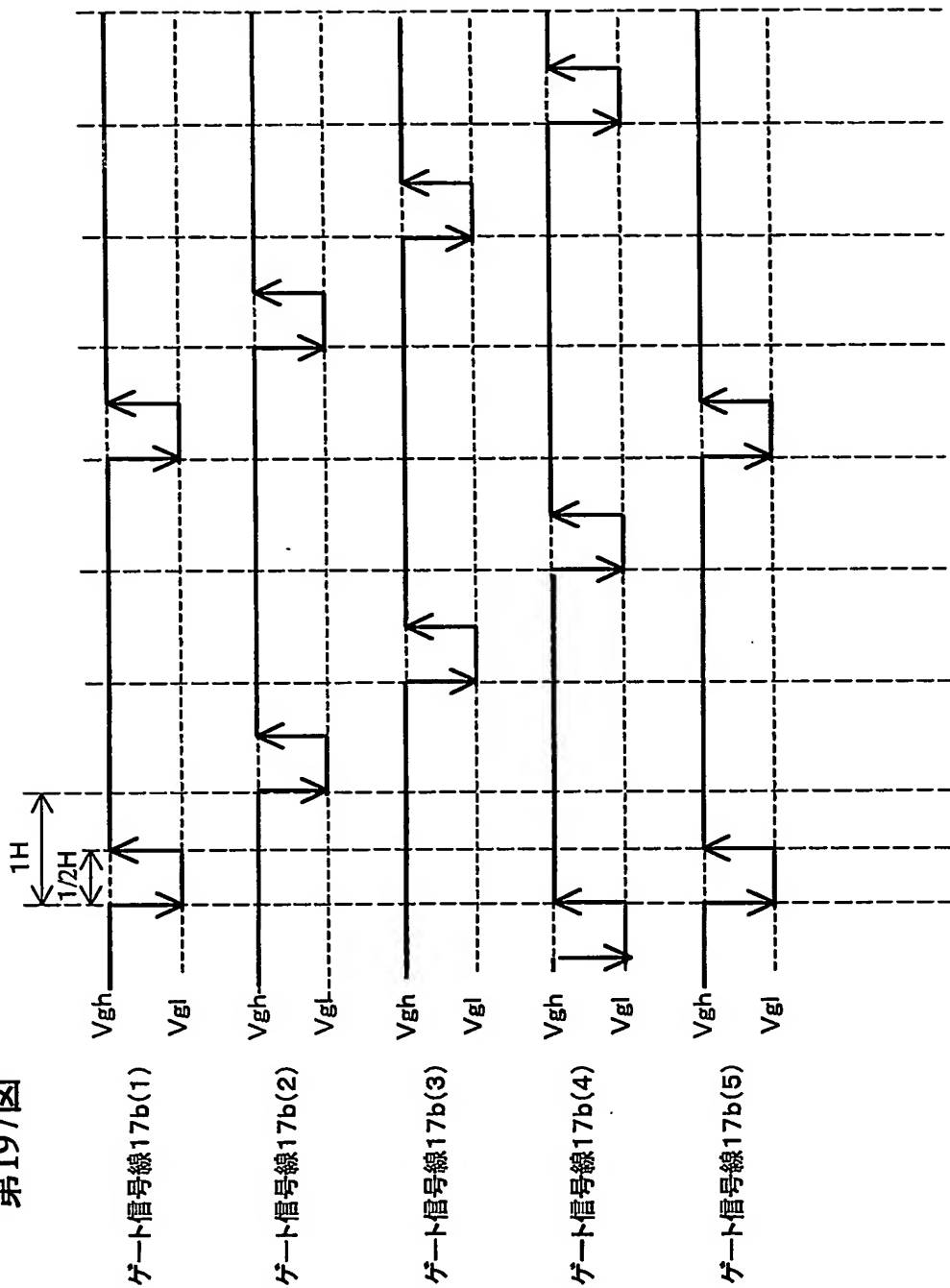
196/228

第196図

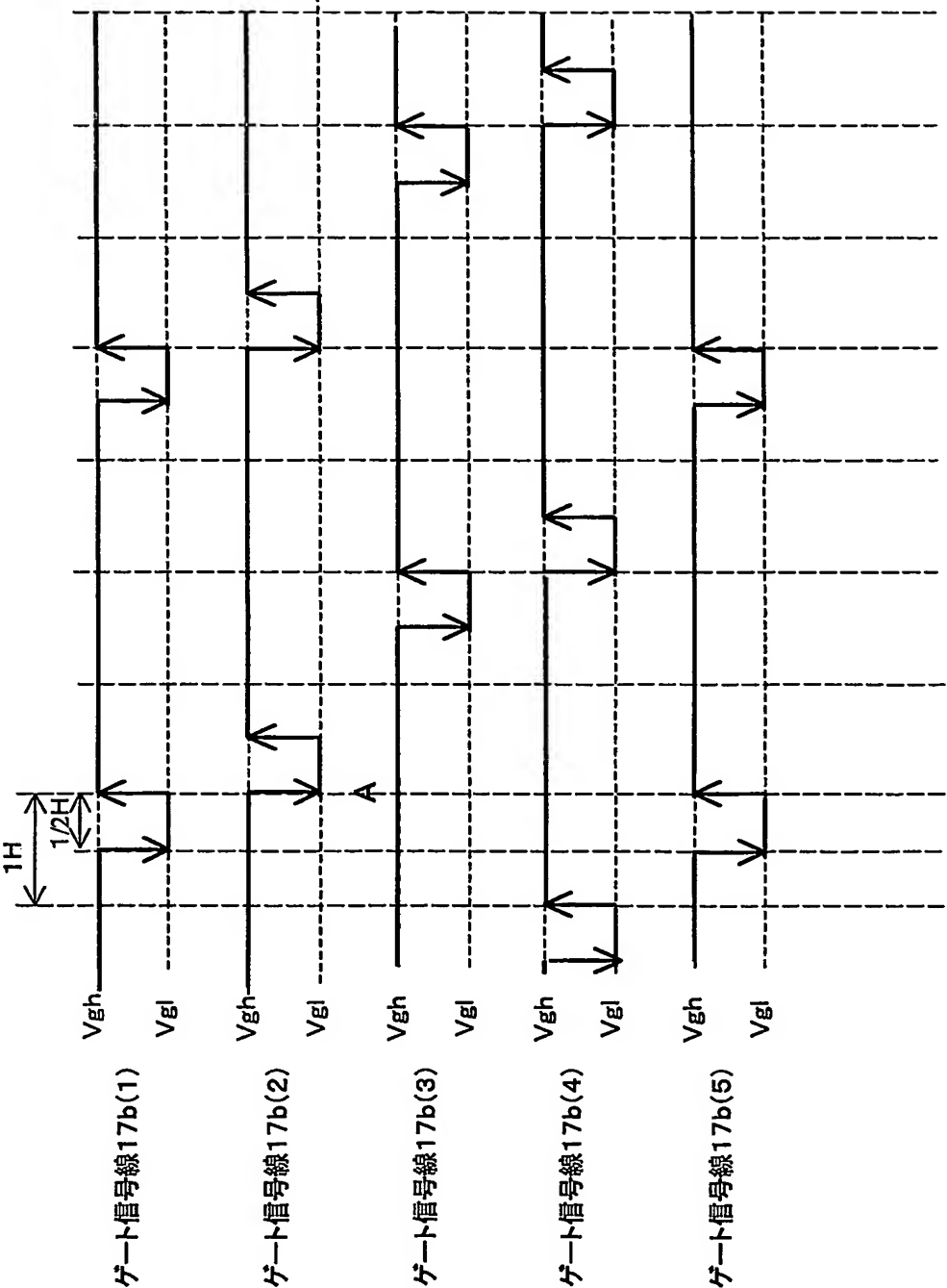


197/228

第197図

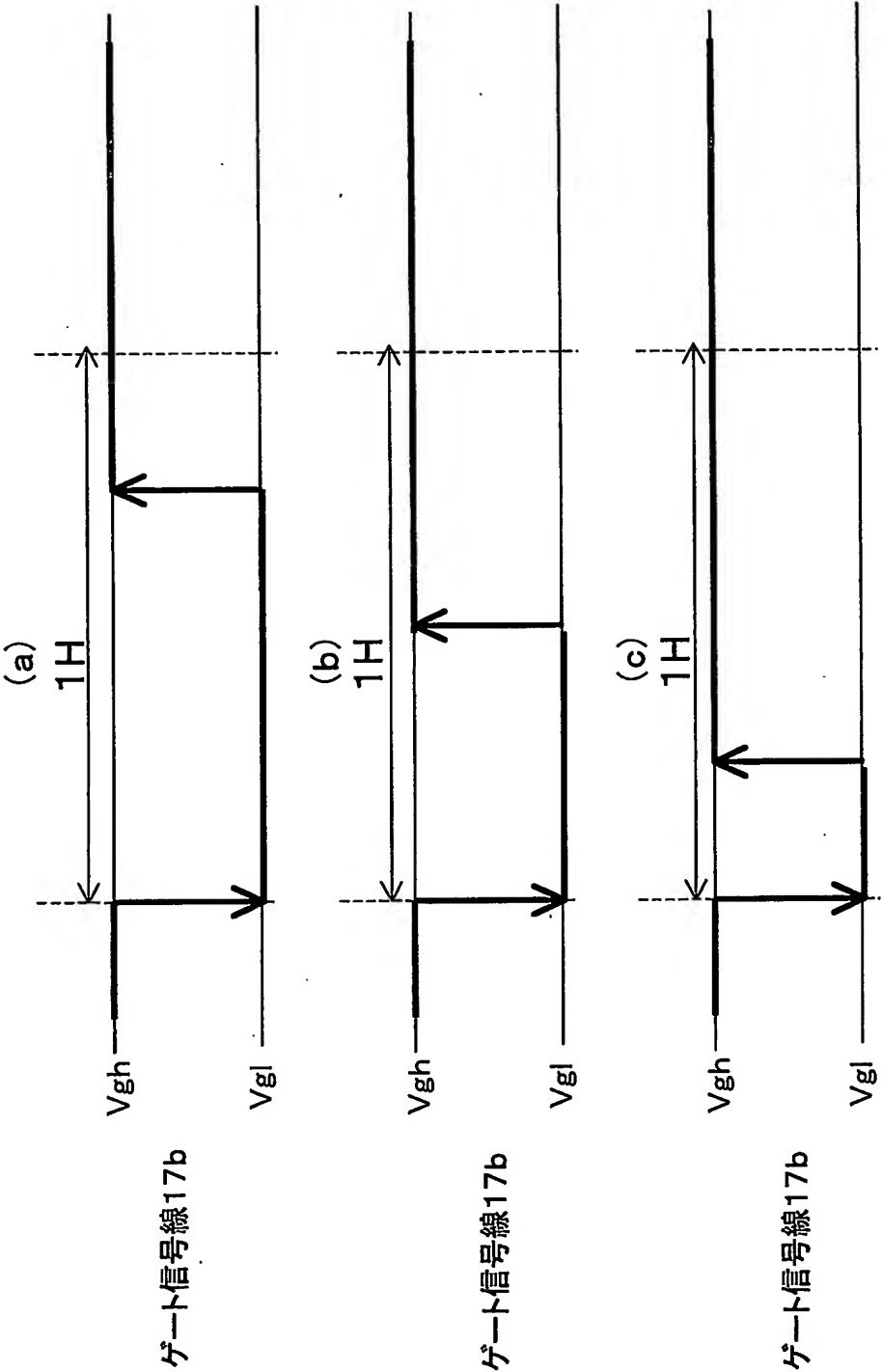


第198図

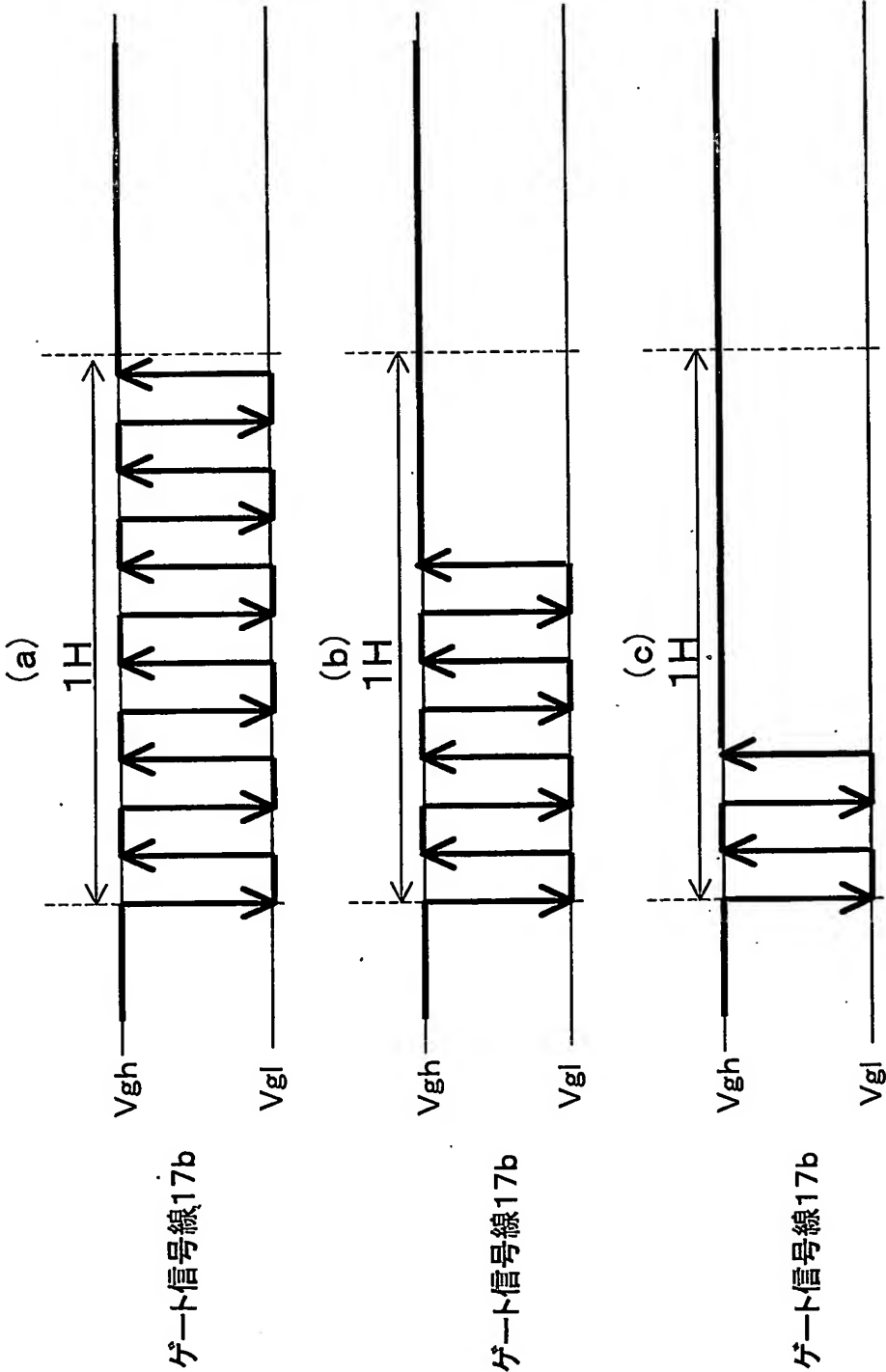


199/228

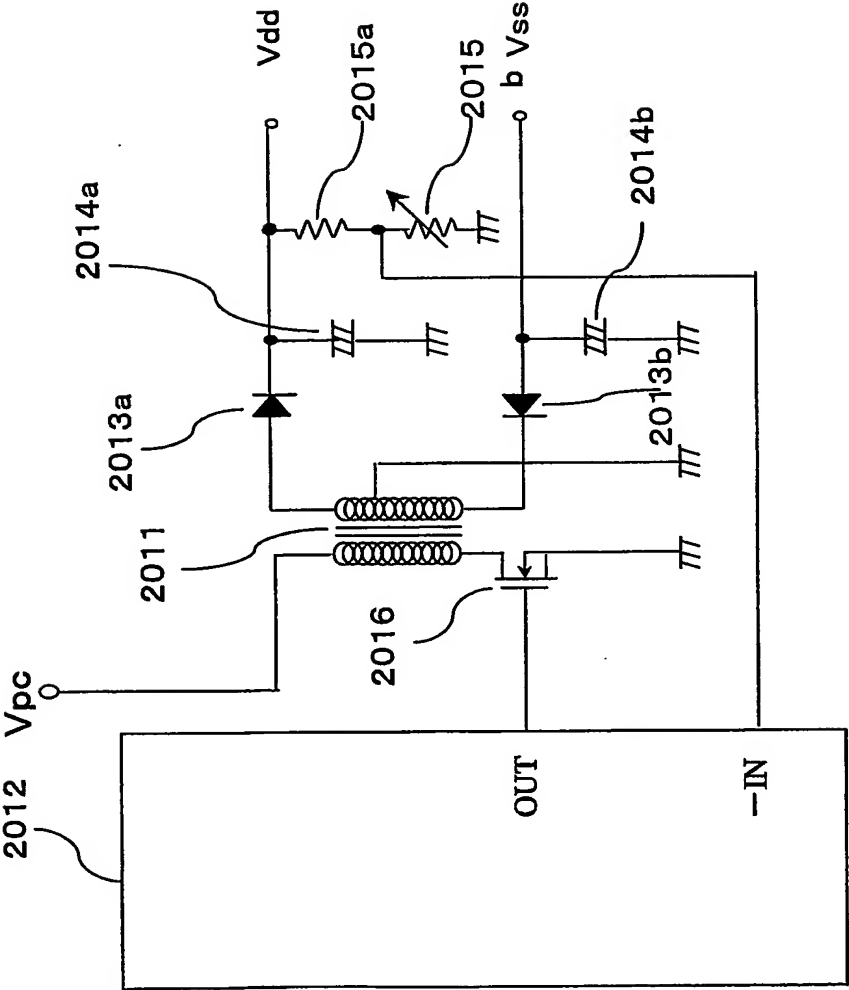
第199図



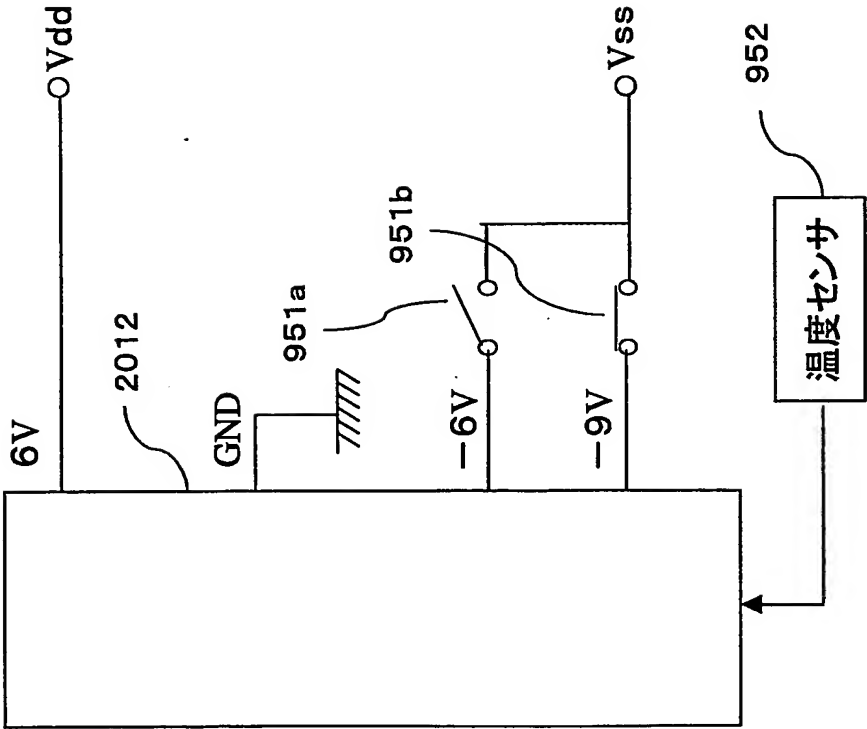
第200図



第201図

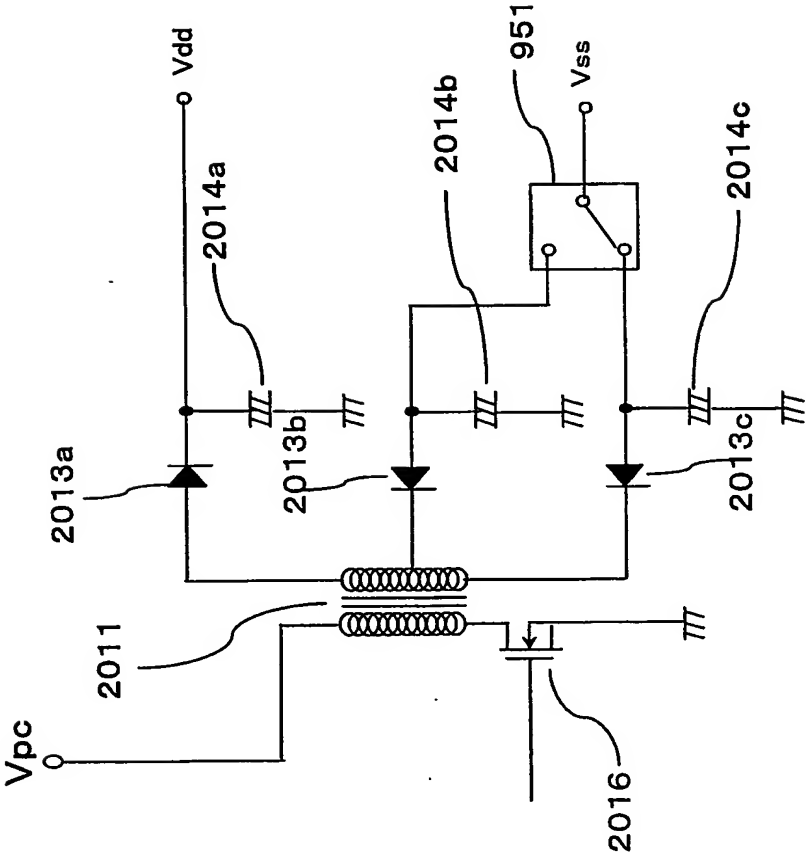


第202図

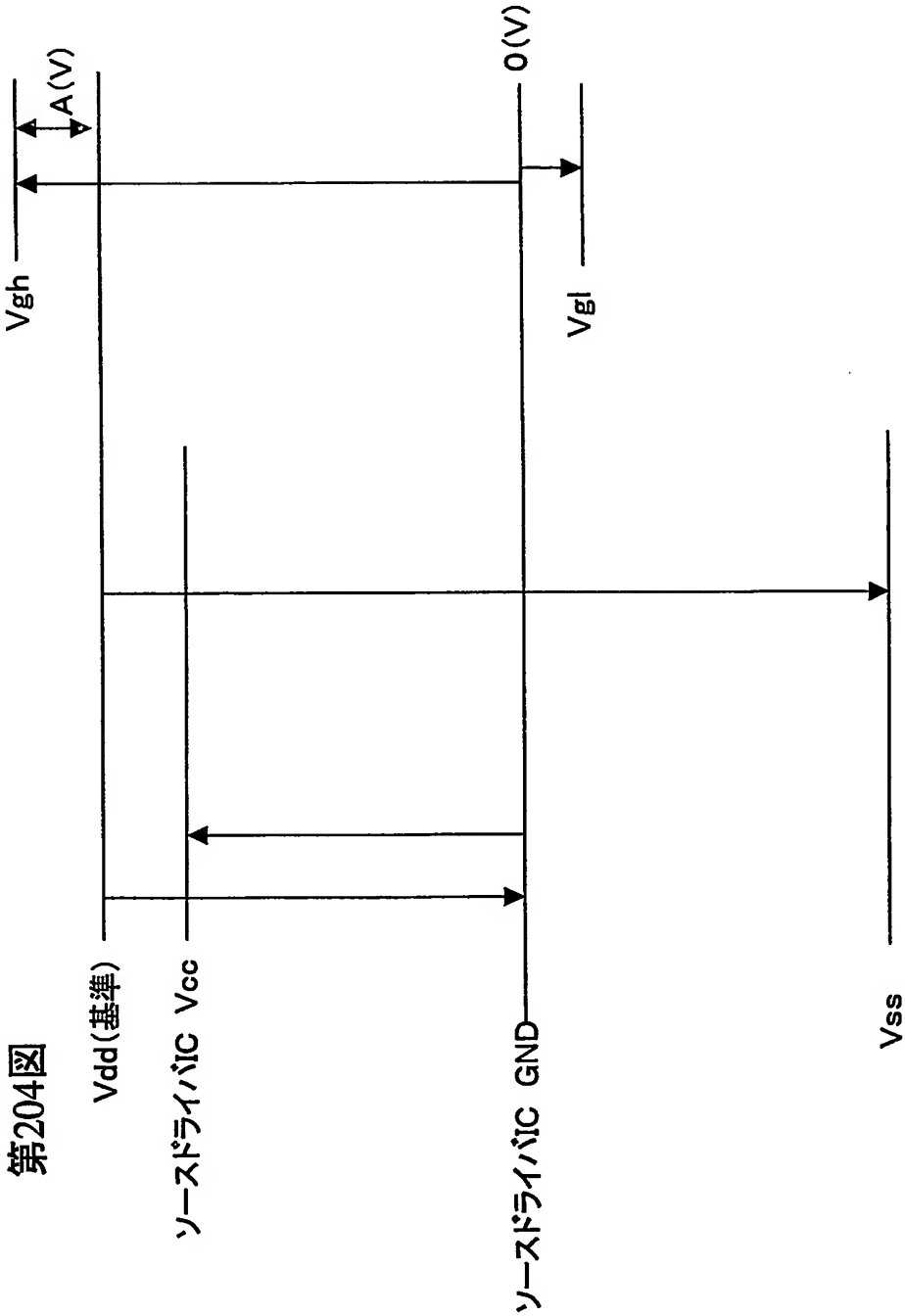


203/228

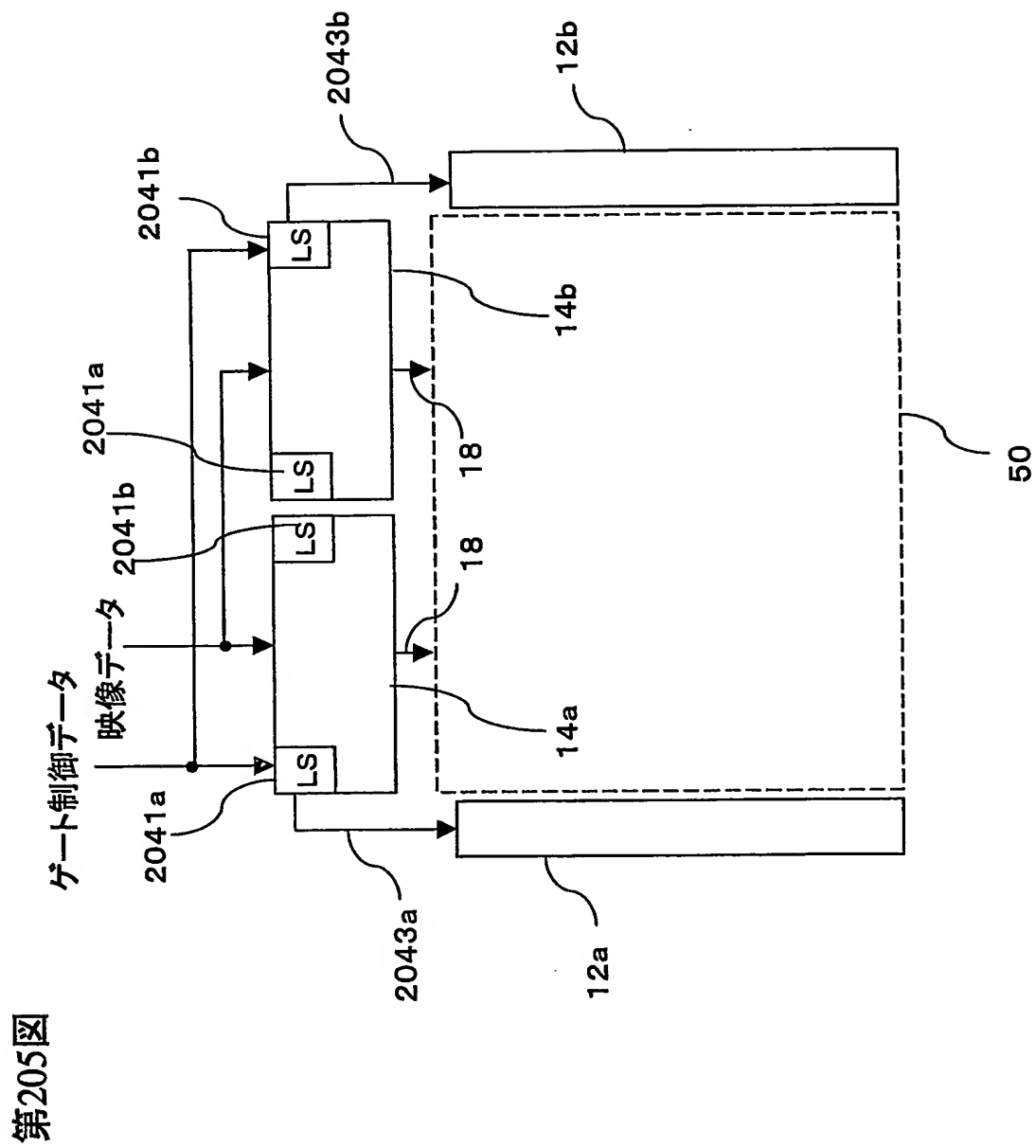
第203図



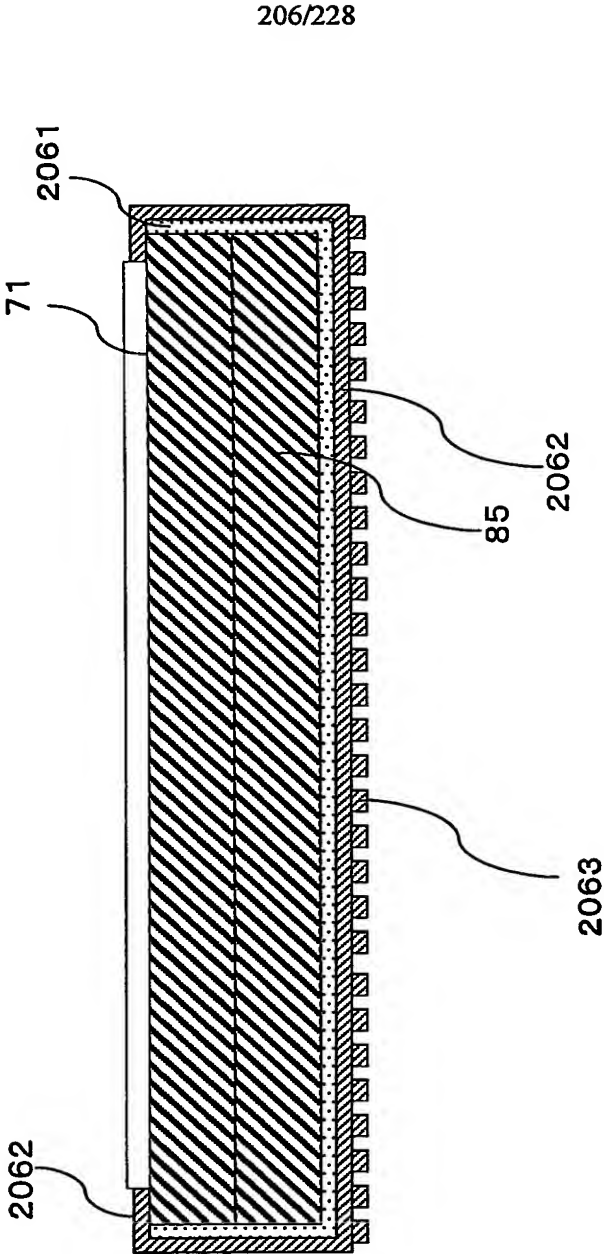
204/228



205/228

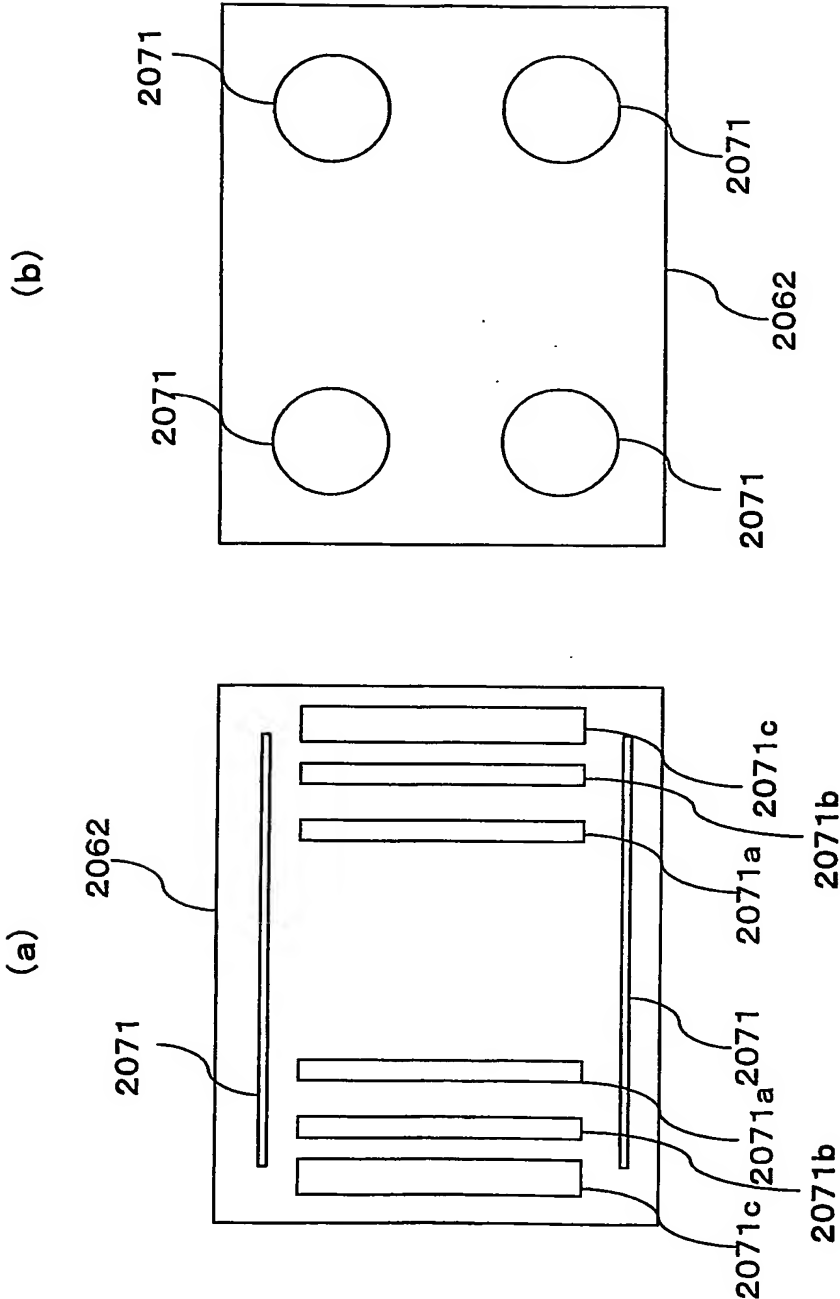


第206図

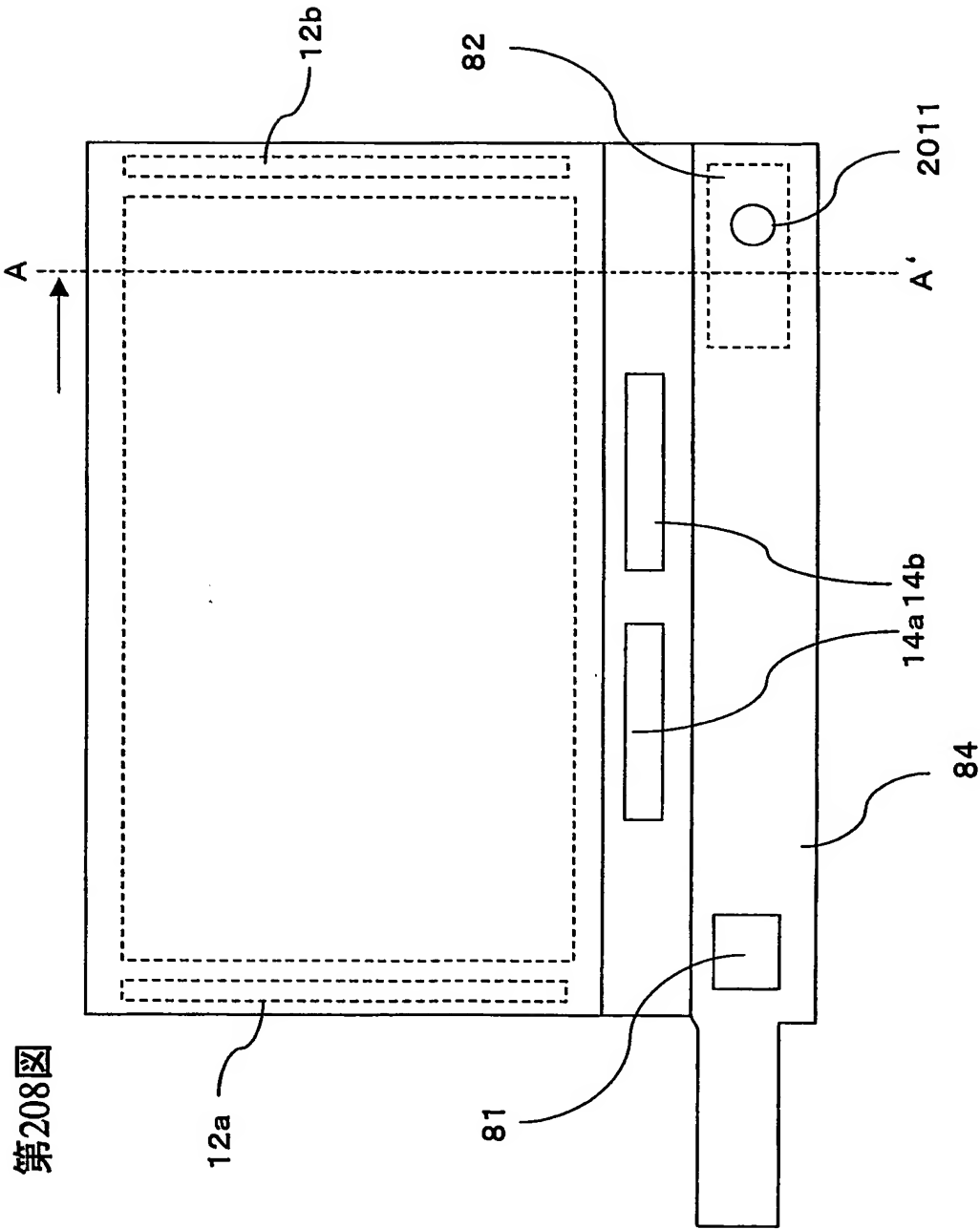


207/228

第207図

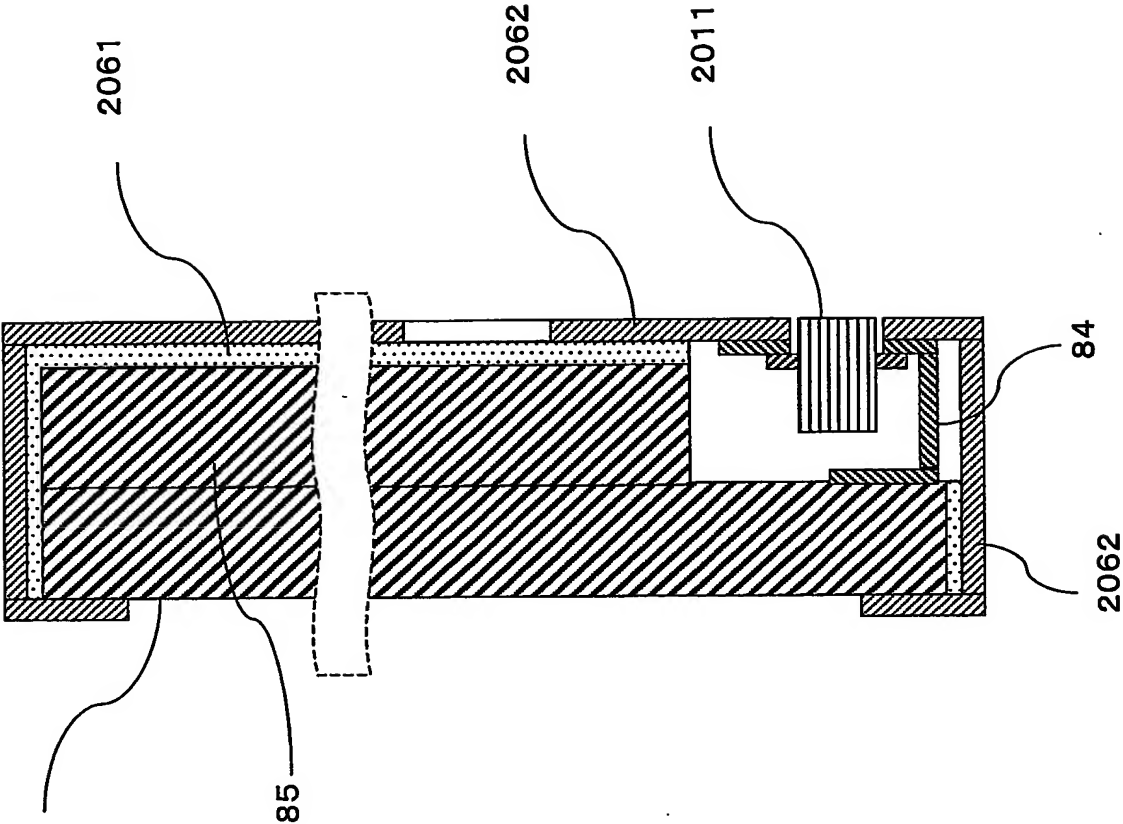


208/228



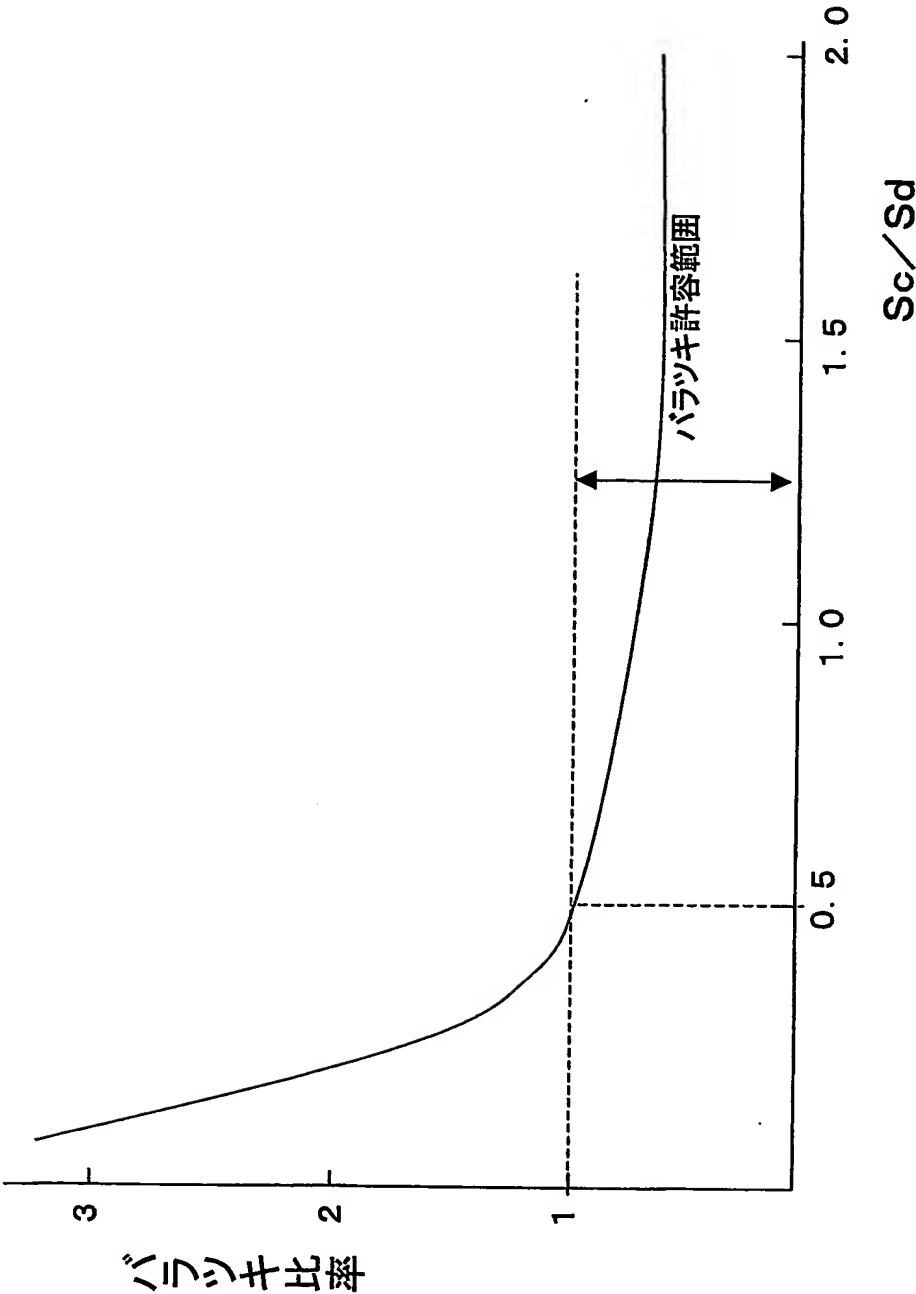
第208図

209/228

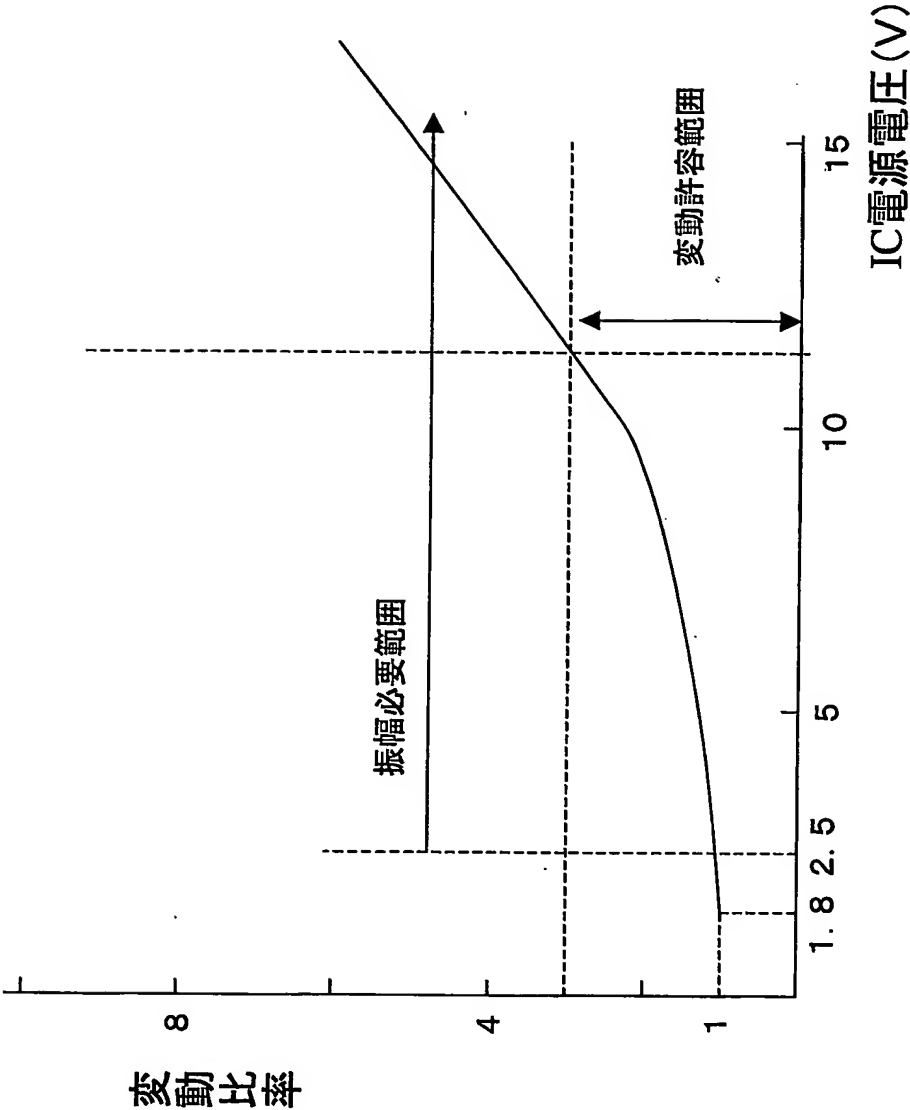


第209図

第210図

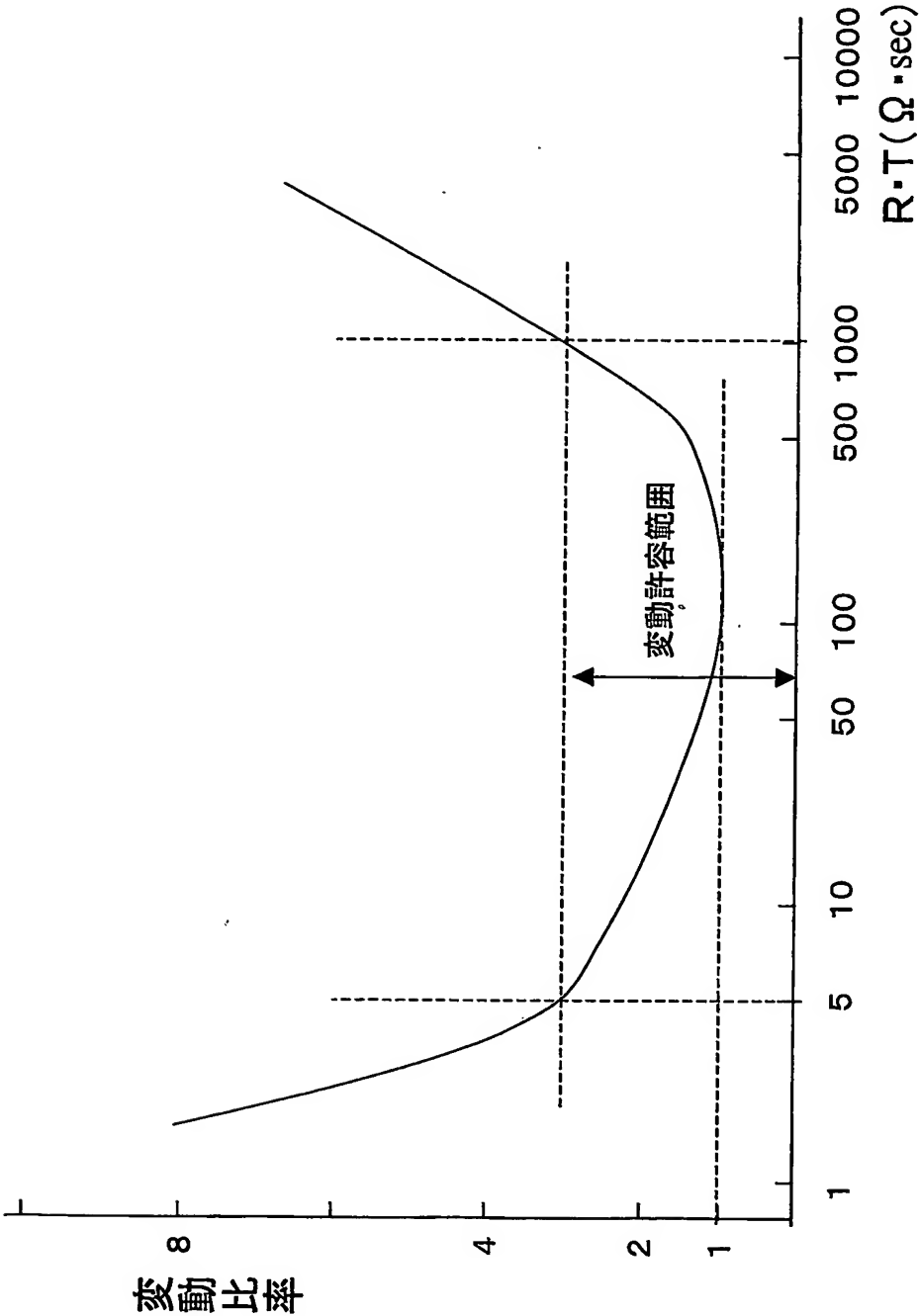


211/228

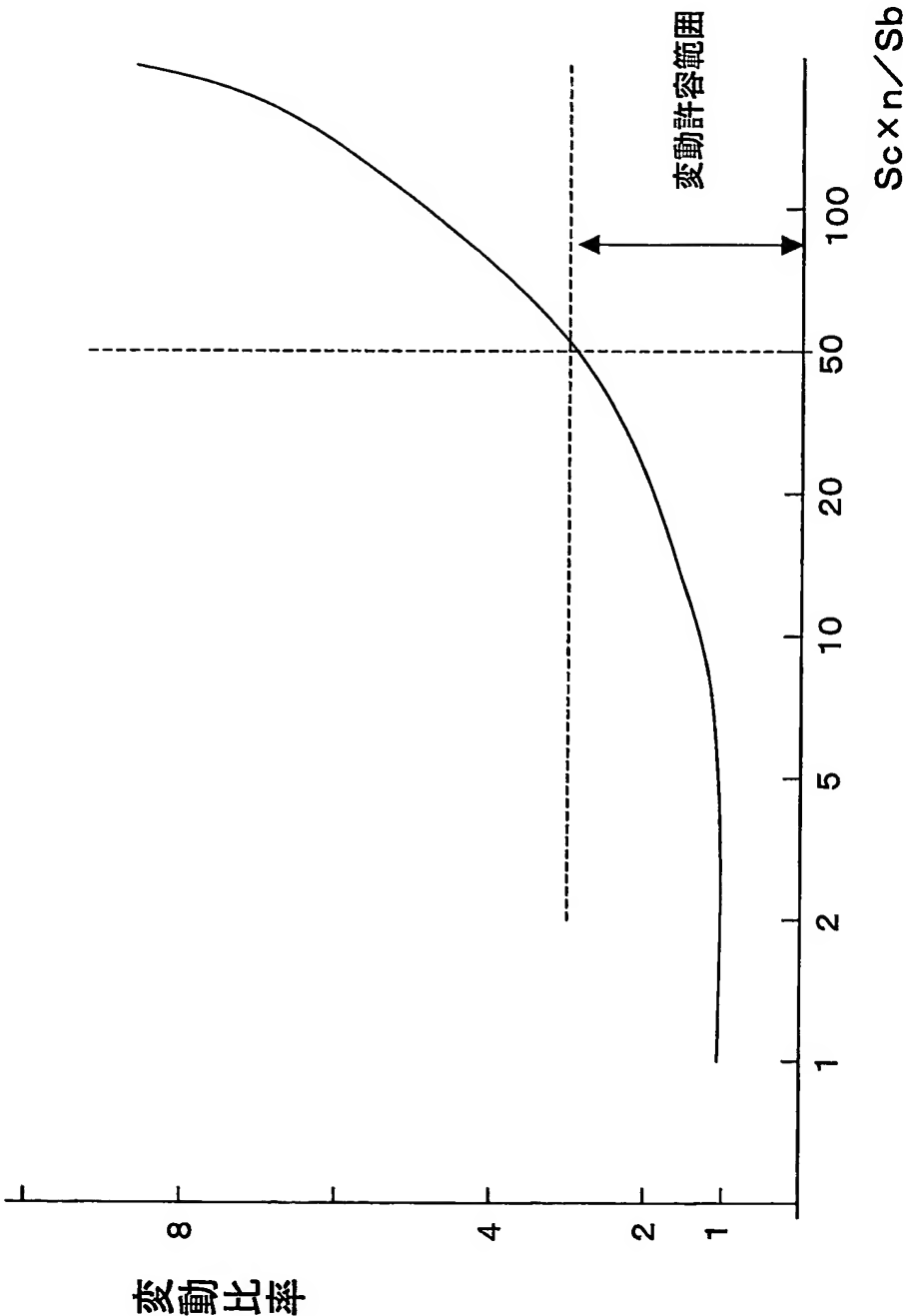


第211図

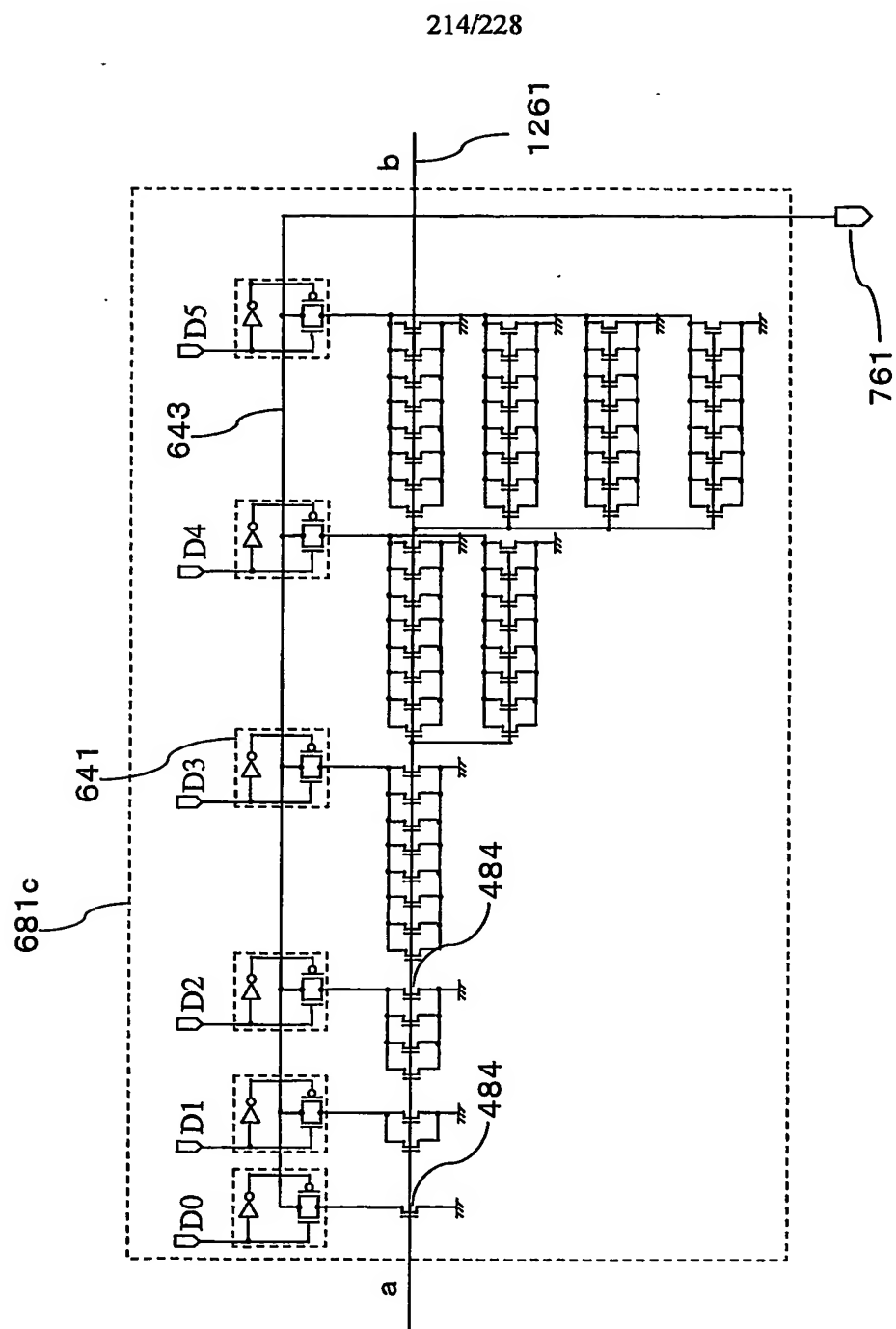
第212図



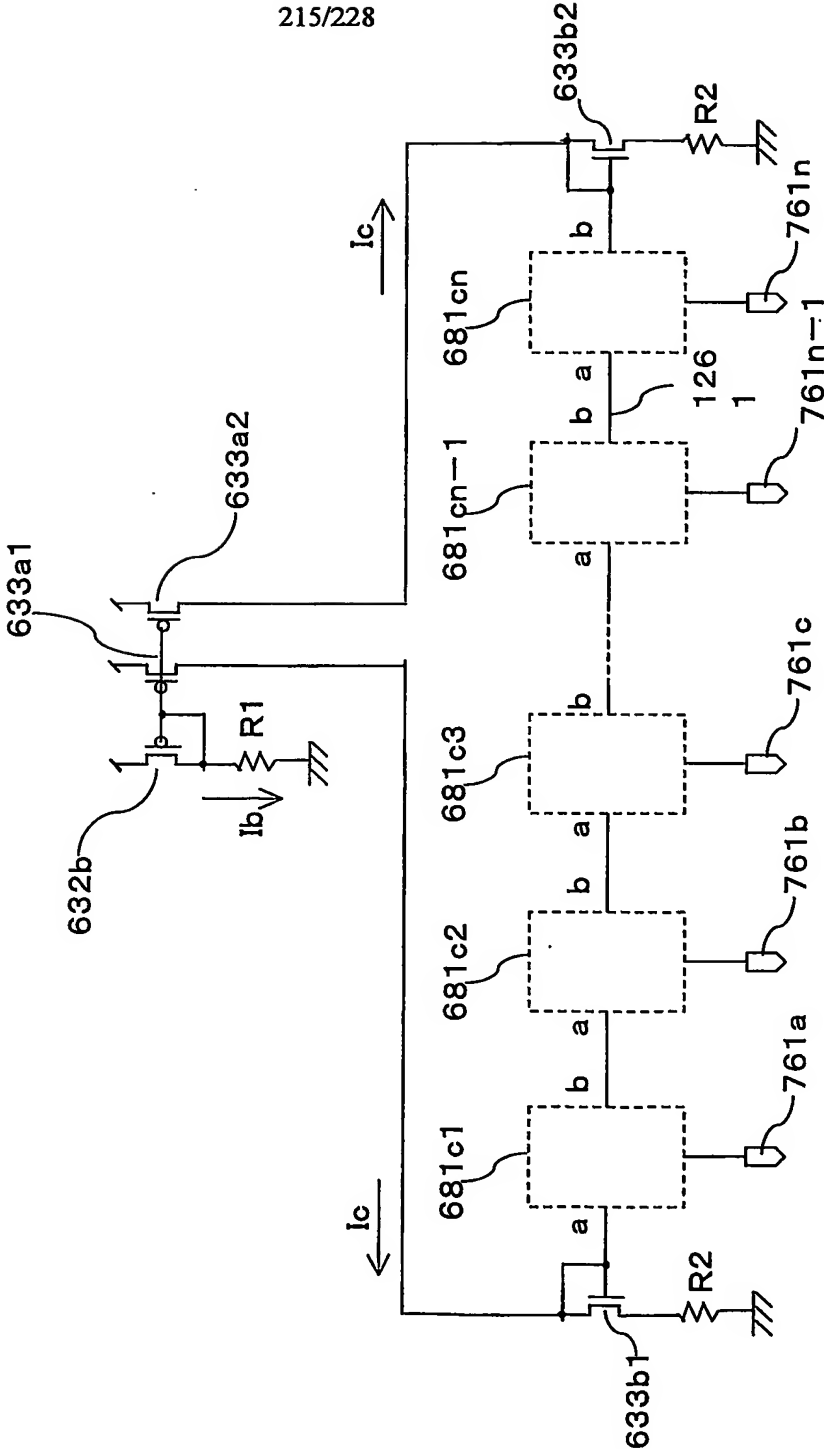
第213図



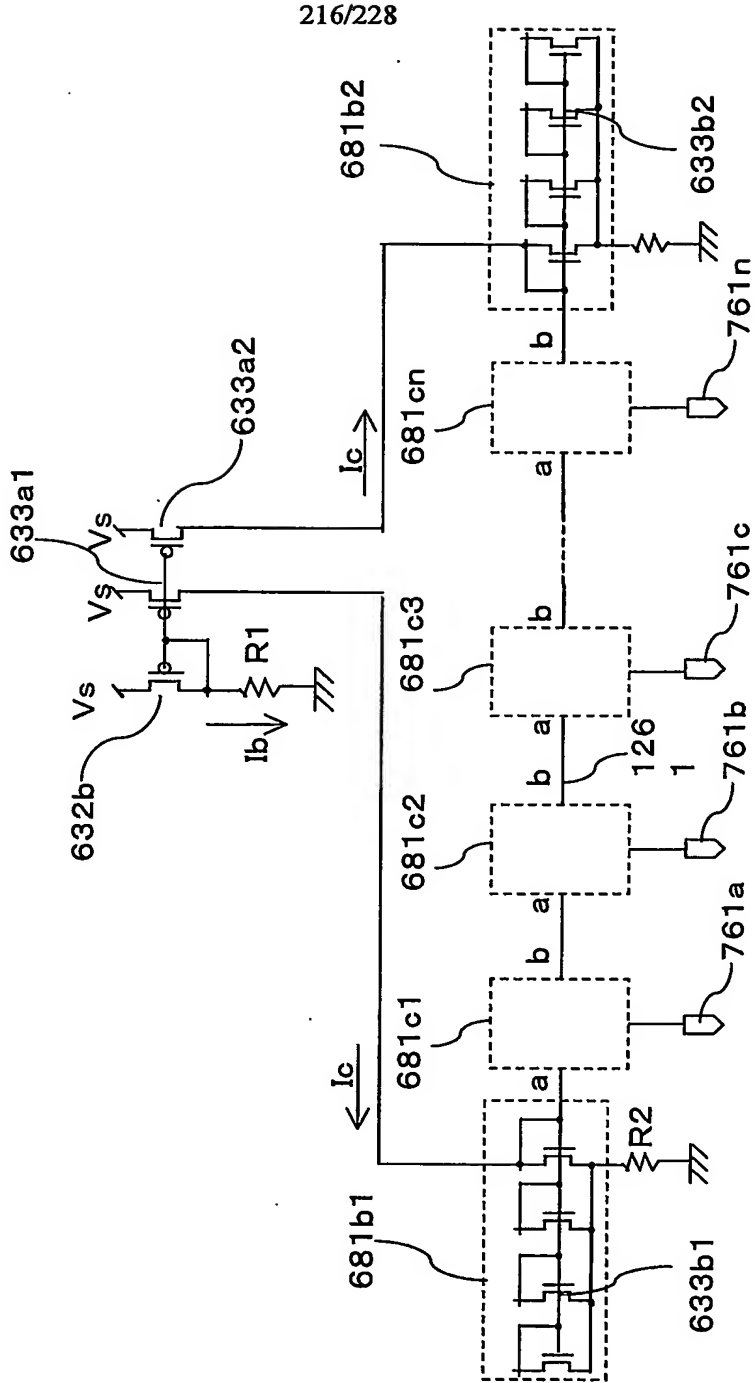
第214図



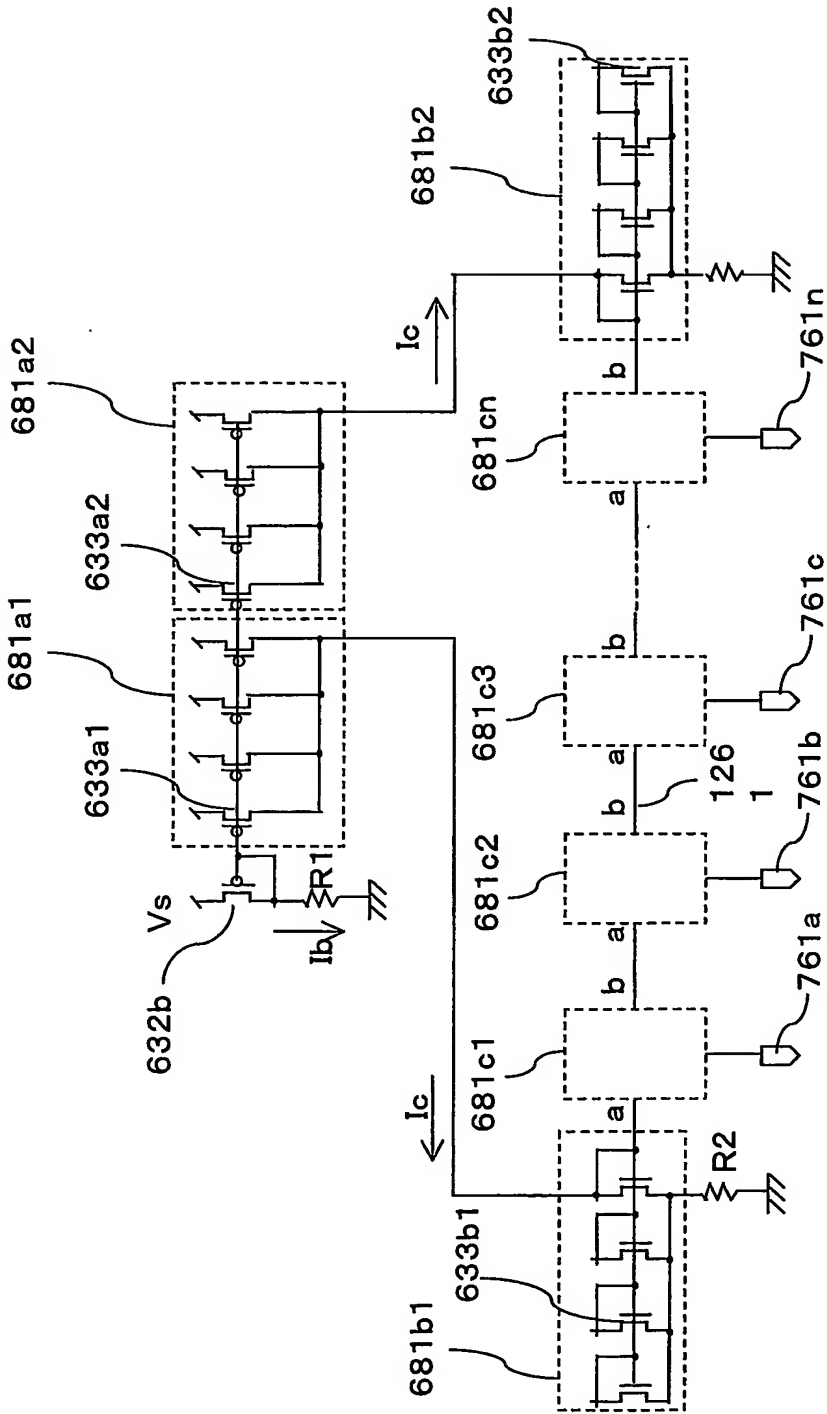
第215図



第216図

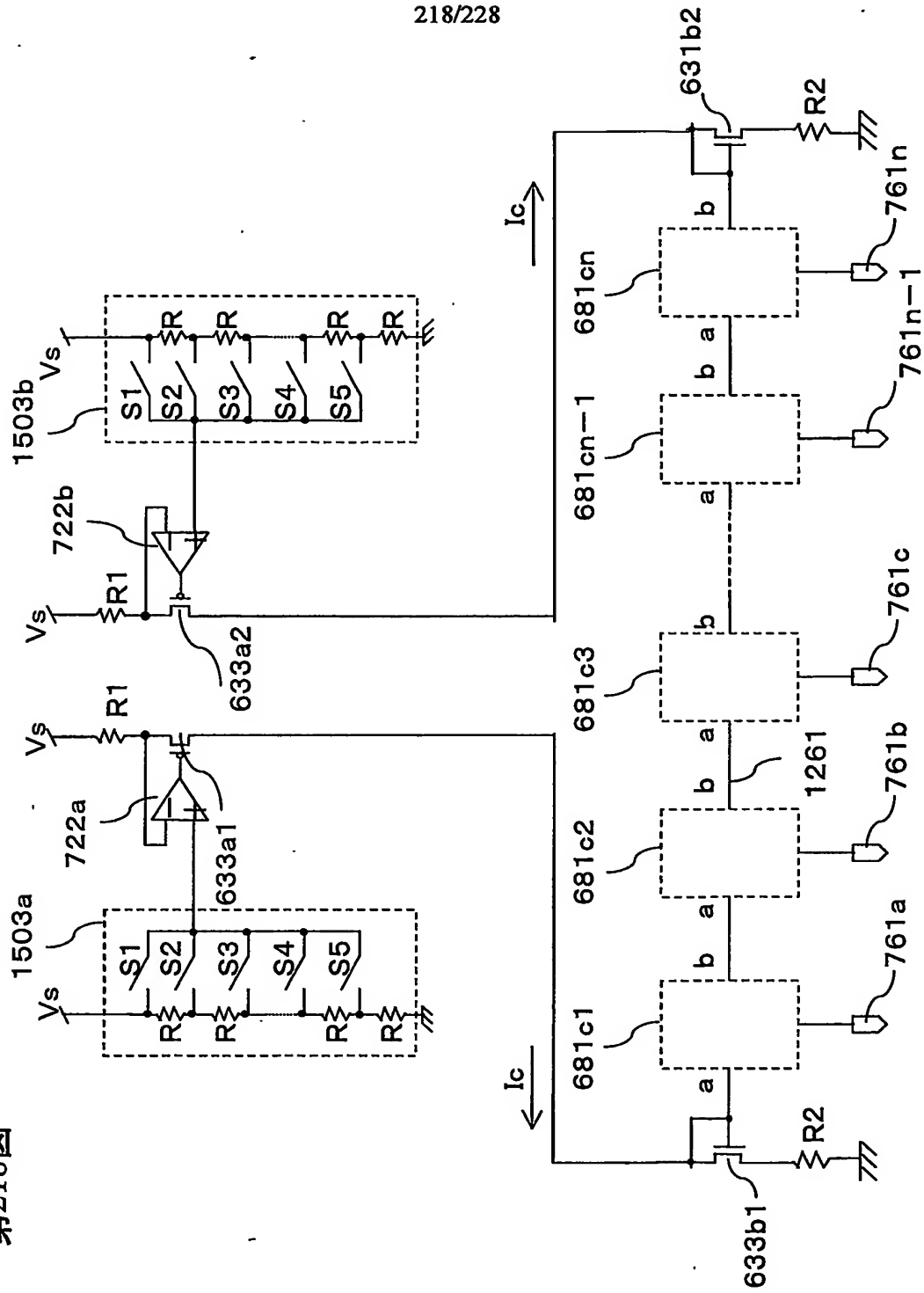


第217図

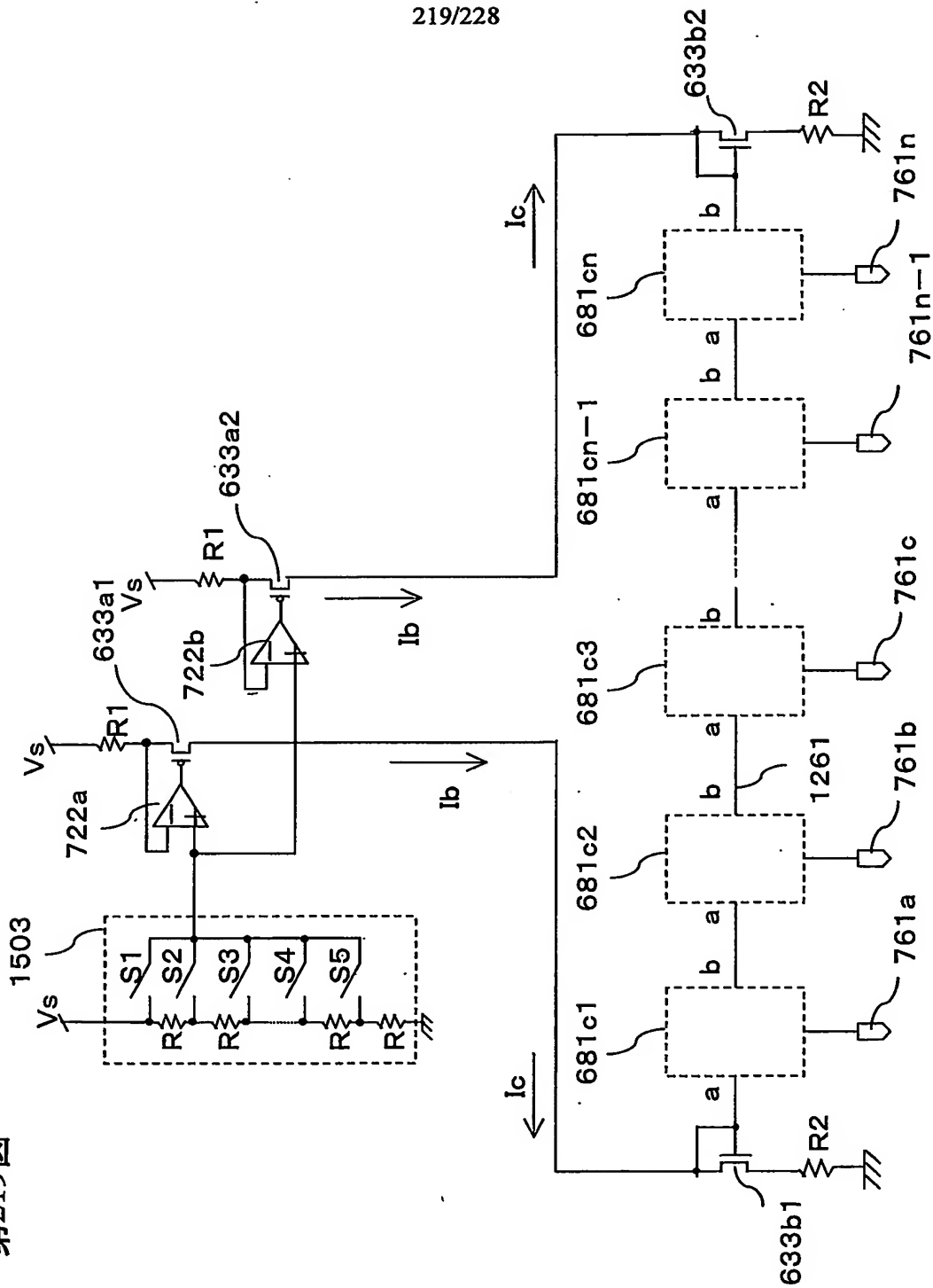


218/228

第218図

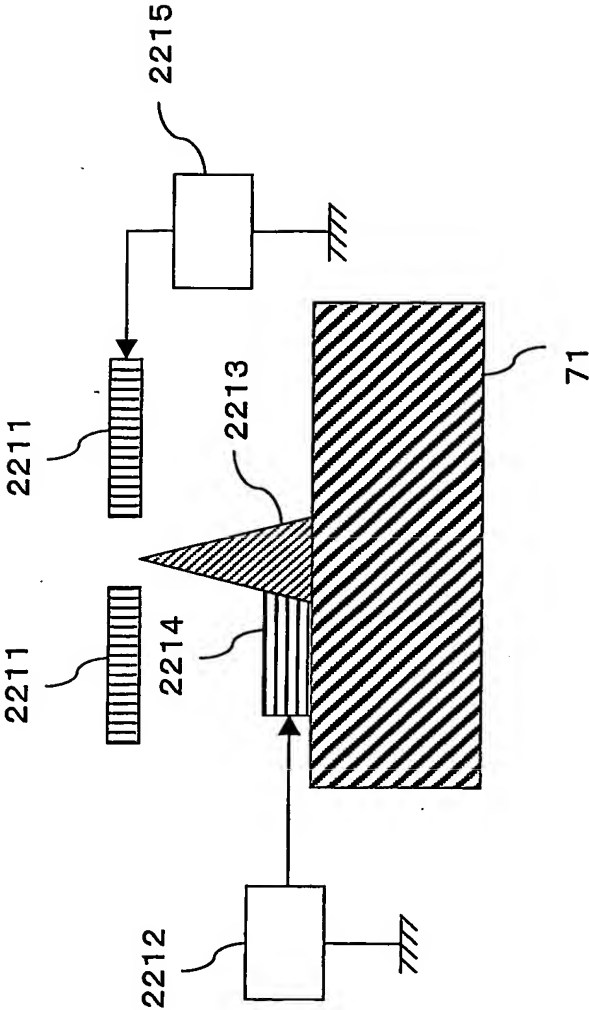


第219図

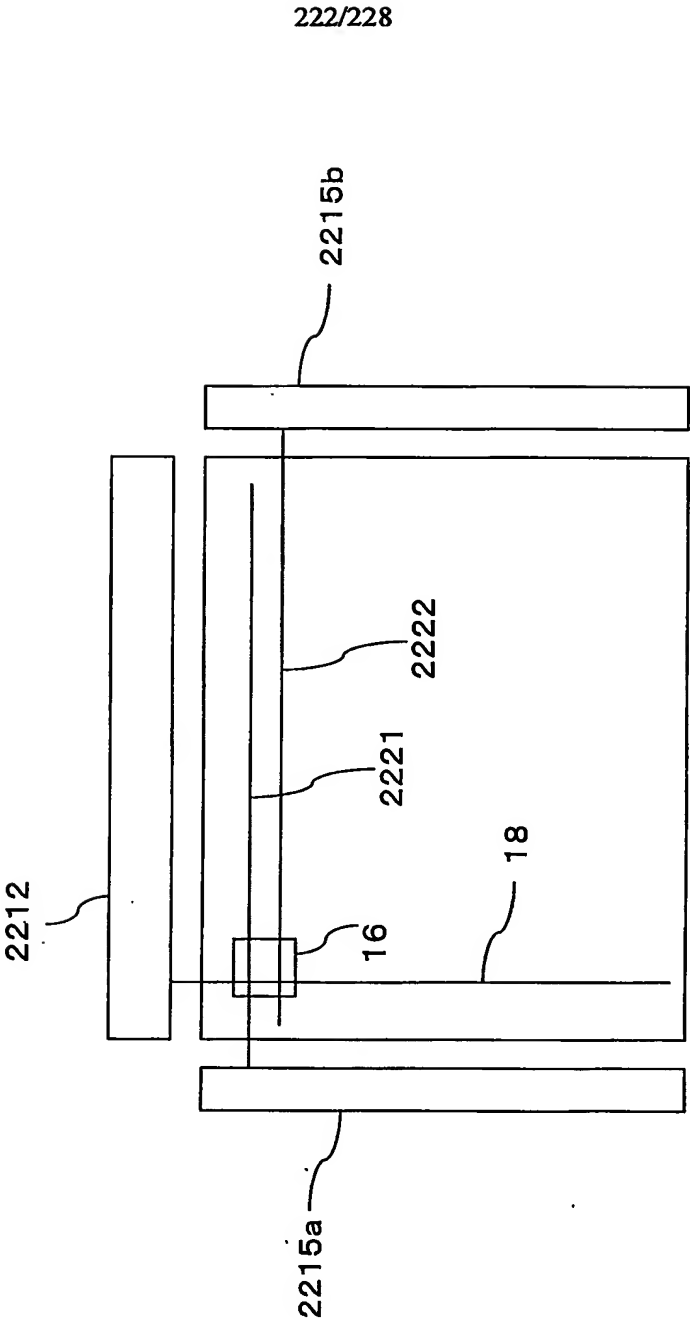


221/228

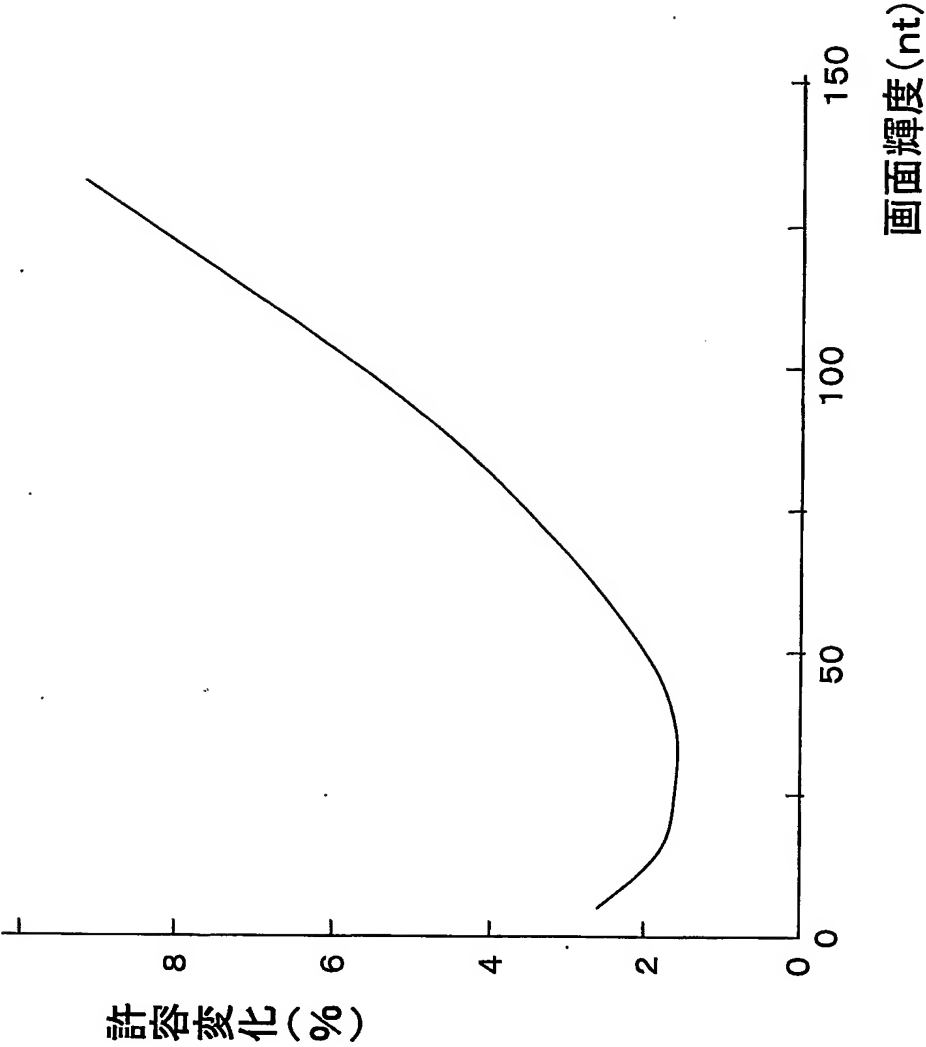
第221図



第222図

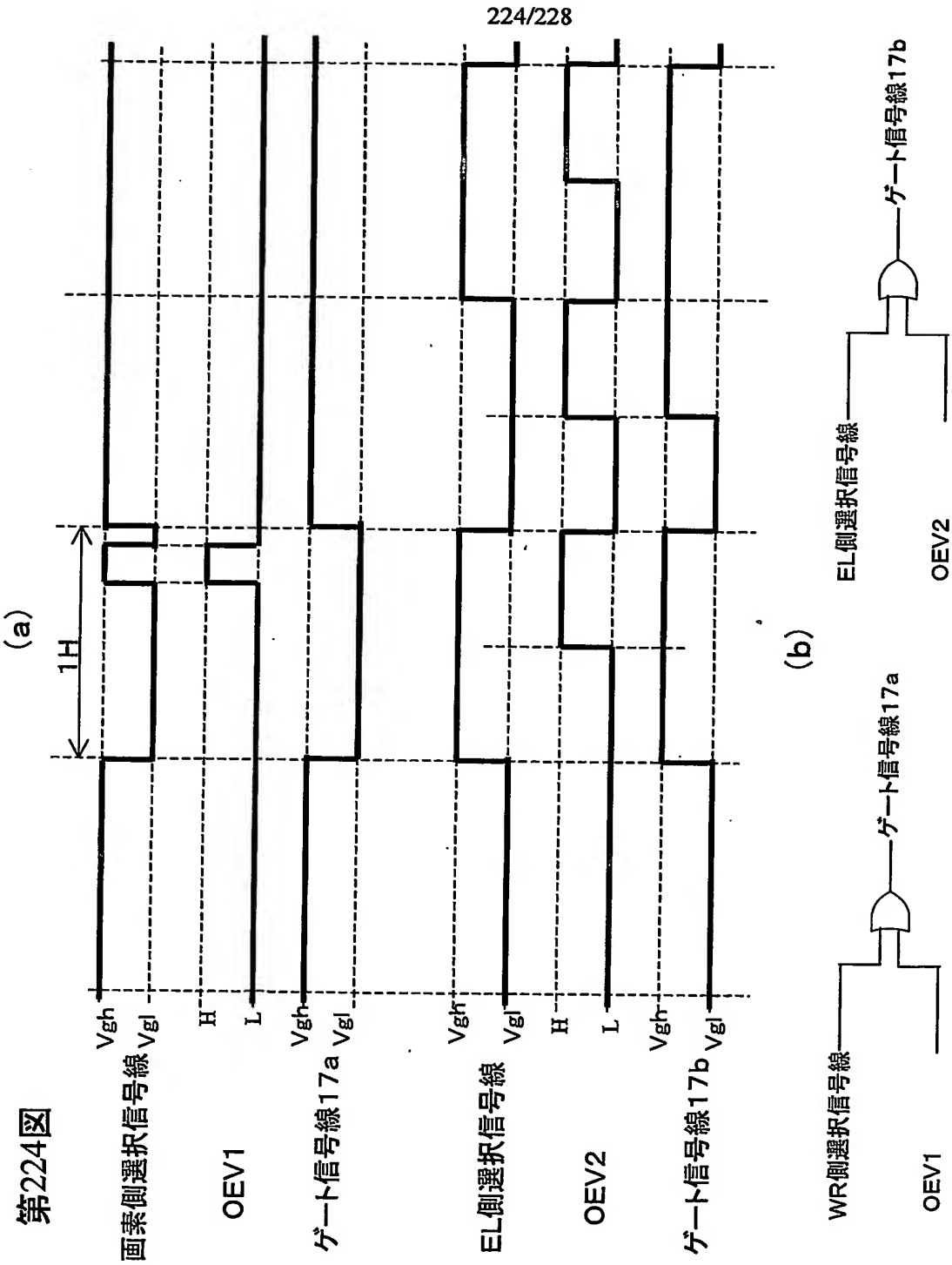


223/228

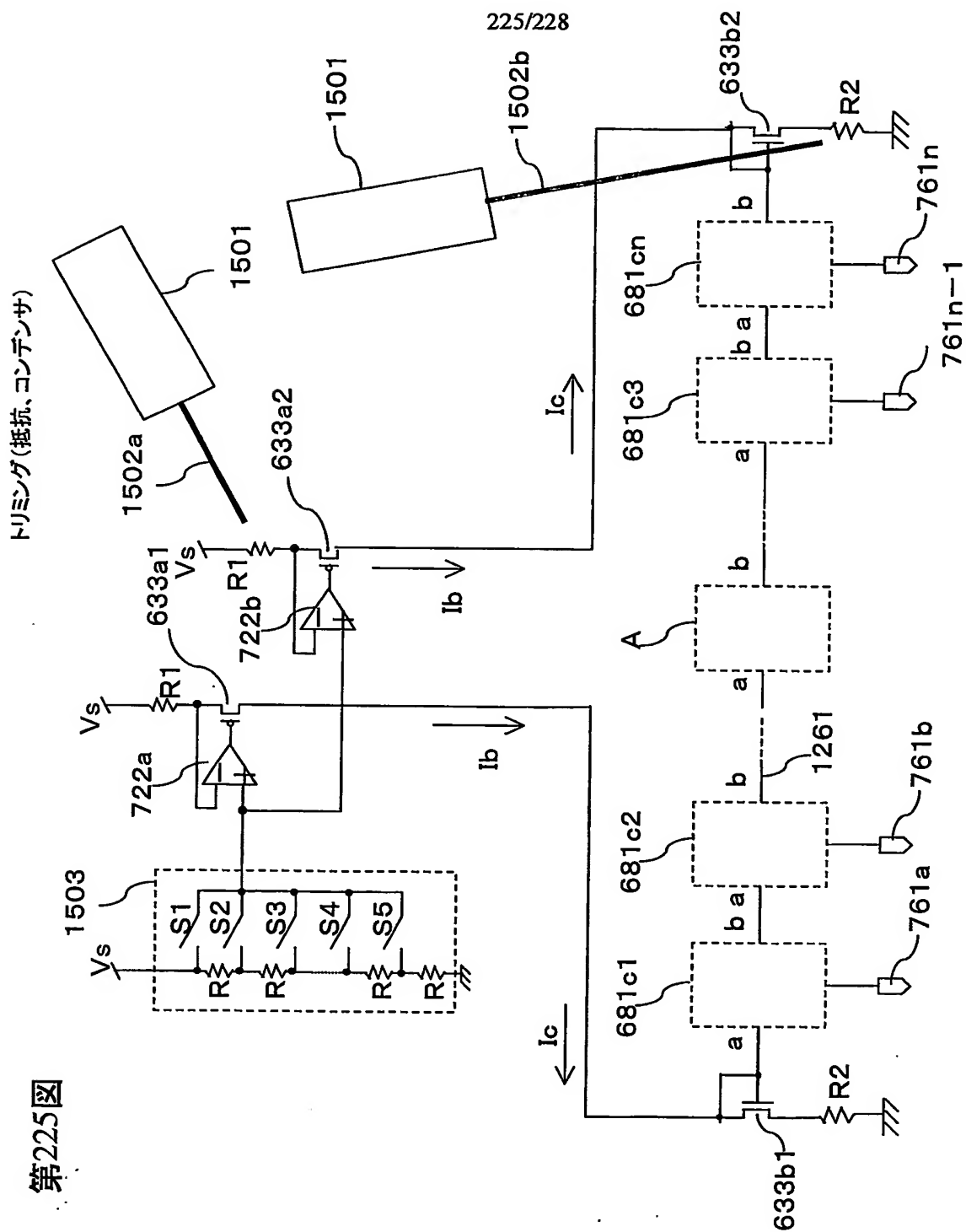


第223図

第224図

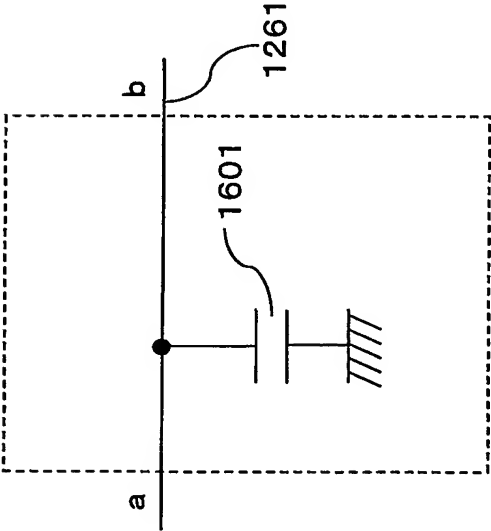


第225図

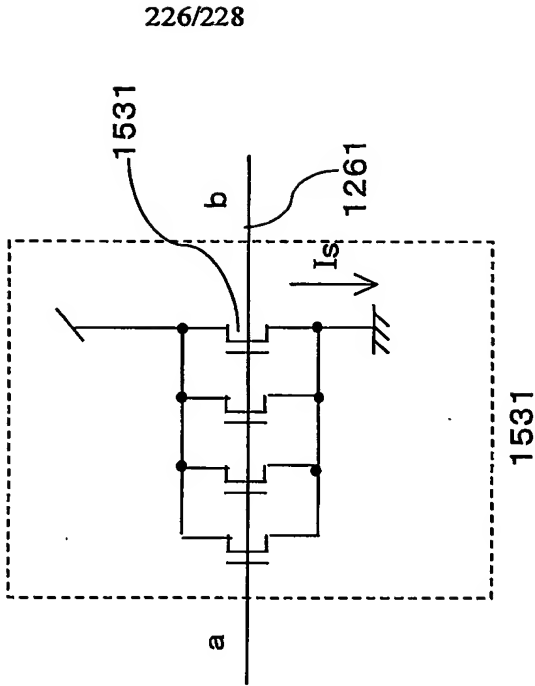


第226図

(a)

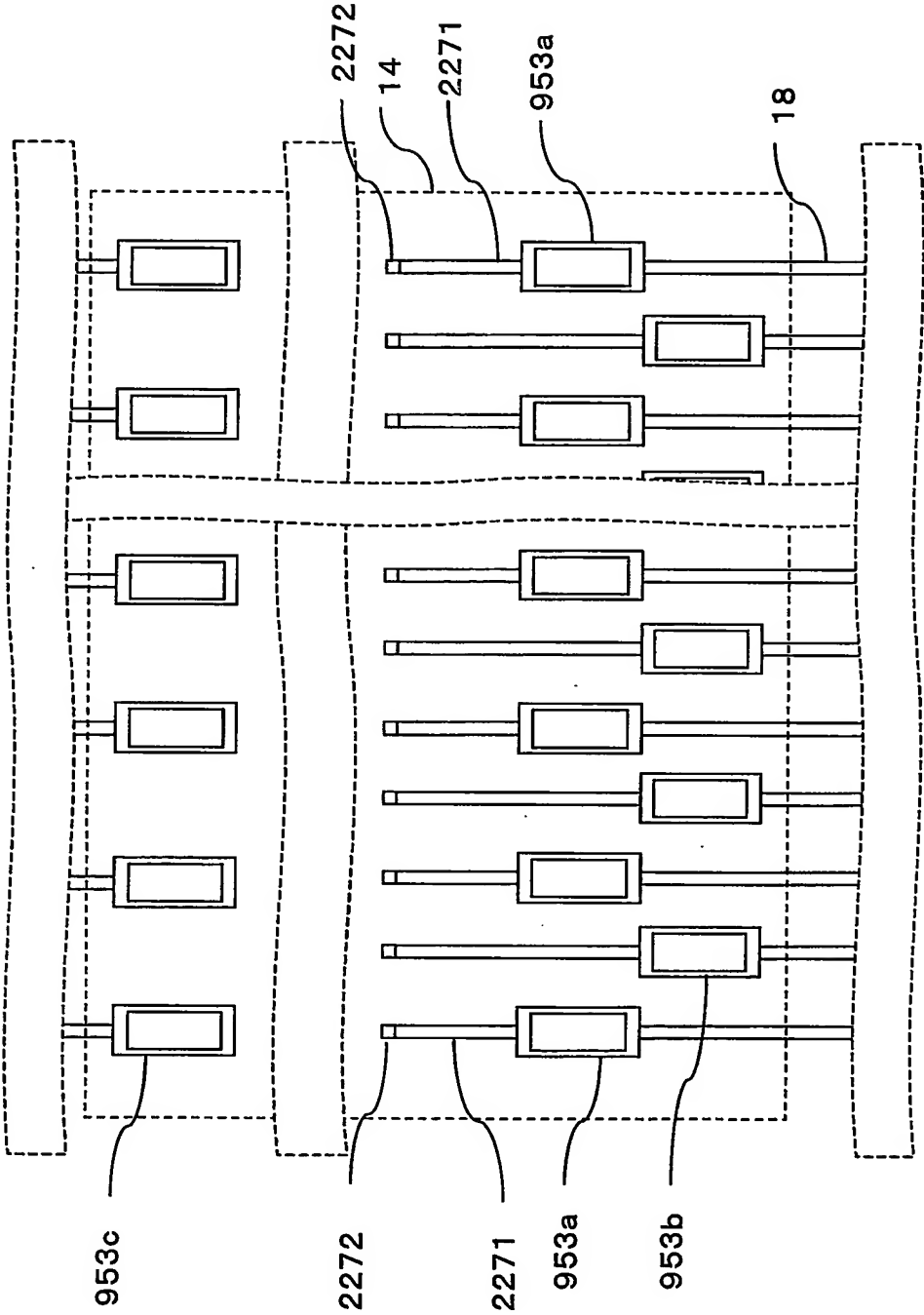


(a)

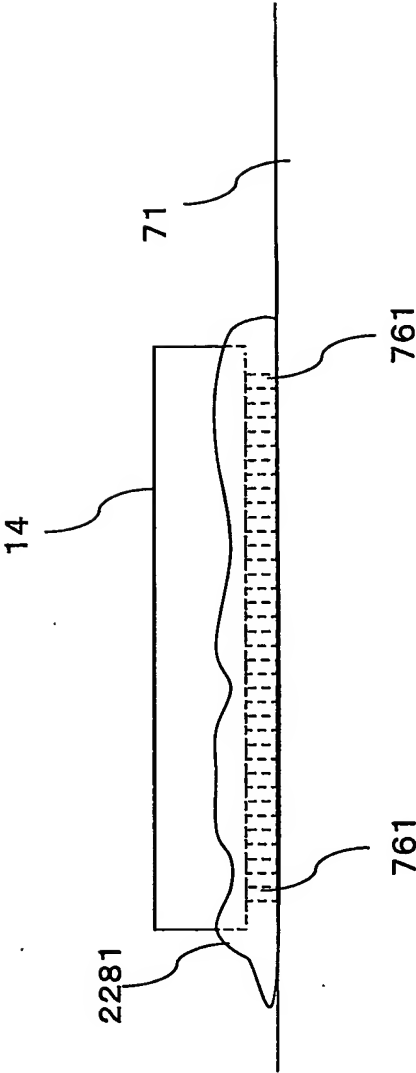


227/228

第227図



第228図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02535

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G3/30, G09G3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G3/30, G09G3/20, H05B33/14, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. No. [1488] to [1491]; Fig. 275 (Family: none)	1
X	JP 2000-293245 A (Sharp Corp.), 20 October, 2000 (20.10.00), Par. Nos. [0021] to [0029]; Figs. 2 to 3 & US 6332661 B1	1
Y	JP 2001-42827 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Par. Nos. [0017] to [0026]; Fig. 7 (Family: none)	1

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 June, 2003 (04.06.03)

Date of mailing of the international search report
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02535

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-340243 A (Canon Inc.), 24 December, 1996 (24.12.96), Par. Nos. [0003] to [0013]; Fig. 1 (Family: none)	1
Y	JP 9-319323 A (Toshiba Micro-Electronics Corp.), 12 December, 1997 (12.12.97), Par. Nos. [0005] to [0006]; Figs. 9(1), 10 (Family: none)	1

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, G09G3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, G09G3/20, H05B33/14, G05F1/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	JP 2003-150104 A (松下電器産業株式会社) 2003.05.23 段落番号【1488】-【1491】, 図275 (ファミリーなし)	1
X	JP 2000-293245 A (シャープ株式会社) 2000.10.20 段落番号【0021】-【0029】, 図2-3 &US 6332661 B1	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

04.06.03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明



2G

9707

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-42827 A (パイオニア株式会社) 2001. 02. 16 段落番号【0017】 - 【0026】 , 図7 (ファミリーなし)	1
Y	JP 8-340243 A (キャノン株式会社) 1996. 12. 24 段落番号【0003】 - 【0013】 , 図1 (ファミリーなし)	1
Y	JP 9-319328 A (東芝マイクロエレクトロニクス) 1997. 12. 12 段落番号【0005】 - 【0006】 , 図9 (1) , 図10 (ファミリーなし)	1

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.